



PONTIFICIA UNIVERSIDAD CATOLICA DE CHILE  
ESCUELA DE INGENIERIA

# **NUEVA MODULACIÓN VECTORIAL CONTINUA Y CONVERTIDOR PUENTE-H DUAL**

**TOMÁS ANTONIO DURÁN GODOY**

Tesis presentada a la Dirección de Investigación y Postgrado  
como parte de los requisitos para optar al grado de  
Magíster en Ciencias de la Ingeniería

Profesor Supervisor:

JAVIER PEREDA TORRES

Santiago de Chile, Diciembre 2015

© MMXV, TOMÁS ANTONIO DURÁN GODOY



PONTIFICIA UNIVERSIDAD CATOLICA DE CHILE  
ESCUELA DE INGENIERIA

# **NUEVA MODULACIÓN VECTORIAL CONTINUA Y CONVERTIDOR PUENTE-H DUAL**

**TOMÁS ANTONIO DURÁN GODOY**

Miembros del Comité:

JAVIER PEREDA TORRES

JUAN DIXON ROJAS

JOSÉ ESPINOZA CASTRO

MIGUEL RÍOS OJEDA

Tesis presentada a la Dirección de Investigación y Postgrado  
como parte de los requisitos para optar al grado de  
Magíster en Ciencias de la Ingeniería

Santiago de Chile, Diciembre 2015

© MMXV, TOMÁS ANTONIO DURÁN GODOY

*A mi familia, a Carolina y a Balto,  
quienes siempre han estado a mi  
lado*

## AGRADECIMIENTOS

Agradezco a mi profesor supervisor, Javier Pereda, por su constante dedicación y apoyo durante esta investigación. Además, quiero agradecerle por la idea de utilizar dos puentes H monofásicos en la topología desarrollada en la presente investigación. Agradezco profundamente también al profesor Juan Dixon, por los conocimientos que me entregó en los cursos de Máquinas Eléctricas, Electrónica de Potencia y Generación de Energía Eléctrica, los cuales han sido y seguirán siendo elementales para mi desarrollo profesional. Además, él fue también en todo momento un constante apoyo en el desarrollo de este trabajo. Agradezco también al profesor José Espinoza, del Departamento de Ingeniería Eléctrica de la Universidad de Concepción, quien viajó desde dicha ciudad exclusivamente para formar parte de mi Comité Evaluador de mi Defensa de Tesis de Magíster.

Agradezco al proyecto Fondecyt 11130513 por hacer posible esta investigación y por permitirme participar, junto a la Dirección de Postgrado de la Escuela de Ingeniería, a la Dirección de Pregrado de la Escuela de Ingeniería y al Departamento de Ingeniería Eléctrica, en la conferencia IECON 2014, organizada por la IEEE en Dallas, Texas, Estados Unidos, en donde obtuve un reconocimiento por la calidad de mi presentación e investigación.

Agradezco también a mis amigos Tomás Cunill, Lucas Izcúe, Paula Misle, Walter Naranjo y Sebastián Vera por apoyarme con sus conocimientos y excelente voluntad.

Finalmente, quiero agradecer a mi familia y muy especialmente a Carolina, por ser mi compañera de vida y estar siempre a mi lado, sobretodo en momentos difíciles. Nuestro apoyo mutuo ha sido el factor clave en el desarrollo de nuestras respectivas investigaciones.

## INDICE GENERAL

AGRADECIMIENTOS . . . . .	V
INDICE GENERAL . . . . .	IX
INDICE DE FIGURAS . . . . .	IX
RESUMEN . . . . .	XVI
ABSTRACT . . . . .	XVIII
1. INTRODUCCIÓN . . . . .	1
1.1. Inversores de Potencia . . . . .	3
1.1.1. Topologías de Inversores . . . . .	3
1.1.2. Inversores Multinivel . . . . .	5
1.1.3. Inversores Multinivel en Cascada . . . . .	8
1.2. Vectores de estado para representar voltajes . . . . .	9
1.3. Modulación de inversores . . . . .	13
1.3.1. Transformada de Clarke . . . . .	14
1.3.2. Space Vector Control . . . . .	17
2. MODULACIÓN VECTORIAL CONTINUA . . . . .	21
2.1. Asimetría Variable . . . . .	22
2.2. Implementación de la Modulación Vectorial Continua . . . . .	24
2.3. Nueva Topología . . . . .	27
3. MODULADOR DC . . . . .	38
3.1. Implementación del modulador DC . . . . .	39
3.1.1. Convertidor <i>Buck</i> . . . . .	42
3.1.2. Operación del convertidor <i>Buck</i> en modo continuo . . . . .	43
3.1.3. Convertidor Buck sincrónico . . . . .	47
	VI

3.1.4.	Convertidor <i>Buck</i> sincrónico con ciclo de trabajo variable como modulador DC . . . . .	49
3.1.5.	Implementación del ciclo de trabajo variable . . . . .	50
3.2.	Aspectos no ideales de la modulación DC . . . . .	53
3.3.	Filtro LC y factores de diseño . . . . .	54
3.3.1.	Selección del filtro . . . . .	55
3.3.2.	Frecuencia de conmutación <i>PWM</i> y resonancia del filtro . . . . .	61
3.3.3.	Nivel de filtrado . . . . .	66
3.3.4.	Frecuencia de salida . . . . .	69
3.3.5.	Carga . . . . .	69
3.3.6.	Corrientes circulantes en la malla LC . . . . .	70
3.3.7.	Voltaje de alimentación . . . . .	72
3.3.8.	Criterio de elección del inductor y del capacitor . . . . .	72
4.	PÉRDIDAS Y EFICIENCIA . . . . .	74
4.1.	Pérdidas en el filtro LC . . . . .	74
4.1.1.	Pérdidas en el capacitor . . . . .	74
4.1.2.	Pérdidas en el inductor . . . . .	80
4.2.	Pérdidas en los <i>MOSFET</i> de potencia . . . . .	86
4.2.1.	Pérdidas por conducción . . . . .	87
4.2.2.	Pérdidas por conmutación . . . . .	89
4.2.3.	Pérdidas por conmutación en los diodos . . . . .	95
4.3.	Simulación de la eficiencia del sistema . . . . .	96
5.	IMPLEMENTACIÓN . . . . .	103
5.1.	Red amortiguadora . . . . .	103
5.2.	Aislación y disparos . . . . .	106
5.3.	Otros aspectos a considerar . . . . .	108
6.	RESULTADOS EXPERIMENTALES . . . . .	110
7.	CONCLUSIONES . . . . .	118

7.1. Comparación con topología equivalente . . . . .	118
7.2. Conclusiones y trabajo futuro propuesto . . . . .	119
<b>BIBLIOGRAFIA</b> . . . . .	123
8. Anexos . . . . .	128

## INDICE DE FIGURAS

1.1. Convertidores de potencia . . . . .	2
1.2. Convertidor DC-AC más básico (unidad inversora monofásica) . . . . .	4
1.3. Voltaje de la unidad inversora monofásica . . . . .	4
1.4. (a) Puente H (b) Inversor trifásico de dos niveles . . . . .	5
1.5. Inversor monofásico de 243 niveles . . . . .	7
1.6. Vectores de estado del inversor básico monofásico . . . . .	9
1.7. Ejemplo de combinación vectorial para un inversor trifásico de dos niveles . . . . .	10
1.8. Combinaciones vectoriales de voltaje posibles en un inversor trifásico de dos niveles . . . . .	11
1.9. Sistema multinivel de dos inversores trifásicos de dos niveles conectados en serie . . . . .	12
1.10. Asimetrías de (2:1), (2,4:1) y de (3:1) respectivamente en un sistema de dos inversores trifásicos de dos niveles en serie . . . . .	13
1.11. Sistema de coordenadas trifásico versus el sistema bifásico $\alpha\beta$ . . . . .	16
1.12. Referencia de voltaje para el sistema de la Figura 1.9 y una asimetría de (2,4:1) . . . . .	18
1.13. Tres referencias de voltaje de diferentes magnitudes para el sistema de la Figura 1.9 y una asimetría de (2,4:1) . . . . .	18
1.14. Trayectoria de la modulación <i>SVC</i> para el inversor multinivel de la Figura 1.9, siguiendo una referencia de voltaje trifásica . . . . .	19
1.15. Voltaje en la carga del inversor multinivel de la Figura 1.9 para una referencia de voltaje creciente de acuerdo a la Figura 1.13 . . . . .	20
2.1. Voltaje de salida de un prototipo real implementado en laboratorio de un sistema de la Figura 1.9 modulado con <i>SVC</i> con una asimetría de voltaje de (3:1) . . . . .	22
2.2. Ponderación de la magnitud de vectores de voltaje para alcanzar una referencia . . . . .	24

2.3. Voltaje de alimentación de los inversores de la topología 1.9 modulados con <i>C-SVM</i> . . . . .	25
2.4. Secuencia de conmutación de los transistores de los inversores de la Figura 1.9 modulados con <i>C-SVM</i> . Por simplicidad, se han dibujado los vectores de cada inversor durante la secuencia sin indicar qué posición representan. Sin embargo, representan los vectores de voltaje del inversor trifásico de dos niveles de la Figura 1.8 . . . . .	26
2.5. Voltaje de salida para la topología de la Figura 1.9 modulada con <i>C-SVM</i> considerando la alimentación DC variable de la Figura 2.3 . . . . .	27
2.6. Cantidad mínima de vectores de voltaje para implementar la modulación <i>C-SVM</i> en inversores multinivel trifásicos . . . . .	29
2.7. Vectores de voltaje de un inversor trifásico de dos niveles numerados . . . . .	30
2.8. Vectores de voltaje de un inversor puente H numerados . . . . .	31
2.9. Topología de inversores en cascada optimizada para la modulación <i>C-SVM</i> . . . . .	32
2.10. Vectores de voltaje de la topología de la Figura 2.9 . . . . .	33
2.11. Secuencia de conmutación de la modulación <i>C-SVM</i> en la topología de la Figura 2.9. La Figura especifica qué vectores de voltaje se utilizan en cada uno de los inversores puente H en las diferentes zonas del plano $\alpha\beta$ . Además se muestra el sistema de coordenadas trifásicas, de modo de ilustrar que los vectores de voltaje de los inversores puente H 1 y puente H 2 están en las fases <i>a</i> y <i>b</i> respectivamente . . . . .	35
2.12. Secuencia de la modulación <i>C-SVM</i> en la topología de la Figura 2.9 para medio ciclo de la referencia . . . . .	36
2.13. Voltaje de alimentación variable de los inversores de la Figura 2.9 modulados con <i>C-SVM</i> para una referencia de voltaje a 50 Hz . . . . .	37
2.14. Voltaje de salida para la topología de la Figura 2.9 modulada con <i>C-SVM</i> considerando la modulación DC de la Figura 2.13 . . . . .	37
3.1. Bloque modulador DC ideal . . . . .	39

3.2. Cuatro cuadrantes de operación de los convertidores DC-DC . . . . .	40
3.3. Convertidor DC-DC tipo <i>Buck</i> . . . . .	41
3.4. Convertidor DC-DC tipo <i>Boost</i> . . . . .	41
3.5. Convertidor DC-DC tipo <i>Buck-Boost</i> . . . . .	42
3.6. Convertidor DC-DC tipo <i>Flyback</i> . . . . .	42
3.7. Convertidor DC-DC tipo <i>Cúk</i> . . . . .	42
3.8. Modo <i>switching</i> de operación del convertidor <i>Buck</i> en modo continuo . . . . .	44
3.9. Modo <i>freewheel</i> de operación del convertidor <i>Buck</i> en modo continuo . . . . .	44
3.10. Gráfica de operación del <i>chopper Buck</i> en modo continuo. Se exponen los voltajes de salida ( $V_{Salida}$ ), del diodo ( $V_{Diodo}$ ) y del inductor ( $V_L$ ). Además se muestra la corriente del inductor ( $I_L$ ) y la señal <i>PWM</i> . Cabe notar que la polaridad con que se mide $V_L$ es consecuente a la mostrada en la Figura 3.3 . . . . .	46
3.11. Topología del <i>chopper Buck</i> sincrónico . . . . .	48
3.12. Función $\delta(t)$ para la modulación <i>C-SVM</i> . . . . .	51
3.13. Generación de la señal <i>PWM</i> de los moduladores DC . . . . .	52
3.14. Generación de la señal <i>PWM</i> de disparo de los transistores del convertidor de la Figura 3.11 como modulador DC. Se obtiene mediante la comparación (Figura 3.13) entre $\delta(t)$ como referencia y una portadora triangular en p.u. . . . .	52
3.15. Operación del modulador DC considerando la etapa de modulación <i>PWM</i> y la etapa de filtrado. Se han considerado las señales lógicas alimentadas con 3,3 V . . . . .	54
3.16. Convertidor <i>Buck</i> sincrónico con filtro inductivo . . . . .	57
3.17. Convertidor <i>Buck</i> sincrónico con filtro capacitivo . . . . .	57
3.18. Voltajes de salida del modulador DC utilizando un filtro capacitivo puro . . . . .	58
3.19. Circuito de la red LC . . . . .	59
3.20. Diagrama de <i>Bode</i> del filtro LC utilizado en el modulador DC . . . . .	60
3.21. Red de <i>damping</i> en el filtro LC . . . . .	60

3.22. <i>FFT</i> de la onda <i>PWM</i> generada por la conmutación de los transistores del modulador DC . . . . .	61
3.23. Voltaje de salida del modulador DC versus su análisis <i>FFT</i> . . . . .	62
3.24. Corrientes a través del inductor, del capacitor y de salida en el filtro LC del modulador DC. . . . .	63
3.25. $V_{\text{Modulador DC}}(t)$ para distintas frecuencias de conmutación de $T_1$ y $T_2$ . Se ha ajustado $f_{\text{Resonancia}}$ en 4 KHz ( $L = 6\mu H$ y $C = 265\mu F$ ). $V_{\text{DC}} = 300V$ . . . . .	66
3.26. Voltaje de salida del modulador DC con $f_{\text{PWM}}$ óptima (para $f_{\delta}(t)$ de 50 Hz) versus la función matemática de referencia $\delta(t)$ . . . . .	67
3.27. Voltaje de salida del modulador DC para dos niveles de filtrado diferentes . . . . .	68
3.28. Corriente eléctrica, $I_C$ , a través del capacitor del filtro LC del modulador DC para los dos casos nivel de filtrado de las Figuras 3.27a y 3.27b respectivamente . . . . .	68
3.29. $V_{\text{Modulador DC}}(t)$ para valores de $f_{\delta}(t)$ de 100 y 50 Hz respectivamente. Se considera el mismo filtro LC para ambos ajustado a una frecuencia de corte de 4 KHz y un nivel de filtrado como el de la Figura 3.27 . . . . .	70
3.30. $V_{\text{Modulador DC}}(t)$ para distintas cargas . . . . .	71
3.31. Comparación de las corrientes a través del capacitor para el sistema en vacío y con la carga inicial conectada . . . . .	72
4.1. Modelo equivalente del capacitor . . . . .	75
4.2. Modelo equivalente simplificado del capacitor . . . . .	75
4.3. Efecto de la resonancia sobre la impedancia total del modelo simplificado del capacitor . . . . .	78
4.4. Impedancia del capacitor en el modelo equivalente simplificado . . . . .	80
4.5. Lazo de histéresis del inductor en donde la densidad de campo magnética $B(t)$ está en función de la intensidad de campo magnético $H(t)$ . . . . .	82
4.6. Lazo de histéresis para corrientes con <i>offset</i> positivo en el modulador DC . . . . .	83

4.7. Circuito equivalente del inductor para ilustrar las pérdidas . . . . .	86
4.8. Modelo del <i>MOSFET</i> como interruptor ideal . . . . .	89
4.9. Modelo del <i>MOSFET</i> de potencia . . . . .	90
4.10. Modelo simplificado del modulador DC . . . . .	91
4.11. $V_{DS}$ , $I_{Drain}$ y $V_{GS}$ durante el tiempo de encendido de $T_1$ . . . . .	91
4.12. Ilustración de los tiempos muertos introducidos por el <i>driver</i> de voltaje . . . . .	94
4.13. Malla momentánea entre el apagado de $T_1$ y el encendido de $T_2$ . . . . .	95
4.14. Voltaje trifásico fase neutro en el motor . . . . .	97
4.15. Voltaje en la salida de los puentes H . . . . .	97
4.16. Eficiencia del sistema de la Figura 2.9 y dos convertidores <i>Buck</i> sincrónicos como moduladores DC, modulada con <i>C-SVM</i> . . . . .	98
4.17. Pérdidas porcentuales en el sistema de la topología de la Figura 2.9 y dos convertidores <i>Buck</i> sincrónicos como moduladores DC, modulada con <i>C-SVM</i> . . . . .	99
4.18. Pérdidas promedio por ciclo en el sistema de la topología de la Figura 2.9 y dos convertidores <i>Buck</i> sincrónicos como moduladores DC, modulada con <i>C-SVM</i> . . . . .	99
4.19. Pérdidas porcentuales en los transistores de los moduladores DC . . . . .	100
4.20. Pérdidas en los transistores de los moduladores DC para distintas frecuencias de conmutación . . . . .	100
4.21. Eficiencia del sistema y <i>THD</i> del voltaje de salida para diferentes niveles de filtrado . . . . .	101
4.22. Eficiencia del sistema versus la amplitud de $\delta(t)$ . . . . .	101
4.23. Eficiencia del sistema versus frecuencia de salida . . . . .	102
5.1. Circuito <i>RCD</i> de amortiguamiento utilizado en transistores de potencia . . . . .	104
5.2. Circuito de prueba de la red <i>snubber RCD</i> conectada a un transistor de potencia . . . . .	105
5.3. Gráfico de corriente versus voltaje en un transistor de potencia con red de amortiguamiento . . . . .	105

5.4. Secuencia de las señales de disparo de los transistores, considerando la aislación entre la etapa de control y la etapa de potencia . . . . .	108
6.1. Voltaje en la salida de los moduladores DC ( $V_{\text{Modulador DC}}(t)$ ) . . . . .	111
6.2. Voltaje en la salida de los puentes H . . . . .	111
6.3. Voltaje en la fase $a$ de la carga trifásica . . . . .	112
6.4. Voltaje trifásico en la carga . . . . .	112
6.5. <i>FFT</i> del voltaje medida en la fase $a$ . . . . .	113
6.6. Corrientes circulantes en uno de los moduladores DC. El máximo <i>peak</i> medido fue de 2,2 A . . . . .	113
6.7. Voltaje y corriente en la fase $a$ de la carga . . . . .	114
6.8. Voltaje en la salida de los moduladores DC ( $V_{\text{Modulador DC}}(t)$ ), con un nivel de filtrado intermedio (inductor y capacitor de 140 $\mu H$ y 11 $\mu F$ respectivamente) . . . . .	114
6.9. Corrientes circulantes en uno de los moduladores DC, con un nivel de filtrado intermedio (inductor y capacitor de 140 $\mu H$ y 11 $\mu F$ respectivamente). El máximo <i>peak</i> medido fue de 850 mA aproximadamente . . . . .	115
6.10. Voltaje en la salida de uno de los moduladores DC ( $V_{\text{Modulador DC}}(t)$ ), con un nivel de filtrado bajo (inductor y capacitor de 250 $\mu H$ y 6 $\mu F$ respectivamente) . . . . .	115
6.11. Corrientes circulantes en uno de los moduladores DC, con un nivel de filtrado bajo (inductor y capacitor de 250 $\mu H$ y 6 $\mu F$ respectivamente). El máximo <i>peak</i> medido fue de 120 mA aproximadamente . . . . .	116
6.12. Tabla comparativa de resultados para los tres niveles de filtrado implementados en laboratorio . . . . .	116
6.13. Rizado de voltaje ( $V_{\text{Modulador DC}}(t)$ ) vs el inductor del filtro LC . . . . .	117
6.14. <i>Peak</i> de corriente en la malla LC vs el inductor del filtro LC . . . . .	117
7.1. Topología compuesta por un inversor trifásico de dos niveles y una etapa de filtrada compuesta por tres filtros LC . . . . .	119

7.2. Ciclo de desarrollo <i>Plan-Do-Check-Act</i> propuesto para desarrollos futuros en base a la presente investigación . . . . .	121
8.1. Imagen original de osciloscopio del voltaje de salida de los moduladores DC .	129
8.2. Imagen original de osciloscopio del voltaje de salida de los puentes-H del sistema	129
8.3. Imagen original de osciloscopio del voltaje en la fase <i>a</i> de la carga . . . . .	129
8.4. Imagen original de osciloscopio del voltaje trifásico en la carga . . . . .	130
8.5. Imagen original de osciloscopio del voltaje de salida de un Modulador DC con un nivel de filtrado de 0,02 . . . . .	130
8.6. Prototipo utilizado para la implementación de la investigación. El alumno trabajó sobre el prototipo que desarrolló en el curso de diseño eléctrico, de pregrado de ingeniería UC, durante el primer semestre de 2014. Dicho prototipo era originalmente un inversor multinivel compuesto por dos inversores trifásicos de dos niveles en serie como el de la Figura 1.9. Se realizaron los cambios pertinentes para implementar la nueva topología desarrollada. Por su parte, los moduladores DC fueron conectados aparte . . . . .	131
8.7. Imagen trasera del prototipo utilizado . . . . .	131
8.8. Imagen de la etapa de control prototipo utilizado, encargada de implementar la modulación <i>C-SVM</i> . . . . .	132
8.9. Imagen de uno de los puentes-H del prototipo . . . . .	133

## RESUMEN

Las tecnologías de conversión de corriente continua a corriente alterna (DC-AC) han alcanzado altas calidades de voltajes y corrientes utilizando inversores multinivel. Estos inversores pueden generar un gran número de niveles de voltaje, reduciendo la distorsión de las ondas de voltaje alternas generadas. Sin embargo, los voltajes de salida son siempre discretos, por lo que siempre hay un contenido armónico remanente imposible de eliminar. Esta distorsión se puede minimizar aumentando el número de niveles de voltaje generados por el inversor multinivel, sin embargo esto implica aumentar la cantidad de semiconductores requeridos y disminuir la confiabilidad del dispositivo.

La presente investigación propone una nueva modulación vectorial continua (*C-SVM*), que permite generar un voltaje sinusoidal de alta definición, reduciendo la distorsión armónica (*THD*) por debajo del 1 %. Se requieren para esto dos fuentes de voltaje variables, pero puede ser implementada en topologías simplificadas de inversores. Es más, la modulación continua propuesta permite implementar una nueva topología de inversores multinivel con una baja cantidad de semiconductores.

La asimetría variable requerida se obtiene operando dos convertidores DC-DC con ciclos de trabajo variable, introduciendo el concepto de modulación DC. El ciclo de trabajo variable sigue un patrón definido, el cual es una secuencia de hemiciclos sinusoidales positivos. Esta señal es modulada por ancho de pulso (*PWM*) y posteriormente filtrada, de modo de operar como fuente DC variable controlada para los inversores del sistema. Esto conlleva, sin embargo, un problema de corrientes circulantes en los moduladores DC y pérdidas energéticas. Existe un *trade-off* entre la calidad de la onda trifásica generada por el sistema y la eficiencia energética.

Los resultados reales y de simulaciones muestran que las ondas de voltaje generadas son altamente sinusoidales. Sin embargo, el problema de las pérdidas energéticas deberá ser

resuelto en investigaciones futuras, con miras a aplicaciones en la industria y en sistemas de potencia.

**Palabras Claves:** Modulación de inversores multinivel, Space Vector Control, Modulación vectorial, Inversores multinivel en cascada, Conversor Buck sincrónico.

## ABSTRACT

DC to AC conversion technology has succeeded in obtaining high power quality (voltages and currents) using multilevel inverters. These inverters can generate several levels of voltage that reduce the harmonic distortion of the generated sine waves in the AC side. However, the output voltages are always discrete, so a non-negligible harmonic distortion remains. This distortion can be reduced by increasing the number of voltage levels generated by the multilevel inverter, but this results in a reduction of the reliability and increases the number of semiconductors.

This research proposes a novel continuous space vector modulation (C-SVM) that generates continuous AC voltages, reducing the total harmonic distortion (THD) in the voltage under 1 %. This proposed modulation requires two variable power sources (e.g. DC-DC converters) but can be implemented in simplified three-phase cascaded multilevel converters. Moreover, this continuous modulation allows the implementation of a novel cascaded multilevel inverter with a reduced topology.

The required variable asymmetry is obtained by operating two DC-DC converters with a variable duty cycle. This allows us to introduce the concept of DC modulation. The variable duty cycle follows a defined pattern, which is a sequence of positive sine half-cycles. This signal is modulated with PWM and filtered so that it works as a controlled variable-DC voltage for the inverters of the system. The latter causes problems with resonant currents and power losses. There is a trade-off between the quality of the generated three-phase sine wave and the power losses.

Real and simulated results show the system working under inductive loads. The quality of the generated sine waves is highly sinusoidal. However, the problem of power losses has yet to be solved in future researches, regarding applications in industry and power systems.

**Keywords:** Multilevel Inverters Modulation, Space Vector Control, Vector Modulation, Cascaded Multilevel Converters, Synchronous Buck Converters.

## 1. INTRODUCCIÓN

En una sociedad basada en un creciente consumo energético, la energía eléctrica resalta por su alta flexibilidad de uso y controlabilidad. Sin embargo su almacenamiento y generación suelen implicar altos costos. Además, en muchos casos, proviene de fuentes contaminantes [Weiss, 2014]. Así, se han ido desarrollando tecnologías que permitan generar energía eléctrica de manera más sustentable, ya sea a través de fuentes renovables como optimizando las tecnologías ya existentes. Y es gracias a la flexibilidad de manejo de la energía eléctrica que se han podido incorporar estos avances a la sociedad. Es necesario manejar la potencia eléctrica para adaptarla a los distintos requerimientos existentes. Y precisamente dicha flexibilidad es debida, en gran medida, a los convertidores de potencia, los cuales juegan un papel fundamental en el manejo de la potencia eléctrica.

El manejo de potencia eléctrica es esencial para abastecer los consumos de la sociedad. Y este proceso va desde la generación de la energía eléctrica hasta el consumo final. En la industria es necesario alimentar grandes motores que funcionan con distintas frecuencias eléctricas, o simplemente con corriente continua. Asimismo, en generación de energía eléctrica, y en mayor medida desde la década de los 80 en adelante, la incorporación de fuentes renovables no convencionales ha aumentado el uso de convertidores de potencia para conectar estas fuentes a la red eléctrica. Los aerogeneradores necesitan ajustar la frecuencia eléctrica para conectarse a la red eléctrica. Por su parte, los paneles solares generan en corriente continua. En todos estos casos, el manejo de potencia debe ser lo más eficiente posible, y, por cierto, económicamente factible [Jamil et al., 2009, Cipriano et al., 2012].

Ahora bien, resulta atractivo modelar los convertidores de potencia como *cajas negras*, pero es necesario comprender cómo funcionan y de qué manera se construyen. La electrónica de potencia ha desarrollado convertidores en base a semiconductores. Teóricamente, en base a interruptores y válvulas unidireccionales ideales es posible manejar la potencia eléctrica. En la práctica esto es llevado a cabo por diodos y transistores de potencia operando en modo de corte y saturación (como interruptores en *on-off*).

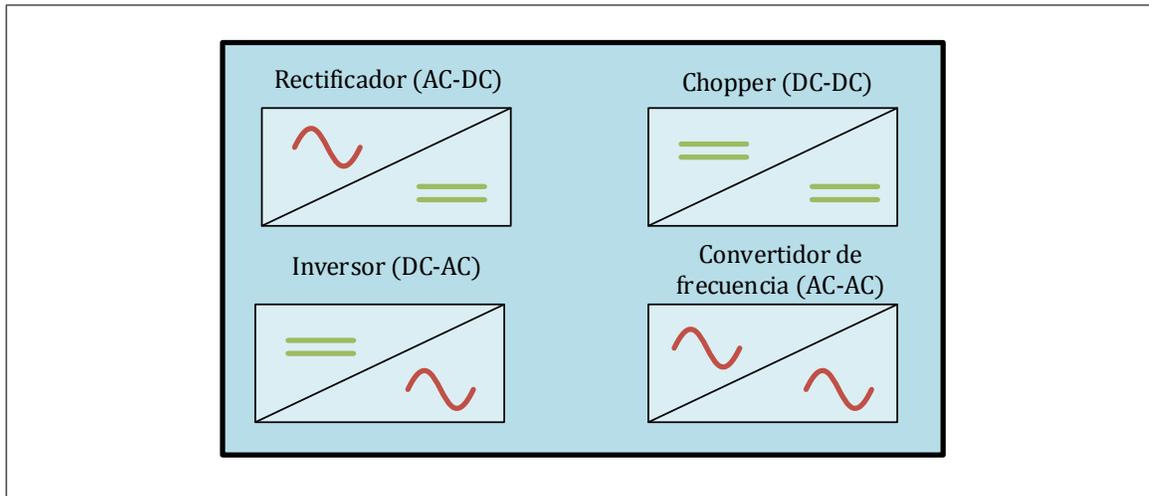


FIGURA 1.1. Convertidores de potencia

Los convertidores deben manejar potencia según sea la necesidad. Un conversor DC-DC (de corriente continua a corriente continua), o *chopper*, debe convertir valores continuos de voltaje (idealmente como un transformador de corriente continua). A su vez, un conversor AC-AC debe modificar la frecuencia eléctrica de una onda de voltaje alterna a un valor deseado. Estos convertidores deben operar de acuerdo a procesos de control que pueden llegar a ser bastante complejos según sean los requerimientos, y desde luego que avances en técnicas y estrategias de control representan un factor clave en el desarrollo tecnológico en el ámbito de la electrónica de potencia [Ahmed et al., 2013]. La Figura 1.1 muestra los convertidores de potencia existentes. Su utilización depende de los requerimientos concretos de manejo de potencia.

Dentro de los convertidores de potencia están los inversores. Estos dispositivos convierten corriente continua en alterna a una frecuencia y amplitud determinada por el sistema de control. Los inversores pueden ser utilizados para reemplazar un generador en sistemas aislados, o como parte de un sistema variador de frecuencia del tipo AC-DC-AC (corriente alterna - corriente continua - corriente alterna). En tracción eléctrica, el uso de inversores es indispensable, ya que se deben alimentar motores, que en muchos casos funcionan con corriente alterna, desde bancos de baterías (corriente continua). Desde luego que resultaría óptimo poder conectar dichos motores a un generador capaz de proveer toda la potencia

activa y reactiva necesaria, pero en la práctica esto resultaría inviable. Asimismo, existen muchos más casos en los cuales los inversores juegan un rol esencial. Por esto, es importante resaltar que el estudio de topologías de inversores, así como metodologías de control y conexión es un ámbito de vanguardia en la investigación científica actual [Panagis et al., 2008].

## 1.1. Inversores de Potencia

Los inversores de potencia, al igual que los demás convertidores de potencia eléctrica, operan en base a semiconductores, como se ha mencionado previamente. Dichos semiconductores operan como interruptores, o válvulas, por lo que es posible estudiar los convertidores de potencia como sistemas binarios. Los inversores generan una onda AC desde una fuente DC. Esto implica que, básicamente, se está emulando la onda de voltaje generada por una máquina rotatoria (generador eléctrico), o, en su defecto, de una barra infinita ideal. Desde luego que esto no es así en la práctica. Sin embargo, un inversor genera una onda de voltaje es lo *más ideal posible*. Y estas posibilidades vienen dadas por la complejidad del inversor. Ya sea si el inversor opera como una fuente de corriente eléctrica o de voltaje para alimentar una carga, la calidad de su desempeño depende de la cantidad de semiconductores que contenga, así como de su control y modulación. Por ende, cabe realizar una breve reseña de las topologías básicas de inversores.

### 1.1.1. Topologías de Inversores

La Figura 1.2 ilustra el conversor DC-AC más básico concebible. Considérese que los dos transistores no conducen al mismo tiempo, ya que esto implicaría un cortocircuito. Cuando conduce T1, el voltaje de salida es  $V_{DC}$ . A su vez, si conduce T2, el voltaje de salida es la referencia (típicamente 0 V). En la Figura, los transistores han sido representados como interruptores ideales bidireccionales. Para mejor comprensión, considérese dichos transistores como componentes de encendido y apagado instantáneo. Esta práctica resulta beneficiosa para analizar sistemas más complejos.

Este inversor permite generar una onda cuadrada monofásica de voltaje en la carga.

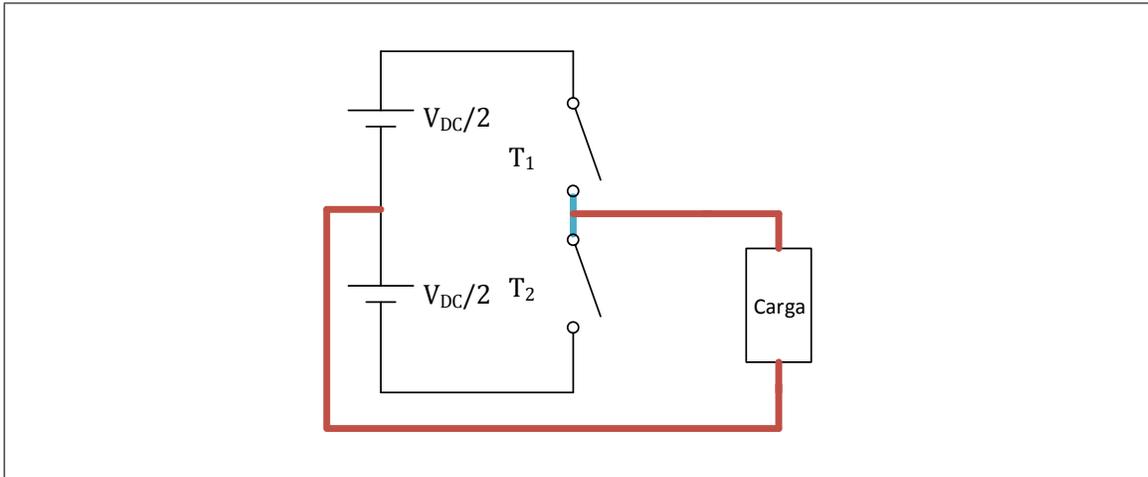


FIGURA 1.2. Convertidor DC-AC más básico (unidad inversora monofásica)

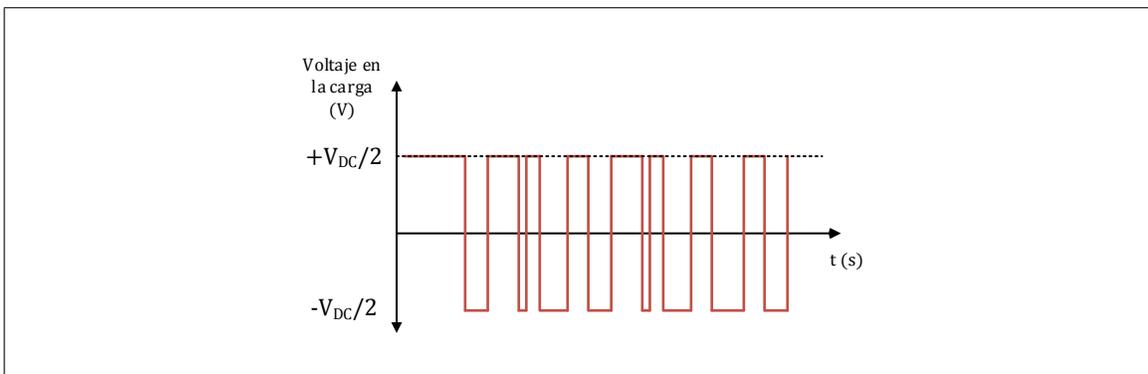


FIGURA 1.3. Voltaje de la unidad inversora monofásica

Este inversor es monofásico y, por cierto, la onda de salida dista de ser una señal alterna sinusoidal. Cuando T1 conduce (1 lógico) el voltaje tiene el valor dado por la fuente DC y el cero lógico (conducción de T2) da el cero. En otras palabras, es un inversor de dos niveles, dados por los dos transistores que utiliza. Aumentar la cantidad de transistores, así como la cantidad de unidades básicas inversoras en paralelo, permite crear inversores de más niveles y/o más fases. Esto permite introducir dos de las topologías de inversores más utilizadas.

El inversor puente H permite generar los niveles 1, 0 y -1 (desde luego ponderado por el valor del voltaje DC de alimentación). Esta señal presenta una mejor calidad (menor contenido armónico) que la generada por la unidad básica. Por su parte el inversor trifásico

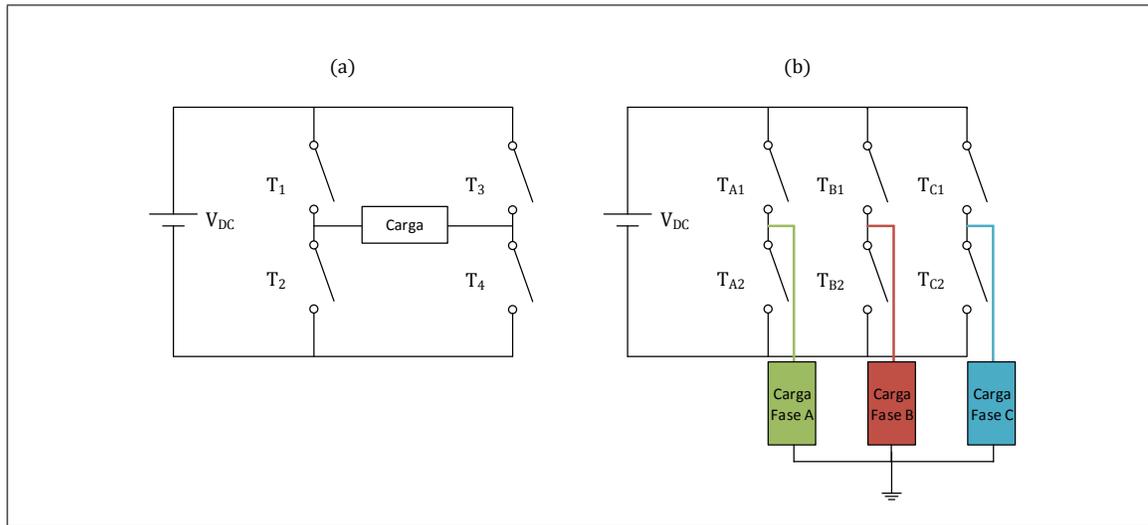


FIGURA 1.4. (a) Puente H (b) Inversor trifásico de dos niveles

de dos niveles convencional consiste en tres unidades inversoras en paralelo con sus respectivas cargas apropiadamente balanceadas. Resulta evidente que la conexión de  $n$  unidades inversoras permitiría generar un inversor de dos niveles  $n$ -fásico. Ahora bien, como se ha mencionado previamente, los inversores operan como sistemas discretos. El encendido o apagado de los transistores que lo componen entregan combinaciones binarias de estados que generan voltajes en la salida (ya sea monofásica o polifásica). La conexión de inversores en serie, así como la cantidad de transistores utilizados, permiten aumentar la cantidad de niveles generados de acuerdo a la combinatoria de todos los estados binarios posibles en los transistores. La combinación de estos factores, así como los valores de los voltajes DC utilizados (asimetrías de voltaje) permiten aumentar considerablemente el número de niveles generados en la salida [Pereda and Dixon, 2013]. Por ende, el estudio de estos factores, así como el de las nuevas técnicas de control, sienta un área de estudio en el ámbito de la electrónica, de gran interés científico. El estudio de inversores multinivel, utilizando celdas (sub-inversores) en serie (cascada), es la base de la presente investigación.

### 1.1.2. Inversores Multinivel

Los inversores multinivel son, en esencia, convertidores DC-AC que generan más de dos niveles de voltaje por fase. Puede concebirse un inversor multinivel conectado inversores

pequeños en serie. También puede concebirse un inversor único polifásico que utiliza una gran cantidad de semiconductores. En realidad, cabe mantener en consideración que los inversores presentados previamente, así como la unidad inversora monofásica, son la base para la construcción de inversores más complejos. Así como se construye el inversor trifásico de dos niveles con tres unidades básicas monofásicas, inversores de mayor complejidad pueden construirse de la misma manera con los componentes mencionados previamente. La Figura 1.5 ilustra un inversor monofásico de 243 niveles compuesto por cinco puentes H. El hecho de que entregue 243 niveles depende de la relación matemática entre los voltajes de las 5 fuentes DC (optimización de asimetrías), el cual se distribuye en potencias de 3 para este caso.

Así como el inversor de 243 niveles, se pueden obtener ondas de buena calidad en inversores trifásicos. Las técnicas de control de conmutación de los transistores, tales como las modulaciones vectoriales, optimizan el uso de los inversores.

Por estas razones, hoy en día la conversión DC-AC a través de inversores multinivel es ampliamente utilizada en sistemas de potencia (SEP), en la industria y aplicaciones en general que requieran frecuencias y/o amplitudes variables de voltaje y/o corriente. Esto se debe a las grandes ventajas que presenta, tales como la alta calidad de potencia convertida, alto rango de manejo de potencia, tolerancia a fallas y el uso de semiconductores estándares en alta tensión, entre otras. Sin embargo, estos convertidores de potencia presentan un *trade-off* entre la distorsión armónica de su onda de salida (*THD*) versus su costo, confiabilidad y complejidad. Como se analizó en la Sección previa, una mejor calidad de la onda de salida implica un sistema con más componentes. Desde luego que esto incrementa la complejidad de construcción, de control y el costo. En muchos casos este problema se resuelve aceptando altos niveles de *THD* [Abu-Rub et al., 2010, Pereda and Dixon, 2012]. Sin embargo, hay aplicaciones que no pueden funcionar bien bajo altos niveles de *THD*, y son, desde luego, más interesantes para la industria por cuanto menor es su costo monetario. Así, un inversor multinivel de una gran cantidad de niveles (alto número de transistores) no siempre es utilizado en la industria [Malamaki and Demoulias, 2013]. Es más, la calidad de

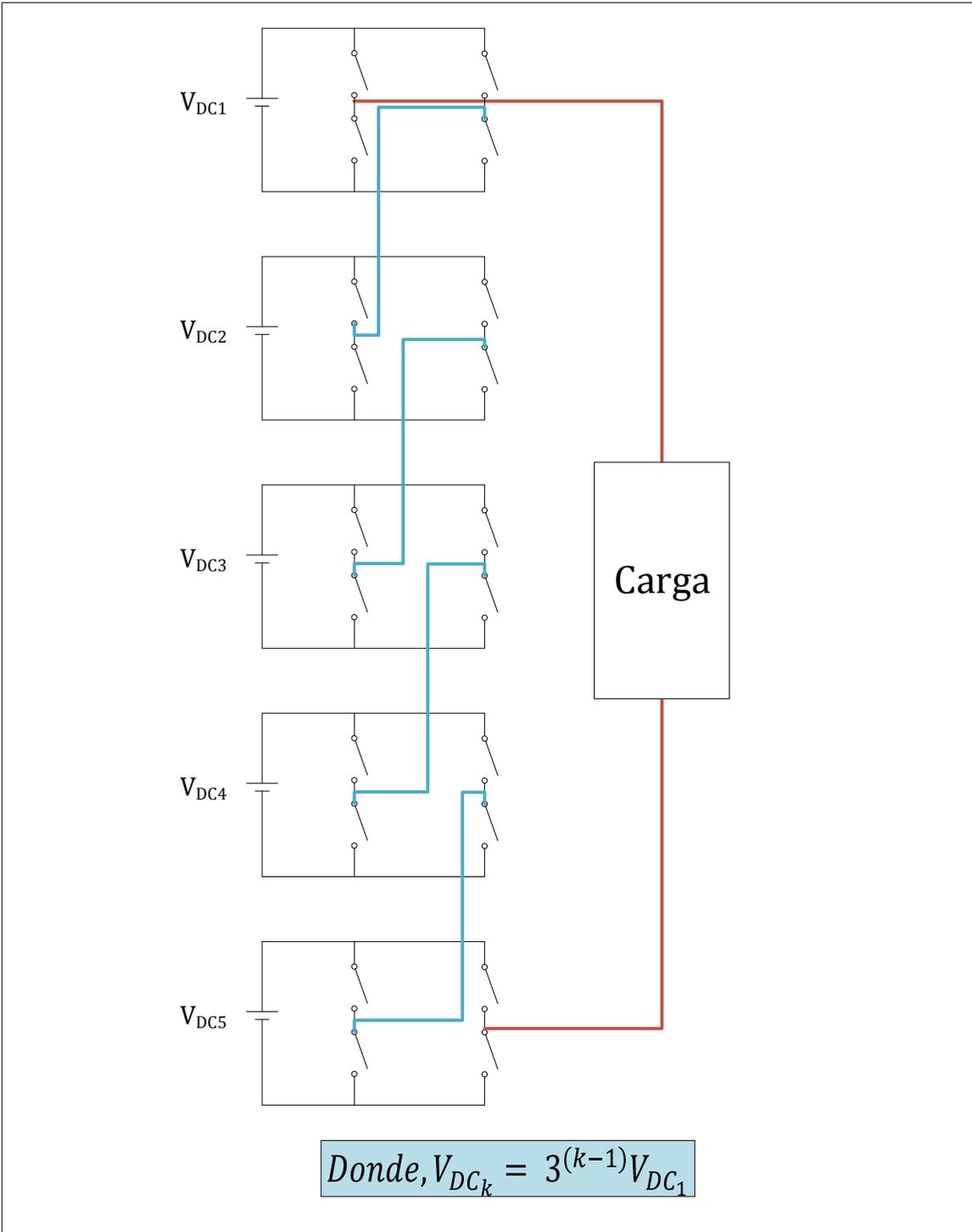


FIGURA 1.5. Inversor monofásico de 243 niveles

potencia de los convertidores convencionales decrece con el índice de modulación  $m$ , por lo que el punto de operación óptimo se alcanza solamente en régimen de operación nominal.

Mención especial requiere la competitividad de los inversores multinivel en sistemas de alto voltaje, donde los inversores convencionales requieren de un gran número de semiconductores en serie, lo que conlleva un alto costo sin un beneficio de disminución de *THD*.

### **1.1.3. Inversores Multinivel en Cascada**

Los inversores multinivel han resuelto en gran medida los problemas presentados previamente. Estos utilizan inversores convencionales conectados en serie (cascada) y optimizan la cantidad de niveles de voltaje generados sin utilizar grandes cantidades de semiconductores cuando operan con asimetrías de voltaje óptimas [Pereda and Dixon, 2013]. Sin embargo, hay que tomar en cuenta que si bien el uso de asimetrías disminuye el número de *switches*, mantiene el voltaje de bloqueo total del convertidor, lo que puede significar que se requiera la misma superficie semiconductor que sin asimetría cuando se utilizan semiconductores en su voltaje nominal.

Los inversores multinivel en cascada, o en serie, se han utilizado en diversas áreas, especialmente en aplicaciones de alto voltaje como accionamientos eléctricos de motores AC, transmisión HVDC, tracción eléctrica, procesos industriales y mineros y generación de energía eléctrica, entre otros. Adicionalmente, resaltan aplicaciones como la conexión de paneles solares a la red, tanto a gran escala como a nivel doméstico. Y es precisamente en el nivel doméstico donde se hace esencial la disminución de *THD* sin incurrir en altos costos económicos (sobre todo considerando las proyecciones a futuro de incorporación de pequeños medios de generación distribuida (PMGD)). Esto es pues altos niveles de distorsión implican el uso de grandes filtros, pérdidas térmicas y degradación de la calidad de potencia. De hecho, la inyección de armónicos a la red y el bajo factor de planta siguen siendo desventajas de la generación de energía solar en comparación a otras fuentes convencionales [Jayaraman et al., 2013]. Estos problemas se han ido resolviendo mediante la

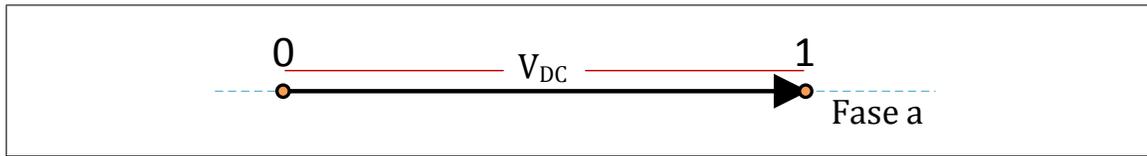


FIGURA 1.6. Vectores de estado del inversor básico monofásico

utilización de filtros armónicos [Bahrani and Grinberg, 2009] y topologías de inversores multinivel [Pereda and Dixon, 2011].

En esencia, los avances recientes han apuntado hacia topologías y técnicas de control que permitan mejorar la salida del inversor, optimizando la cantidad de circuitería utilizada.

Por ende, los inversores multinivel, ya sean comprendidos como unidades de inversores en cascada, o como inversores de mayor tamaño, permiten enormes ventajas como se ha mencionado en esta Sección. Pero un punto clave es el proceso de conmutación de los *switches* con el cual se maneje, por lo que cabe ahondar en el concepto de la modulación vectorial de inversores y vectores de voltaje.

## 1.2. Vectores de estado para representar voltajes

Los inversores operan como sistemas discretos. Los estados binarios, dados por el corte y saturación de los semiconductores permiten identificar cada estado del inversor. En otras palabras, cada inversor tiene un número finito de estados, entregados por todas las combinaciones de conducción o no conducción de sus transistores. Considérese el inversor básico monofásico de la Figura 1.2. Este inversor tiene dos estados binarios posibles. El 1 lógico (conducción de T1) entrega un estado (*switching*). A su vez, de igual modo, la conducción de T2 entrega el estado cero. La Figura 1.6 muestra las combinaciones posibles del inversor básico monofásico. Son dos vectores de estado. Si se considera la fase única de este sistema monofásico como la fase *a*, la Figura 1.6 muestra las dos posibilidades en la única fase de este sistema. En otros términos, el vector cero implica un voltaje de amplitud cero  $V$  en la fase *a*, y el vector uno implica un voltaje de tamaño  $V_{DC}$  en dicha fase.

Ahora bien, es posible hacer este mismo análisis para inversores polifásicos. Considérese el inversor trifásico de la Figura 1.4(b). Dicho inversor está compuesto por tres unidades monofásicas de dos niveles. Este inversor puede generar un voltaje trifásico cuya forma es una onda cuadrada para cada fase. Desde luego que cada fase estará desfasada en 120 grados sexagesimales con respecto a las otras dos. La Figura 1.7 muestra una combinación del inversor trifásico. La rama correspondiente a la fase *a* está en el estado uno, la rama correspondiente a la fase *b* también está en el estado uno y la rama de la fase *c* está en el estado cero. El esquema vectorial de la Figura 1.7 muestra la base vectorial trifásica *abc*. Las combinaciones posibles de este inversor trifásico permiten moverse en esta base vectorial (la magnitud  $V_{DC}$  de la fuente de alimentación ha sido omitida por simplicidad de análisis). Las posibilidades de combinaciones de este inversor básicamente están compuestas por tres segmentos como los mostrados en la Figura 1.3 desfasados en 120 grados sexagesimales entre sí. Por ende, es claro que la cantidad de estados posibles del inversor trifásico de dos niveles viene dado por la combinatoria de estos segmentos, es decir  $2^n$ , donde *n* representa la cantidad de fases del inversor. En este caso son 3. Además, al ser tres fases, cada vector de estado está definido por la posición de cada una de sus fases. Así, los vectores de estado tendrán una cantidad de componentes dada por la cantidad de fases del inversor (tres componentes en el caso de un inversor trifásico).

La Figura 1.8 muestra las posibilidades de combinaciones, o vectores posibles, del inversor trifásico de dos niveles. Nuevamente no se ha considerado la magnitud  $V_{DC}$  de la fuente de alimentación por simplicidad de análisis. Además, esta Figura considera el

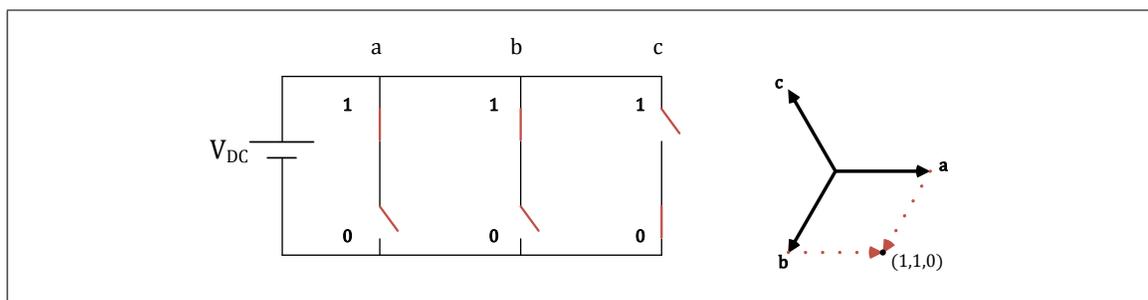


FIGURA 1.7. Ejemplo de combinación vectorial para un inversor trifásico de dos niveles

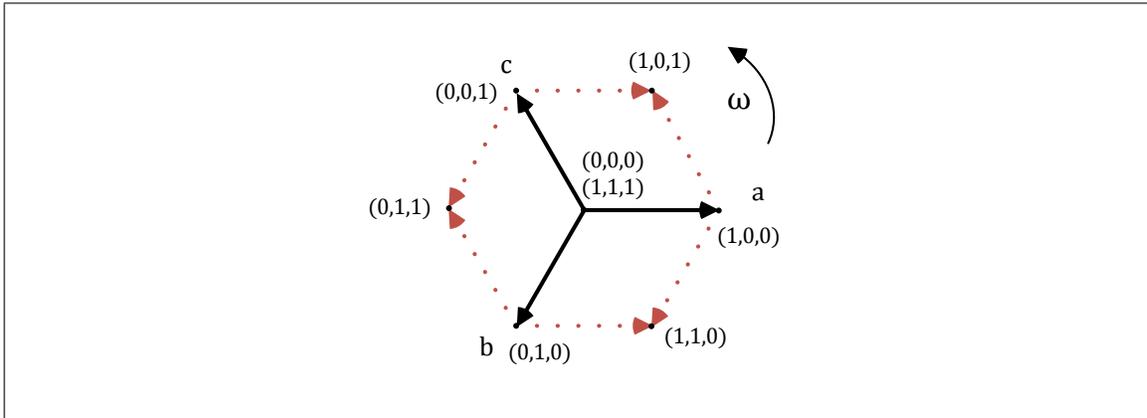


FIGURA 1.8. Combinaciones vectoriales de voltaje posibles en un inversor trifásico de dos niveles

tiempo. Es importante considerar que en sistemas trifásicos, los voltajes que se están representando son fasores discretos. Esto es, los vectores de estado son variables en el tiempo, y, desde luego, esto depende de la frecuencia eléctrica del sistema trifásico y de la modulación utilizada.

Analizando la Figura 1.8 se observa que todos los vectores de voltaje posibles del inversor implican una suma de los vectores de cada fase (considerando que cada fase tiene su estado cero y uno respectivo). Así, surge un estado redundante. El origen de esta base vectorial  $abc$ , que es compartida por los estados  $(0,0,0)$  y  $(1,1,1)$ . Esto implica que el voltaje de salida del inversor será el mismo para estos dos estados. El efecto de la redundancia de niveles se hace relevante al considerar inversores de mayor tamaño o sistemas complejos de varios inversores en cascada. Desde la perspectiva del voltaje de salida de un inversor, la redundancia de niveles implica que hay combinaciones vectoriales que no entregan nuevas posibilidades, o sea, más niveles de voltaje. En el caso del inversor trifásico de dos niveles, la redundancia de los niveles  $(0,0,0)$  y  $(1,1,1)$  es inevitable. Sin embargo, en sistemas compuestos por inversores en cascada, la correcta elección de las asimetrías de voltaje permite minimizar las redundancias de estados [Dixon et al., 2010].

Entonces, al ir aumentando el tamaño de los inversores, o al ir conectando inversores en serie, aumentan las posibilidades de combinaciones, o niveles de voltaje, y, por ende,

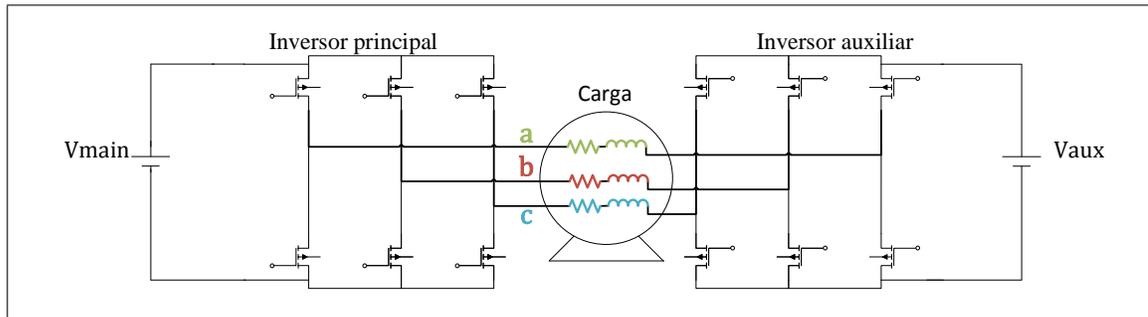


FIGURA 1.9. Sistema multinivel de dos inversores trifásicos de dos niveles conectados en serie

crecen las posibilidades vectoriales en el plano  $abc$ . La Figura 1.9 muestra dos inversores trifásicos en serie (cascada), conectados a una carga (representada en la Figura como un motor con devanados abiertos). Los transistores de la Figura son *MOSFETs*, pero podrían ser perfectamente de otro tipo. Los valores de las fuentes de alimentación (fuentes DC aisladas) definen las asimetrías de voltaje. Esto es, ahora existen más combinaciones de vectores, y la forma de estos puntos en el plano  $abc$  viene dada por estas asimetrías. La Figura 1.10 muestra las combinaciones posibles del sistema presentado en la Figura 1.9 en tres casos diferentes de asimetría de voltaje. Se observa que en el caso de la Figura 1.10(a), la asimetría de (2:1), que implica que  $V_{\text{main}} = 2V_{\text{aux}}$ , conlleva redundancias de niveles no presentes en las Figuras (b) y (c).

La cantidad total de vectores, o combinaciones posibles de conmutación de los transistores del sistema de la Figura 1.9 es:

$$\text{Número de vectores} = (2^n)^k, \quad (1)$$

donde  $n$  es el número de fases, en este caso 3, y  $k$  es la cantidad de inversores en serie por fase. Por ende se tienen 64 vectores posibles para el sistema de la Figura 1.9. Ahora bien, la ecuación (1) solamente entrega las posibilidades de acuerdo a los disparos de los transistores de los inversores. La calidad de la onda de salida (en el caso de la Figura 1.9 en las bobinas del motor trifásico presentado) va a depender del control y de la modulación del sistema.

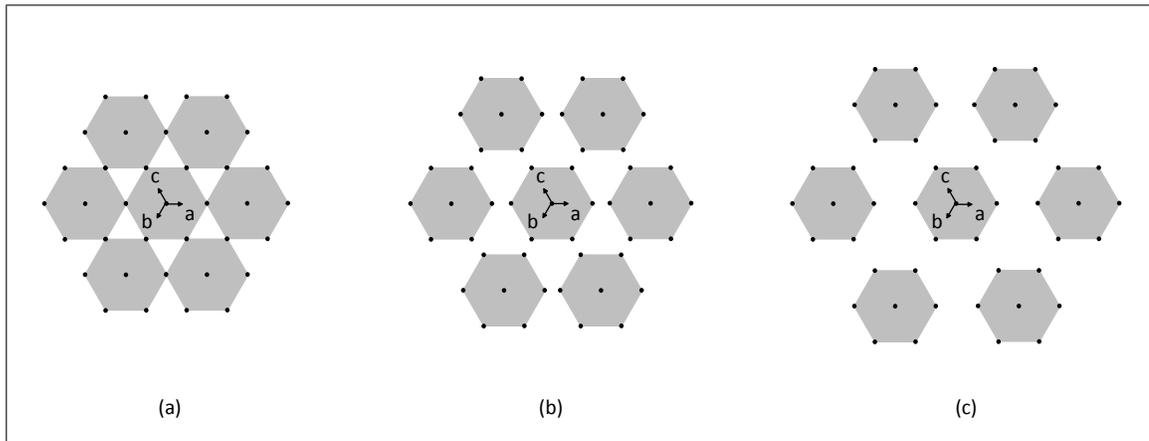


FIGURA 1.10. Asimetrías de (2:1), (2,4:1) y de (3:1) respectivamente en un sistema de dos inversores trifásicos de dos niveles en serie

En otras palabras, la calidad del voltaje trifásico de salida va a depender de cómo se conmuten los transistores de los inversores para moverse a través de los estados posibles en el tiempo.

La cantidad de vectores de estado crece de manera exponencial en función de los inversores conectados en serie (considerando que cada topología de inversores tiene su cantidad determinada de vectores de estado por sí misma). Es posible conectar diferentes topologías de inversores entre sí. Es común conectar inversores monofásicos de tres niveles tipo puentes H (la misma cantidad para todas las fases) para aumentar la cantidad de niveles. Un aumento de la cantidad de vectores de voltaje implica topologías más grandes, y por tanto más complejas y costosas.

### 1.3. Modulación de inversores

La modulación vectorial de inversores comprende las técnicas y metodologías de selección de vectores de voltaje a lo largo del tiempo para obtener una referencia deseada. A diferencia de técnicas como la modulación por ancho de pulso, o *PWM* por comparación con alguna señal de referencia, la modulación vectorial se basa en el análisis desde la perspectiva de los vectores de estado. En buenas cuentas, se estudian las posibilidades de combinaciones, o vectores de voltaje posibles, para decidir de qué manera obtener una

salida en el inversor (o sistema de inversores en cascada). De este modo, el inversor debe seguir una referencia de funcionamiento. Los inversores pueden operar como fuente de corriente o de voltaje. En el caso de la presente investigación se estudian los inversores operado como fuente de voltaje, por lo que en adelante se considerará el funcionamiento de los inversores siguiendo una referencia de voltaje.

En el caso de los inversores trifásicos, es necesario establecer en el plano  $abc$  una referencia. Considérese el sistema de inversores en serie de la Figura 1.9. Al operar como fuente de voltaje, se busca que el voltaje en la carga sea una onda trifásica sinusoidal. Desde luego que esto no es posible ya que los inversores son sistemas discretos, pero la modulación vectorial debe acercarse en la mayor medida posible el voltaje de salida a la onda trifásica ideal.

### 1.3.1. Transformada de Clarke

Considérese una onda trifásica sinusoidal perfecta ( $THD = 0$ ). Las ondas serán, para las fases  $a$ ,  $b$  y  $c$ , respectivamente,  $\sin(\omega t)$ ,  $\sin(\omega t - \frac{2}{3}\pi)$  y  $\sin(\omega t - \frac{4}{3}\pi)$ . Por simplicidad no se ha considerado la magnitud de las sinusoides, la cual, por cierto, es igual para las tres fases en un sistema apropiadamente balanceado. En el plano  $abc$  dichas ondas serán tres señales en cada uno de los ejes, cuya suma vectorial es, por cierto, cero. El comportamiento de sistemas trifásicos es descrito por sus ecuaciones de voltajes y corrientes eléctricas. Estas ecuaciones están definidas por coeficientes variantes en el tiempo. En el caso de la referencia de voltaje planteada para un inversor trifásico, resultaría óptimo poder definir un eje común en el cual representar la referencia y los vectores de voltaje del inversor. Una solución óptima a esta situación es alcanzada a través de la utilización de la transformada matemática de *Clarke*, o transformada  $\alpha\beta\gamma$ . Esta transformada vectorial de señales en el dominio temporal permite referencia variables desde un sistema natural trifásico (plano  $abc$ ) en un sistema estacionario bifásico cartesiano ( $\alpha\beta$ ).

La Figura 1.11 muestra tres fasores de voltaje,  $U_a$ ,  $U_b$  y  $U_c$ . En el plano  $abc$ , los ejes estacionarios de cada fase ( $a$ ,  $b$  y  $c$ ) están desfasados en 120 grados sexagesimales. En

dicha Figura se observan también los ejes cartesianos  $\alpha$  y  $\beta$ , desfasados en 90 grados sexagesimales. La onda trifásica sinusoidal,  $U_a$ ,  $U_b$  y  $U_c$ , que es variable en el tiempo, puede ser transformada algebraicamente a un sistema cartesiano bifásico. Esto implica que,  $U_a$ ,  $U_b$  y  $U_c$  estarán representadas como,  $U_\alpha$  y  $U_\beta$ , onda bifásica variable en el tiempo. Para esto, se introduce la siguiente matriz de transformación.

$$T_{Clarke} = \frac{2}{3} \begin{bmatrix} 1 & \frac{-1}{2} & \frac{-1}{2} \\ 0 & \frac{\sqrt{3}}{2} & \frac{-\sqrt{3}}{2} \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \quad (2)$$

A su vez, la transformada inversa desde el sistema de coordenadas  $\alpha\beta$  a  $abc$  es mostrado en la ecuación (3):

$$T_{Clarke}^{-1} = \begin{bmatrix} 1 & 0 & 1 \\ \frac{-1}{2} & \frac{\sqrt{3}}{2} & 1 \\ \frac{-1}{2} & \frac{-\sqrt{3}}{2} & 1 \end{bmatrix} \quad (3)$$

Considérese un sistema trifásico de voltajes balanceados en el sistema de coordenadas trifásicas  $abc$ ,  $U_a$ ,  $U_b$  y  $U_c$ .

$$\begin{bmatrix} U_a \\ U_b \\ U_c \end{bmatrix} = \begin{bmatrix} U_{mag} \cos(\omega t) \\ U_{mag} \cos(\omega t + \frac{2\pi}{3}) \\ U_{mag} \cos(\omega t - \frac{2\pi}{3}) \end{bmatrix}, \quad (4)$$

donde  $U_{mag}$  es la magnitud de los voltajes sinusoidales de este sistema trifásico balanceado.

Al aplicar la transformada de *Clarke*, de acuerdo a (2) se tiene que:

$$\begin{bmatrix} U_\alpha \\ U_\beta \\ U_\gamma \end{bmatrix} = T_{Clarke} \begin{bmatrix} U_a \\ U_b \\ U_c \end{bmatrix} \quad (5)$$

Reemplazando de acuerdo a (2) y (4), desarrollando algebraicamente, se llega a que:

$$\frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \begin{bmatrix} U_{\text{mag}} \cos(\omega t) \\ U_{\text{mag}} \cos(\omega t + \frac{2\pi}{3}) \\ U_{\text{mag}} \cos(\omega t - \frac{2\pi}{3}) \end{bmatrix} = \begin{bmatrix} U_{\text{mag}} \cos(\omega t) \\ U_{\text{mag}} \sin(\omega t) \\ 0 \end{bmatrix} \quad (6)$$

Al ser un sistema balanceado, la tercera coordenada del sistema cartesiano  $\alpha\beta\gamma$  se es cero, por lo que no es considerada en este caso. Cabe destacar que la componente cero de la transformada de *Clarke* es la misma que la componente de secuencia cero de la transformada de componentes simétricas ( $\frac{1}{3}(U_a + U_b + U_c)$ ).

Ahora bien, como se ha mostrado en (6), al transformar el sistema trifásico  $U_a, U_b$  y  $U_c$  al plano cartesiano, queda un sistema bifásico.

Si se considera este sistema trifásico balanceado como una referencia para un inversor trifásico, es conveniente poder representar ambos elementos en un mismo gráfico. Al graficar la referencia, luego de aplicar la transformada de *Clarke*, a lo largo del tiempo se estará graficando la componente coseno en el eje de las abscisas ( $\alpha$ ) y la componente seno en las ordenadas ( $\beta$ ). En otros términos, se irá trazando una circunferencia, en donde los 360 grados sexagesimales representan un ciclo completo de la referencia. Desde luego que el radio de dicha circunferencia depende de la magnitud de la onda trifásica.

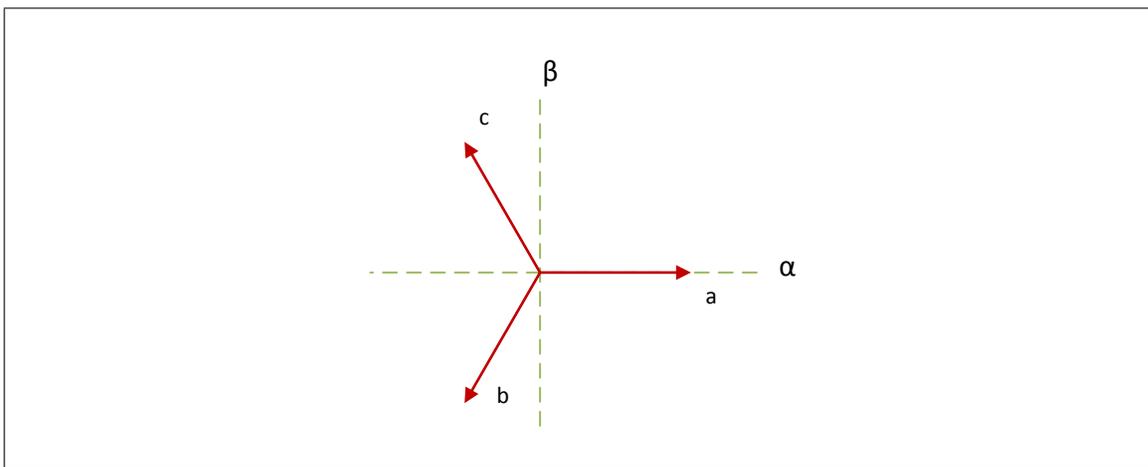


FIGURA 1.11. Sistema de coordenadas trifásico versus el sistema bifásico  $\alpha\beta$

La Figura 1.12 muestra una referencia de tensión para un sistema de dos inversores trifásicos de dos niveles en cascada (Figura 1.9). Una referencia de mayor magnitud será una circunferencia de mayor diámetro, y viceversa. Por su parte, la Figura 1.13 muestra tres referencias de voltaje de diferentes magnitudes para un inversor multinivel como el de la Figura 1.9.

### 1.3.2. Space Vector Control

La Figura 1.12 es el punto de partida para la elaboración de una modulación vectorial. Evidentemente que tanto los vectores del inversor presentado en dicha Figura, como la referencia están referenciadas en función de los ejes  $\alpha$  y  $\beta$ . Por ende la transformada de Clarke ha sido aplicada a la referencia y a los vectores de estado del inversor (en el caso de la Figura, a un sistema de dos inversores trifásicos en serie como el de la Figura 1.9). Como se ha hecho énfasis previamente, la modulación, en esencia, busca que el inversor se acerque a la referencia en la mayor medida posible. En cada instante de tiempo (cada punto de la circunferencia), el inversor debe estar conmutando de tal manera que el voltaje de salida sea lo más cercano posible a la referencia. Una opción es realizar una modulación PWM entre los vectores de voltaje más cercanos a la referencia en cada instante de tiempo. Típicamente se seleccionan los tres vectores más cercanos a la referencia, y se conmutan entre sí de modo de que el valor promedio sea la referencia en dicho instante. Esta modulación es conocida como *Space Vector Modulation (SVM)*, o modulación espacial vectorial. Recuerdese que en la práctica la modulación es llevada a cabo por un microcontrolador, que opera con tiempos discretos. Si se considera que el microcontrolador separa el ciclo completo de la referencia en  $n$  muestras, la modulación SVM selecciona los vectores del inversor de tal forma que:

$$t_{1,n}vector_1 + t_{2,n}vector_2 + t_{3,n}vector_3 = Ref_n, \quad (7)$$

donde  $Ref_n$  es la referencia de voltaje en el período de muestreo  $n$  y  $t_{1,n}$ ,  $t_{2,n}$  y  $t_{3,n}$  son los tiempos de operación en cada uno de los tres vectores más cercanos a la referencia en el período de muestreo  $n$  ( $vector_1$ ,  $vector_2$  y  $vector_3$ ). Por ende, se tiene que:

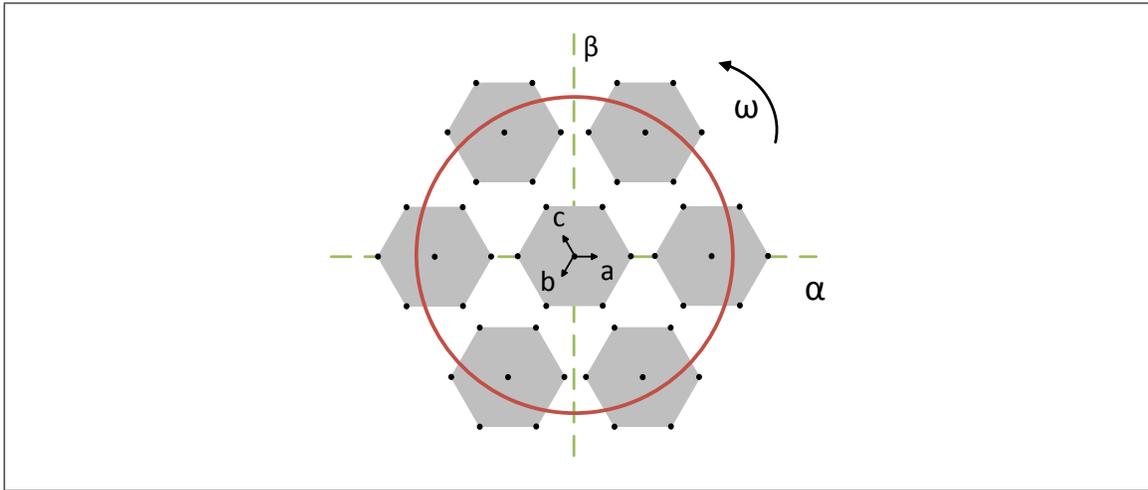


FIGURA 1.12. Referencia de voltaje para el sistema de la Figura 1.9 y una asimetría de (2,4:1)

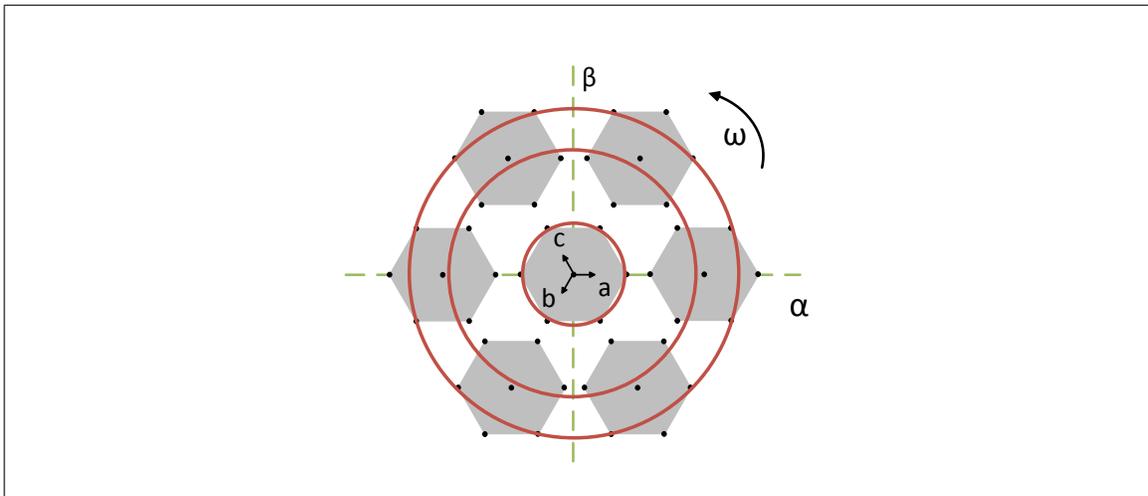


FIGURA 1.13. Tres referencias de voltaje de diferentes magnitudes para el sistema de la Figura 1.9 y una asimetría de (2,4:1)

$$\sum_{k=1}^{k=p} (t_{k,n} \text{vector}_k) = \text{Ref}_n, \forall n, \quad (8)$$

donde  $p = 3$ . Evidentemente la calidad de la onda de salida será mejor conforme menor sea el periodo total de conmutación de vectores  $(t_{1,n} + t_{2,n} + t_{3,n})$ , lo cual, por cierto, depende de una alta capacidad de procesamiento del dispositivo controlador del sistema.

La ventaja de la modulación *SVM* es que en cada instante  $n$  entrega un voltaje promedio igual a la referencia. Sin embargo requiere de grandes capacidades de cálculo del controlador. Además, puede implicar una mayor frecuencia de conmutación de los transistores, lo cual conlleva pérdidas de energía.

Una modulación que permite evitar los problemas mencionados previamente es la modulación *Space Vector Control (SVC)*, o control espacial vectorial. La modulación *SVC* en el caso particular de la modulación *SVM* cuando  $p = 1$ . Este caso particular de la ecuación (8) es básicamente la selección del vector más cercano a la referencia de voltaje en todo instante  $n$ . Es claro que en este caso ( $p = 1$ ), no hay *PWM*, sino que la conmutación del inversor multinivel es fija durante todo el periodo  $t_n$ . Entonces, la selección del vector más cercano a la referencia en todo instante genera un voltaje, desde luego, diferente a la referencia en la salida. Sin embargo, la frecuencia de conmutación del inversor multinivel es baja y la implementación es simple (no requiere grandes capacidades de procesamiento del controlador). La Figura 1.14 muestra la trayectoria de la modulación *SVC* para una referencia de voltaje determinada en el sistema de dos inversores trifásicos de dos niveles en serie de la Figura 1.9.

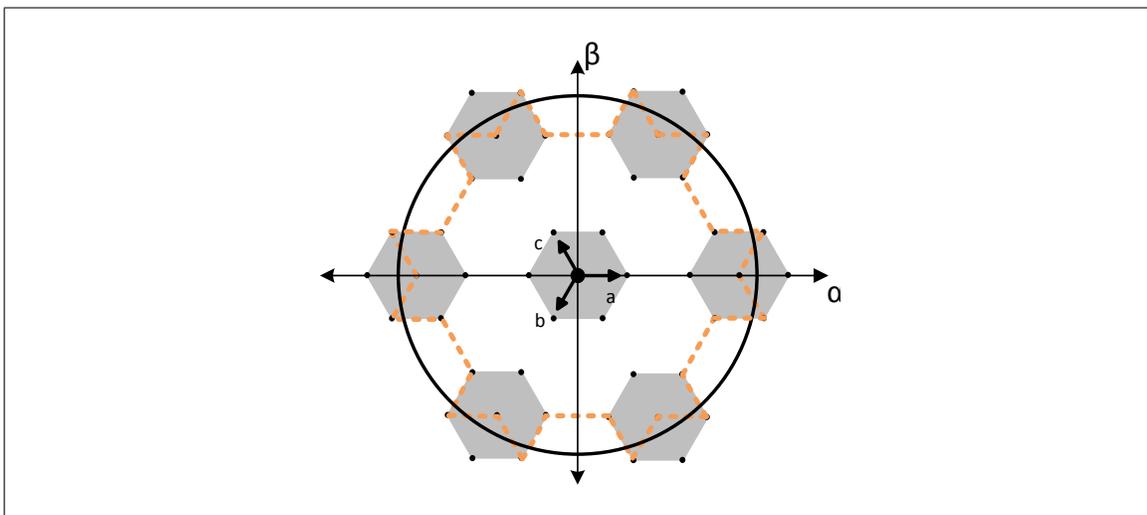


FIGURA 1.14. Trayectoria de la modulación *SVC* para el inversor multinivel de la Figura 1.9, siguiendo una referencia de voltaje trifásica

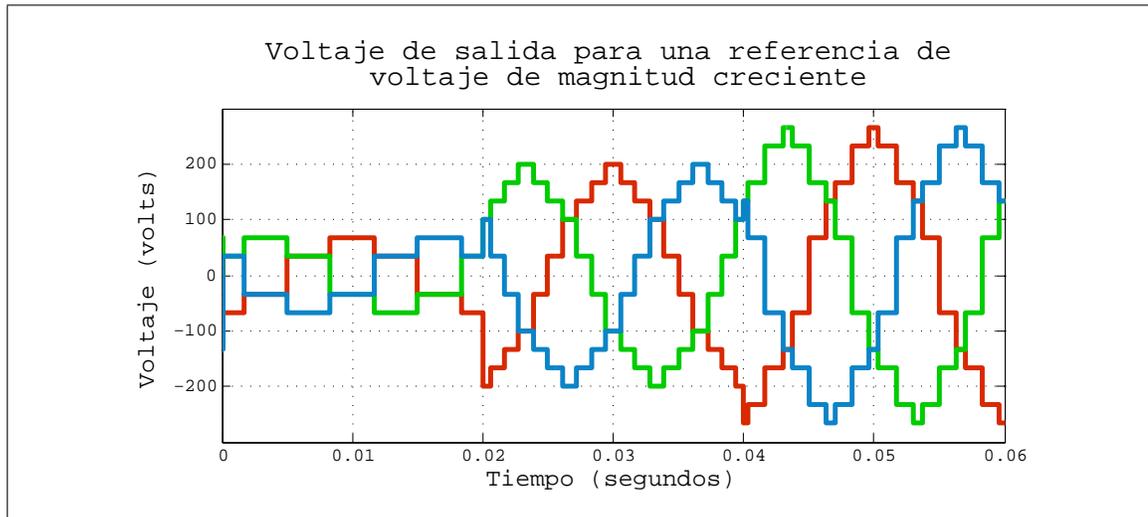


FIGURA 1.15. Voltaje en la carga del inversor multinivel de la Figura 1.9 para una referencia de voltaje creciente de acuerdo a la Figura 1.13

El desempeño de esta modulación varía según la amplitud de la circunferencia de referencia. Esto significa, en otras palabras, que el índice de modulación determina la *THD* total de la onda de salida. Si bien este es un problema presente en cualquier modulación convencional, la modulación *SVC* no puede amortiguar este efecto a través de *PWM*, como es el caso de la modulación *SVM*. La Figura 1.15 muestra el voltaje de salida del sistema de la Figura 1.9 para una referencia de magnitud creciente de acuerdo a la Figura 1.13. En dicha Figura se muestra el voltaje de salida para una onda trifásica de 50 Hz durante tres ciclos completos. La referencia crece cada ciclo de acuerdo a la Figura 1.13. Se observa que con la referencia de mayor tamaño, los resultados son mejores. La asimetría entrega posibilidades de voltajes de salida de mayor amplitud, limitando las trayectorias de referencia que generan resultados aceptables [Pereda and Dixon, 2013].

En buenas cuentas, la modulación *SVC* es una alternativa simple de operación de inversores como fuente de voltaje. La modulación es, por sí misma, solamente un método de generar un voltaje en función de una referencia de voltaje.

Esta referencia puede ser variable en el tiempo, como parte de un lazo de control de mayor nivel (por ejemplo en un accionamiento de control de velocidad de un motor eléctrico).

## 2. MODULACIÓN VECTORIAL CONTINUA

La presente investigación tiene como punto de partida la modulación *SVC*. Resulta claro que el contenido armónico de la onda trifásica de salida de un inversor multinivel modulado con *SVC* no puede ser eliminado. Topologías de mayor tamaño permiten minimizar la distancia de la referencia a algún vector de voltaje del sistema en todo instante (debido a un aumento de la resolución del espacio vectorial), pero no pueden eliminarla. La Figura 1.14 muestra la referencia de voltaje (circunferencia de color negro) y el voltaje trifásico de salida en el plano cartesiano  $\alpha\beta$  (trayectoria en color naranja). Es posible aumentar la similitud de ambas curvas aumentando la cantidad de vectores de estado del inversor multinivel, en desmedro de su complejidad y costo total. Sin embargo, dado que los espacios vectoriales de los inversores son intrínsecamente discretos (debido al uso de los semiconductores en corte y saturación), es imposible generar un voltaje de salida perfectamente sinusoidal. Otro enfoque que permite entregar luz a este análisis es el estudio del voltaje de salida. La Figura 1.15 muestra los voltajes de salida para tres referencias de voltaje. En todos los casos, las sinusoides de salida están distorsionadas, pues son ondas escalonadas. Esto es por la naturaleza discreta de la operación de inversores. Un aumento de la cantidad de transistores (niveles) del inversor multinivel permite disminuir dichos escalones, pero no eliminarlos.

Ante lo anterior surge la interrogante de qué tan factible resultaría disminuir la distorsión del voltaje de salida de un inversor modulado con *SVC* sin aumentar los costos considerablemente.

Resultaría posible disminuir la *THD* de la onda de salida de un inversor multinivel modulado con *SVC* si se pudieran ajustar los escalones de voltaje mencionados previamente de manera dinámica. En otros términos, la única salida posible a la disyuntiva presentada previamente es una asimetría variable entre las fuentes DC del inversor multinivel.

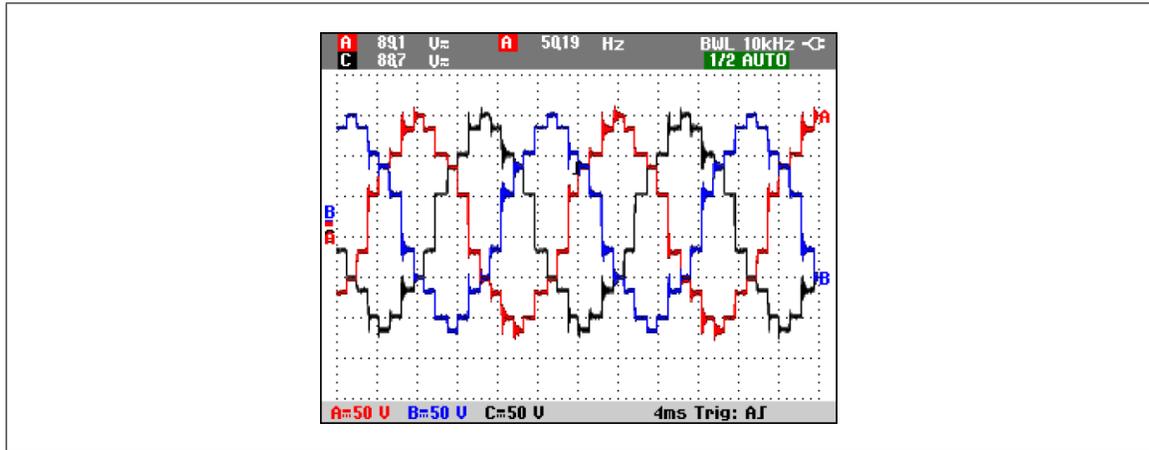


FIGURA 2.1. Voltaje de salida de un prototipo real implementado en laboratorio de un sistema de la Figura 1.9 modulado con SVC con una asimetría de voltaje de (3:1)

## 2.1. Asimetría Variable

Considérese el sistema de la Figura 1.9 modulado con SVC. La Figura 2.1 muestra el voltaje de salida de la implementación en laboratorio del sistema con asimetría de (3:1).

Los escalones de voltaje de la Figura 2.1 representan los niveles de voltaje del inversor. Esto es, las posibilidades que éste entrega. Si se hace tender a infinito la cantidad de niveles, se está llevando la *THD* a cero. En otros términos, se está convirtiendo la onda de salida del inversor en una senoide de voltaje perfecta.

El voltaje de la Figura 2.1 se obtiene desde la Figura 1.14. El voltaje de salida, representado por la línea punteada de color naranja en el plano  $\alpha\beta$ , es la combinación lineal de dos vectores. En otras palabras, es la suma vectorial de dos vectores de voltaje, uno por cada inversor. La ecuación (1) entrega la cantidad de vectores de un sistema de inversores en cascada en función del número de fases y del número de inversores en serie. Pues bien, dichos vectores son alcanzados combinando los vectores de voltaje de los distintos inversores que componen el sistema. Por ende, en cada instante de tiempo, el voltaje de salida del inversor modulado con SVC viene dado por la suma vectorial que minimiza la distancia a la referencia. Entonces, dicha suma implica la selección de un vector de voltaje por cada inversor del sistema. Para el caso de la Figura 1.9 modulado con SVC:

$$V_{\text{Salida}}(t) = V_{\text{Main}}(n) + V_{\text{Aux}}(n), \quad (9)$$

donde  $V_{\text{Salida}}(t)$  es el voltaje de salida del inversor de la Figura 1.9 modulado con SVC en el tiempo y  $V_{\text{Main}}(n)$  y  $V_{\text{Aux}}(n)$  son, respectivamente, los vectores de voltaje del inversor principal (mayor voltaje DC de alimentación) y del inversor auxiliar que permiten alcanzar la mínima distancia a  $Ref_n$  en el instante de tiempo  $n$ .

Ahora, si se considera una asimetría variable, esto es, que depende del tiempo, es posible generar una suma vectorial de vectores de voltaje para alcanzar  $Ref_n$  exactamente. Por independencia lineal algebraica, dos vectores linealmente independientes, apropiadamente ponderados, pueden alcanzar cualquier punto del plano que los contiene. Y si esos vectores son vectores de voltaje, dichas variaciones de magnitud suponen una asimetría variable.

La Figura 2.2 muestra dos vectores de voltaje ponderados para alcanzar una referencia de voltaje en tres puntos diferentes ( $P_1$ ,  $P_2$  y  $P_3$ ) para algún inversor multinivel genérico compuesto de dos inversores en cascada. Para los tres casos  $P_k(n) = Ref_n$ . Los respectivos vectores de voltaje de los inversores se ponderan en cada caso para que se cumpla la igualdad mencionada previamente. La Figura 2.2 no hace referencia a alguna topología en particular. Sin embargo, una extrapolación al sistema estudiado (Figura 1.9) implicaría una ponderación de los vectores de voltaje del inversor para alcanzar la referencia de voltaje en todo instante. En otras palabras, los inversores se modulan con SVC, pero las magnitudes de tensión cambian. De este modo es posible establecer una modulación SVC variable, por lo que se reescribe la ecuación (9) para este caso:

$$V_{\text{Salida}}(t) = \lambda_1(t)V_{\text{Main}} + \lambda_2(t)V_{\text{Aux}}, \quad (10)$$

donde  $\lambda_1(t)$  y  $\lambda_2(t)$  son los ponderadores matemáticos de los vectores de voltaje de los inversores. Si se analiza el sistema desde la perspectiva del microcontrolador, se reescribe (10) de la siguiente manera:

$$Ref_n = \lambda_1(n)V_{\text{Main}} + \lambda_2(n)V_{\text{Aux}} \quad (11)$$

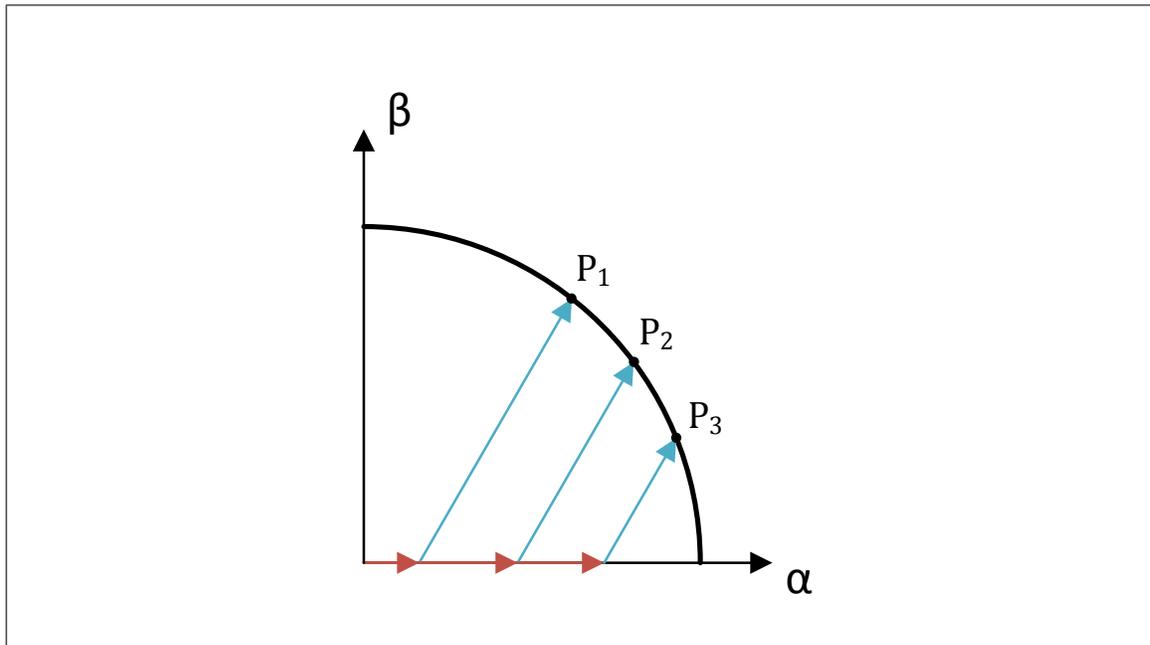


FIGURA 2.2. Ponderación de la magnitud de vectores de voltaje para alcanzar una referencia

El proceso de selección de vectores de estado para cada instante  $n$  es el mismo que en la modulación *SVC* convencional. Sin embargo, se considera también el cálculo de los ponderadores matemáticos  $\lambda_1(n)$  y  $\lambda_2(n)$ . De este modo, se introduce la modulación vectorial continua o *C-SVM*.

## 2.2. Implementación de la Modulación Vectorial Continua

Se han introducido los conceptos de modulación vectorial continua y de asimetría variable desde una perspectiva gráfica. Sin embargo, cabe aterrizar dichos conceptos en una topología real. La Figura 1.14 muestra la secuencia de la modulación *SVC* en la topología ilustrada en la Figura 1.9. La asimetría variable, a través de la ecuación (10), permite eliminar la diferencia entre la línea punteada y la circunferencia (referencia) de la Figura 1.14. En otras palabras, se consigue ajustar la combinación seleccionada de vectores a la referencia de voltaje. Así, en esencia se tiene la misma modulación *SVC* que produce la onda mostrada en la Figura 2.1, en donde se pondera cada vector seleccionado para alcanzar la referencia.

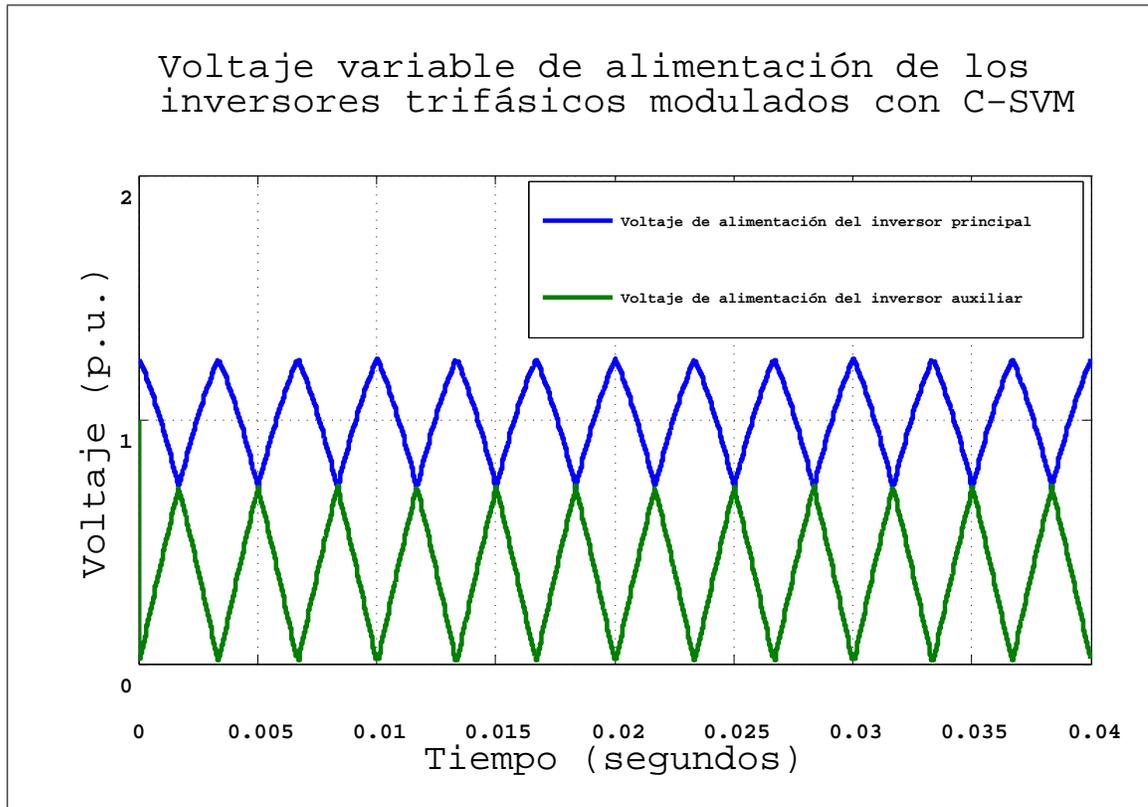


FIGURA 2.3. Voltaje de alimentación de los inversores de la topología 1.9 modulados con C-SVM

La Figura 2.3 muestra los voltajes de alimentación variables de los inversores trifásicos de la topología 1.9 modulados con C-SVM (considerando una referencia a 50 Hz). La forma de estas ondas corresponde a la gráfica de  $\lambda_1(t)$  y de  $\lambda_2(t)$  (en por unidad). La conmutación de los inversores (selección de la suma vectorial óptima) tiene 12 niveles diferentes. Esto es, se generan 12 combinaciones óptimas por ciclo. Esto es observable en la Figura 2.3, en donde cada fuente de alimentación cambia 12 veces por ciclo.

El sistema expuesto anteriormente, desde el punto de vista de la secuencia de conmutación de los transistores de la topología de la Figura 1.9, es simple. Básicamente los 12 estados de conmutación por cada ciclo suponen que, en el plano  $\alpha\beta$ , habrán 12 regiones de conmutación. La Figura 2.4 muestra dicha secuencia de conmutación. Por simplicidad no se han dibujado los hexágonos de voltaje de los inversores. Refiérase a los vectores de la Figura 1.8 para ver cada combinación en específico.

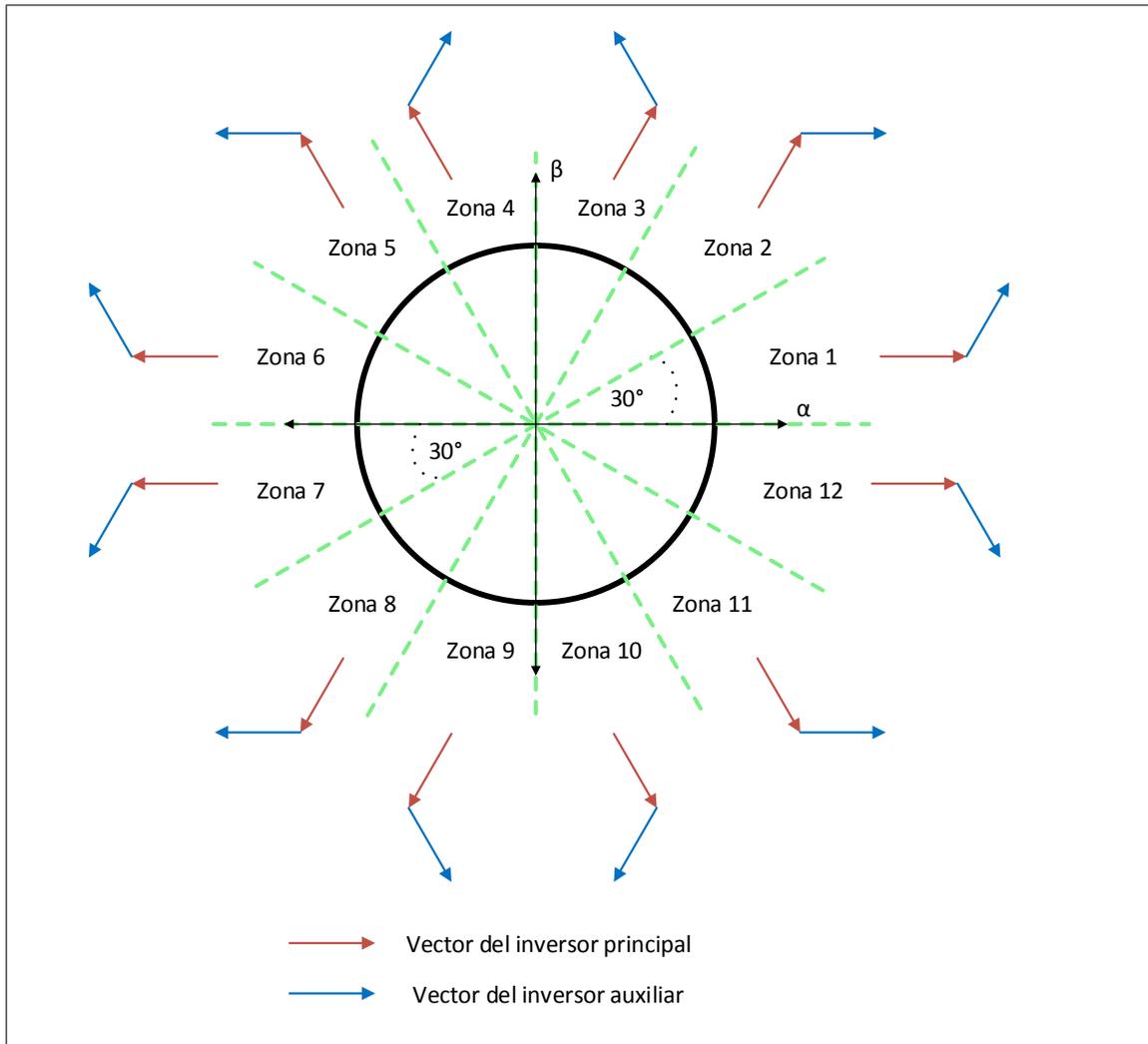


FIGURA 2.4. Secuencia de conmutación de los transistores de los inversores de la Figura 1.9 modulados con *C-SVM*. Por simplicidad, se han dibujado los vectores de cada inversor durante la secuencia sin indicar qué posición representan. Sin embargo, representan los vectores de voltaje del inversor trifásico de dos niveles de la Figura 1.8

Entonces, recapitulando las ideas expuestas previamente, utilizando la topología de la Figura 1.9, alimentando los inversores con un voltaje variable de acuerdo a la Figura 2.3 y siguiendo la secuencia de conmutación de la Figura 2.4, es posible obtener una onda trifásica de salida perfectamente sinusoidal, como la que se observa en la Figura 2.5. Las simetrías observadas en la Figura 2.4 muestran que cada fase de los inversores conmutan de igual manera, desfasados en un doceavo del ciclo.

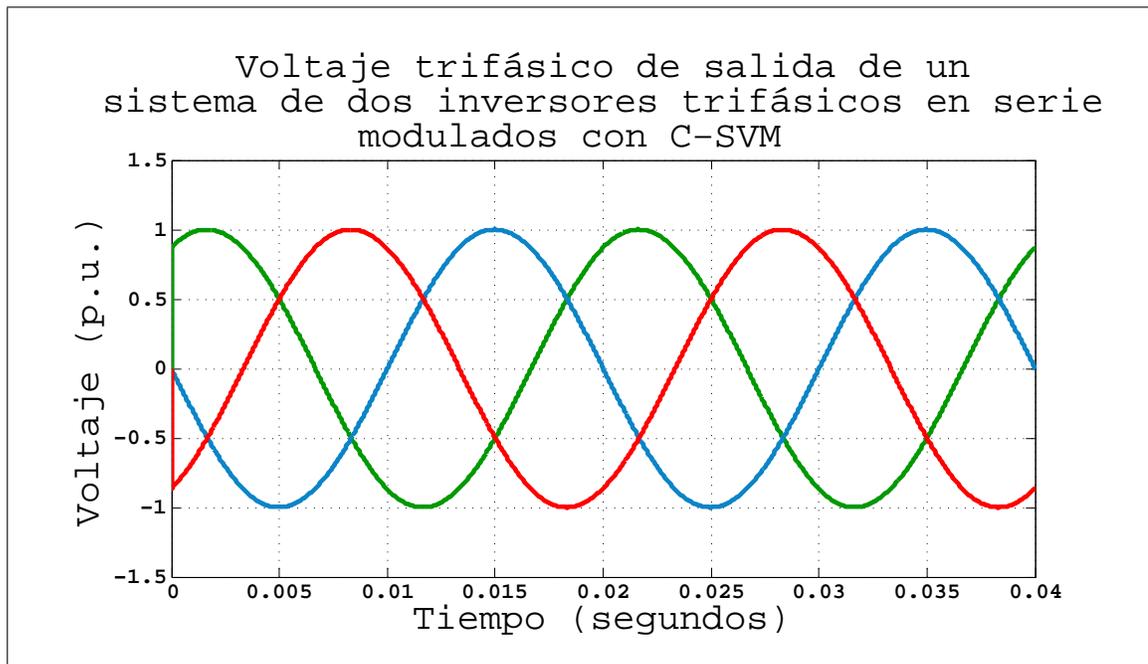


FIGURA 2.5. Voltaje de salida para la topología de la Figura 1.9 modulada con C-SVM considerando la alimentación DC variable de la Figura 2.3

### 2.3. Nueva Topología

Si se considera la Figura 1.10, es claro que siempre se van a encontrar vectores de voltaje para cumplir con la ecuación (11) en la modulación C-SVM. Sin embargo, en dicho caso se tienen 64 vectores de voltaje (dados por todas las combinaciones lineales posibles), de los cuales no es necesario utilizar todos (ver Figura 2.4). En otros términos, la topología de la Figura 1.9 no está optimizada para la modulación C-SVM.

Considérese la Figura 1.14. La línea punteada ilustra la selección en el tiempo de la combinación que permite alcanzar la mínima distancia a la referencia (modulación SVC). Ahora bien, al considerar la asimetría variable, el espacio vectorial cambia en el tiempo. En otros términos, se adapta. Por ende, si bien el criterio de selección es el mismo que el de la modulación SVC, la secuencia de selección varía. La secuencia de conmutación de la Figura 2.4 implica una selección de vectores basada en la modulación SVC original. Sin embargo esta última secuencia no es la misma que en el caso base (Figura 1.14).

Al poder modificarse la geometría del espacio vectorial, las secuencias de selección de vectores varían. En función de la asimetría variable, pueden haber muchas opciones posibles.

Ahora bien, la modulación *C-SVM* necesita, para cada instante de tiempo, una dupla de vectores de voltaje linealmente independientes en el plano  $\alpha\beta$  (uno por cada inversor, considerando la topología de la Figura 1.9). La Figura 2.2 muestra dos vectores (uno en el eje  $\alpha$  y el otro desfasado en  $60^\circ$ ) linealmente independientes, ponderados en tres casos diferentes para alcanzar una referencia de tensión (por simplicidad, cabe abstraerse del ejemplo concreto de la topología de la Figura 1.9). De hecho la Figura 2.2 muestra una situación meramente geométrica, en donde dos vectores en el plano cartesiano son ponderados numéricamente (ecuación (10)).

Considérese solo el cuarto de ciclo de la referencia mostrado en la Figura 2.2. Los dos vectores mostrados permiten alcanzar  $\frac{2}{3}$  de dicho cuarto de ciclo (puesto que la dirección y sentido de estos vectores no varía. Uno de ellos está sobre el eje  $\alpha$  y el otro en un ángulo de  $60^\circ$  con respecto a dicho eje). A su vez, si se analiza la referencia en coordenadas polares, es posible no considerar la magnitud y centrarse sólo en el ángulo. Por ende, entre los  $0^\circ$  y  $60^\circ$ , los vectores mostrados en la Figura 2.2, apropiadamente ponderados, permiten modular con *C-SVM* (independientemente de la topología de inversores utilizada). La Figura 2.6 muestra cuatro vectores de voltaje en una topología genérica (en efecto, diversas topologías de vectores contienen dicho espacio vectorial, sin embargo para efectos del análisis del problema es irrelevante). Básicamente son los mismos vectores linealmente independientes de la Figura 2.2 con sus respectivos sentidos opuestos (manteniendo fija su dirección). En la Figura 2.6 se ha separado el plano  $\alpha\beta$  en cuatro regiones, que representan las cuatro combinaciones lineales de los vectores de voltaje para poder implementar la modulación *C-SVM* de acuerdo a la ecuación (11).

Ahora bien, la situación anterior, como ha sido presentada, es meramente conceptual. Se ha expuesto una situación desde un enfoque geométrico, abstrayendo el análisis de ejemplos concretos de topologías de inversores. Dicho análisis, basado en el concepto

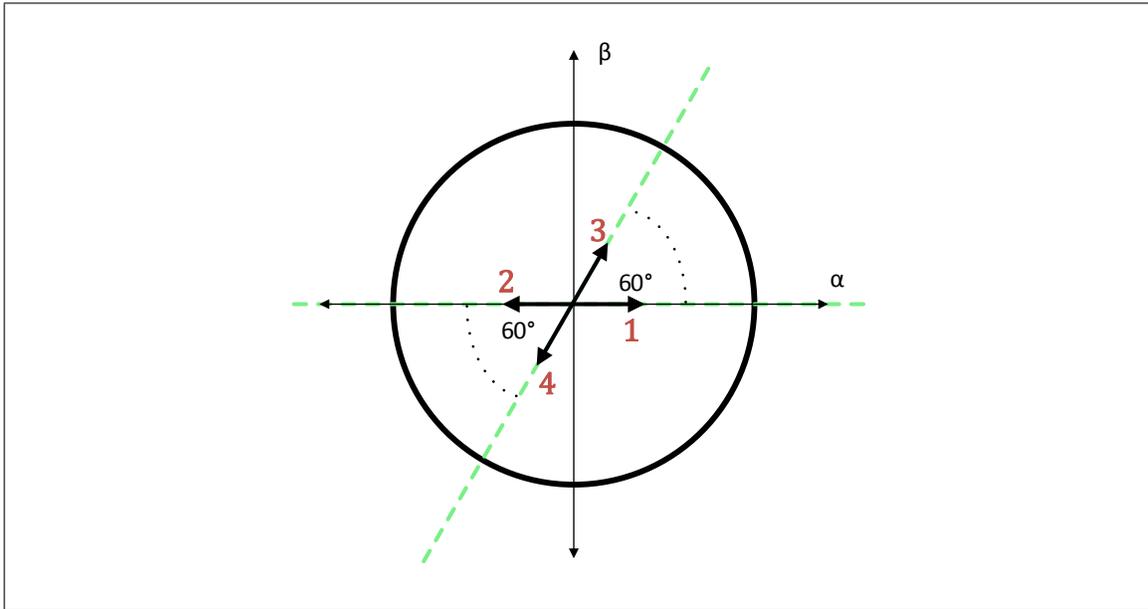


FIGURA 2.6. Cantidad mínima de vectores de voltaje para implementar la modulación *C-SVM* en inversores multinivel trifásicos

de independencia lineal de álgebra lineal, tiene como punto de partida la Figura 2.2. Luego se estudió el espacio vectorial presentado en la Figura 2.6, en donde es posible generar combinaciones vectoriales lineales para alcanzar toda la circunferencia. Así, cabe aterrizar dicho análisis a casos concretos de inversores. En el ejemplo analizado utilizando la topología de la Figura 1.9 modulado con *C-SVM*, se están utilizando más vectores de voltaje que los mostrados en la Figura 2.6. Los cuatro vectores que componen el espacio de la Figura 2.6 son un subconjunto del espacio vectorial de la topología de la Figura 1.9 (Figura 1.10). Por ende, es evidente que existe una opción de optimización de la topología utilizada para la modulación *C-SVM*. Dado que la topología de la Figura 1.9 tiene 64 posibles vectores de voltaje y que la Figura 2.6 plantea la necesidad de solamente cuatro de dichos vectores, es posible reducir la cantidad de transistores de la topología de dos inversores trifásicos en serie a una topología reducida. Esto es porque hay vectores de voltaje innecesarios, que nunca se utilizan, lo que supone circuitería innecesaria.

Diferentes topologías de inversores tienen distintos espacios vectoriales de voltaje. El inversor trifásico de dos niveles tiene 8 vectores de voltaje posibles, lo que se ve en la Figura

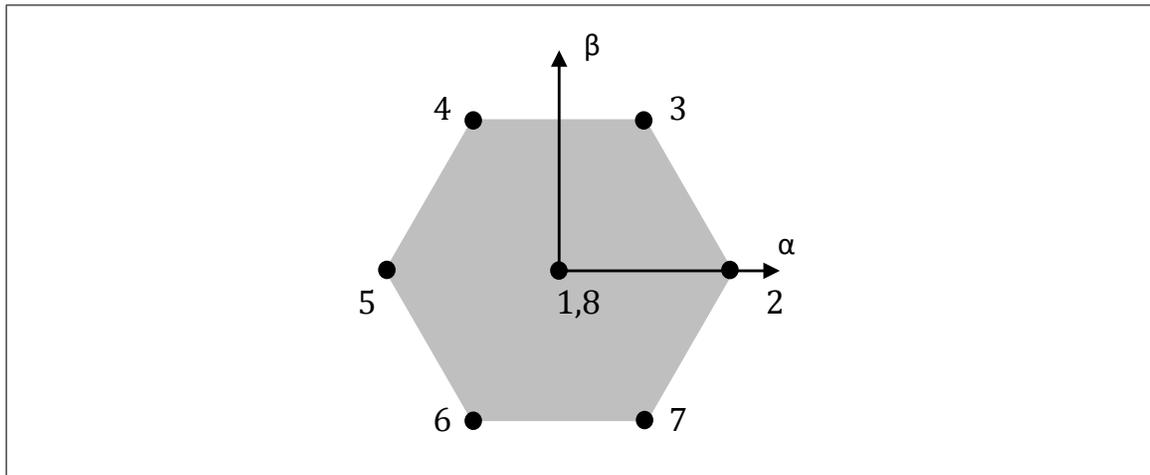


FIGURA 2.7. Vectores de voltaje de un inversor trifásico de dos niveles numerados

1.8. La Figura 2.7 muestra dichos vectores numerados del 1 al 8. Es más fácil establecer una numeración única para dichos vectores que identificarlos por su terna de combinaciones trifásicas o por sus coordenadas en el plano  $\alpha\beta$ . Resulta provechoso, entonces, basar el análisis utilizando la numeración de vectores de voltaje de la Figura 2.7. Se observa, así, que los vectores 3 y 6 representan, respectivamente, los vectores 3 y 4 de la Figura 2.6. A su vez, los vectores 2 y 5 de la Figura 2.7 representan los vectores 1 y 2 de la Figura 2.6.

Sin embargo, existe un factor clave que debe tenerse en consideración. Ya se han identificado los vectores de la Figura 2.6 en la Figura 2.7. Sin embargo, cabe notar que los vectores 1 y 2, y los vectores 3 y 4 de la Figura 2.6 están en la misma dirección (difieren únicamente en su sentido). Los vectores 1 y 2 de la Figura 2.6 están en la dirección del eje  $a$  en el sistema de coordenadas trifásicas (Figura 1.11). A su vez, los vectores 3 y 4 de la Figura 2.6 están en la dirección del eje  $b$  en el sistema de coordenadas trifásicas.

Considérese el inversor tipo puente H de la Figura 1.4(a). Este inversor puede generar en su carga tres niveles de voltaje, el nivel 1, el 0 y el -1 (desde luego ponderados por su voltaje DC de alimentación). La Figura 2.8 muestra los vectores de voltaje de este inversor. Se ha ilustrado al inversor a lo largo del eje de las abscisas ( $\alpha$ ), que coincide con la fase  $a$  (pero puede estar en cualquiera de las otras dos fases). Los vectores 1 y -1 representan los vectores 1 y 2 de la Figura 2.6. Ahora, si se considera la conexión en serie de un inversor

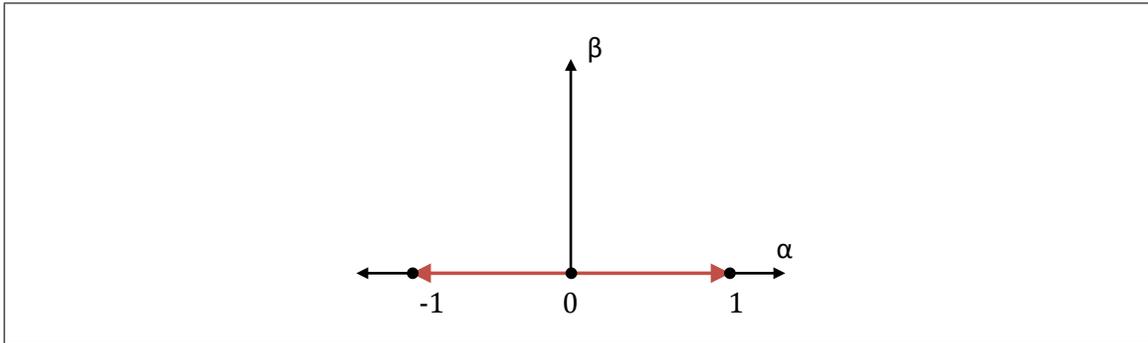


FIGURA 2.8. Vectores de voltaje de un inversor puente H numerados

tipo puente H en la fase  $b$  de una carga trifásica, se puede conseguir que los vectores 1 y -1 de dicho inversor sean los vectores 3 y 4 de la Figura 2.6. Precisamente esto permite generar un nexo con el análisis realizado en el párrafo anterior.

La Figura 2.9 muestra la topología optimizada, cuyo espacio vectorial contiene a los vectores de la Figura 2.6. Además, tiene una cantidad de vectores de voltaje menor que la topología de la Figura 1.9. Las asimetrías variables están representadas como fuentes de voltaje DC variables (de igual forma que en la Figura 2.3), las cuales permiten ponderar los voltajes de alimentación de los dos inversores de acuerdo a la ecuación (11) y a la Figura 2.6. Es sumamente interesante recalcar que esta topología fue obtenida desde el estudio de los vectores de voltaje. En otras palabras, se realizó un análisis meramente geométrico, que fue aterrizado mediante el desarrollo de una nueva topología de inversores en cascada. Es más, se ha desarrollado un nuevo inversor trifásico utilizando solamente dos inversores monofásicos.

Así, cabe entonces realizar un análisis del funcionamiento de la nueva topología propuesta. El lugar geométrico de los vectores de estado del inversor de la Figura 2.9 se muestra en la Figura 2.10. El puente H tiene tres niveles, y el correspondiente al cero no se utiliza en la modulación  $C-SVM$ , como se observa en la Figura 2.6, en ninguna de las dos unidades inversoras. De este modo, es posible reestructurar el esquema de la Figura 2.6, de acuerdo a la topología optimizada. Consecuente con las numeraciones de la Figura 2.8, se obtiene el esquema mostrado en la Figura 2.11. Se han identificado 4 zonas en el plano  $\alpha\beta$ ,

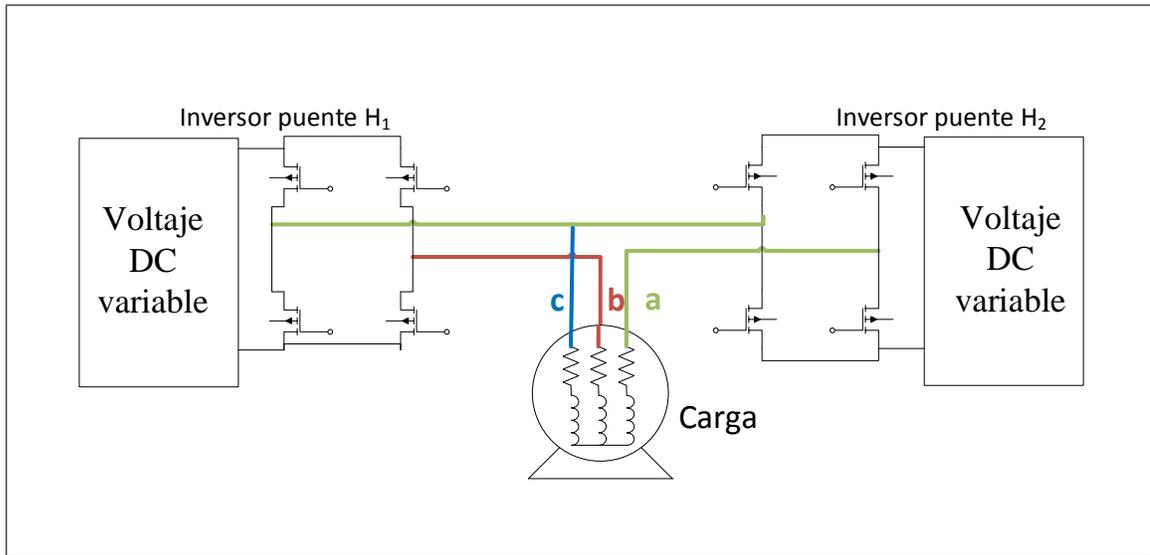


FIGURA 2.9. Topología de inversores en cascada optimizada para la modulación *C-SVM*

lo cual, como se estudió previamente, implica cuatro combinaciones de vectores de voltaje a lo largo de un ciclo de la referencia.

El puente H conectado en la fase *a* se identificará como puente H 1, mientras que el otro se identificará como puente H 2.

Cabe notar que las zonas 1 y 2, y las zonas 3 y 4 implican el mismo vector de voltaje para el puente H 2 respectivamente. Lo mismo sucede en el puente H 1 con las zonas 1 y 4, y las zonas 2 y 3 respectivamente.

Lo anterior establece la base del funcionamiento de la asimetría variable en la nueva topología propuesta. Esto es, cada inversor tiene dos estados de conmutación por ciclo. Además, cada inversor utiliza dos vectores de voltaje. La Figura 2.12 muestra la conmutación de los inversores de la Figura 2.9 modulados con *C-SVM*, donde se aprecia la asimetría variable a lo largo de medio ciclo de la referencia de voltaje.

El análisis de las Figuras 2.11 y 2.12 permite establecer la secuencia de asimetría de voltajes de alimentación de los inversores de la topología 2.9. Cada inversor tiene dos estados de conmutación, uno por cada medio ciclo de la referencia, y están desfasados en  $60^\circ$ .

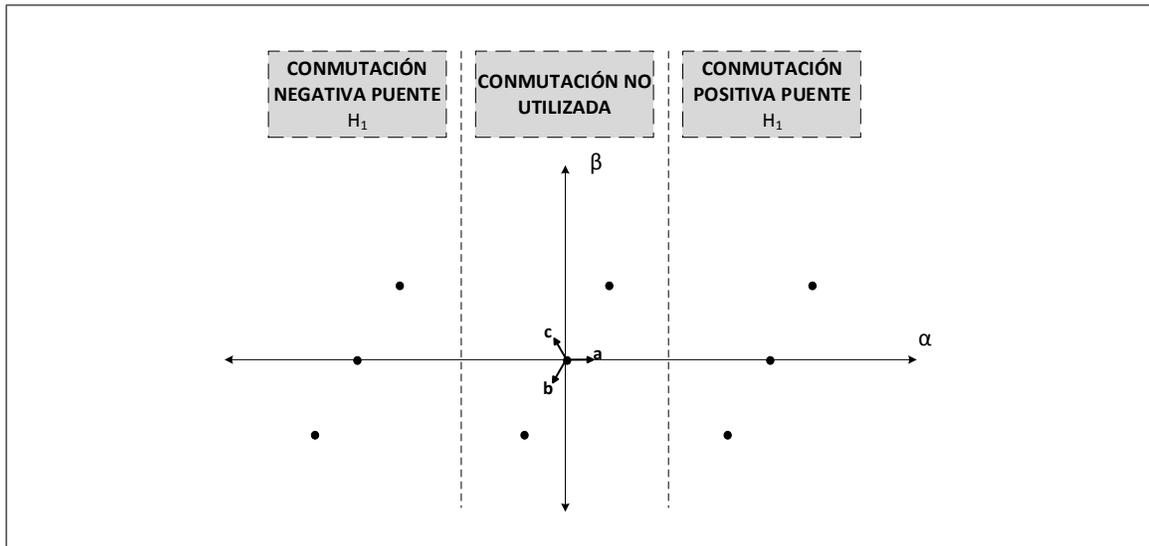


FIGURA 2.10. Vectores de voltaje de la topología de la Figura 2.9

En el límite entre la zona 1 y la zona 2, el vector de voltaje del puente H 1 (vector 1 según la Figura 2.8) está ponderado por magnitud cero. Esto es observable en la secuencia de la Figura 2.12. A su vez, por simetría de operación, entre la zona 3 y la zona 4, el vector de voltaje del puente H 1 (vector -1 según la Figura 2.8) también está ponderado por cero. Y alcanza su máxima magnitud en los límites entre la zona 2 y 3 y las zonas 4 y 1, que son los casos cuando el vector de voltaje del puente H 2 está ponderado por cero. Lo mismo ocurre para el caso del puente H 2. De este modo, en cada zona de conmutación, los inversores describen una trayectoria de semicircunferencia, que es básicamente la mitad del ciclo de la referencia. El puente H 1 describe un hemiciclo desde los  $60^\circ$  hasta los  $240^\circ$  (zonas 2 y 3), y otro desde los  $240^\circ$  hasta los  $60^\circ$  (zonas 4 y 1). El puente H 2 lo hace, por su parte, desde los  $0^\circ$  hasta los  $180^\circ$  (zonas 1 y 2) y desde los  $180^\circ$  hasta los  $0^\circ$  (zonas 3 y 4).

Un hemiciclo de la referencia de voltaje sinusoidal es la mitad de una onda sinusoidal. Esto es, en cada zona de conmutación, el voltaje DC variable es un hemiciclo sinusoidal. Se introduce, entonces, el concepto de modulación DC. En esencia, esto es un voltaje DC variable de manera periódica, de acuerdo a un patrón de cambio. Y precisamente la asimetría variable necesaria para la implementación de la modulación *C-SVM* se alcanza mediante una modulación de las fuentes de alimentación DC de los inversores.

La Figura 2.13 muestra la modulación DC de los voltajes de alimentación de los inversores de la Figura 2.9 modulados con *C-SVM*.

La Figura 2.14 muestra la onda trifásica de salida, en por unidad, para el inversor de la Figura 2.9 modulada con *C-SVM* durante dos ciclos completos. La referencia tiene una frecuencia eléctrica de 50 Hz. La carga es un banco trifásico balanceado de resistores (factor de potencia 1).

El voltaje de la Figura 2.14 es igual al de la Figura 2.5. Esto confirma que la optimización geométrica de vectores de voltaje realizada, es aplicable a sistemas de inversores.

Ahora bien, si se compara la onda trifásica de la Figura 2.14 con la de la Figura 1.15 se observa que la reducción de contenido armónico es sustancial. Es más, es posible afirmar que la modulación DC y la modulación *C-SVM* han logrado alcanzar el objetivo de reducir los escalones de voltaje sin aumentar la cantidad de circuitería requerida en los inversores (más niveles de voltaje). De hecho, la modulación DC permite llevar la *THD* de la onda de salida de la Figura 2.14 a cero, si se desprecian las no linealidades asociadas a la conmutación de los semiconductores de los inversores.

En resumen, en el capítulo 2 se presentó la modulación vectorial *C-SVM* como una optimización de la modulación *SVC*, minimizando la distorsión armónica de la onda trifásica de salida de un sistema de inversores multinivel, sin aumentar la cantidad de transistores. Se estudió, desde el plano  $\alpha\beta$ , de qué manera una asimetría variable permitiría alcanzar una referencia de tensión trifásica en inversores multinivel operando como fuente de voltaje. Se explicó, entonces, el *modus operandi* de la modulación *C-SVM*, introduciéndose la modulación DC como medio para alcanzar la asimetría variable. La Figura 2.14 muestra la salida del inversor de la Figura 2.9 modulado con *C-SVM* asumiendo una modulación DC ideal como la de la Figura 2.13. Además, se introdujo una nueva topología pasada en dos puentes H monofásicos, idealmente optimizada para la modulación *C-SVM*.

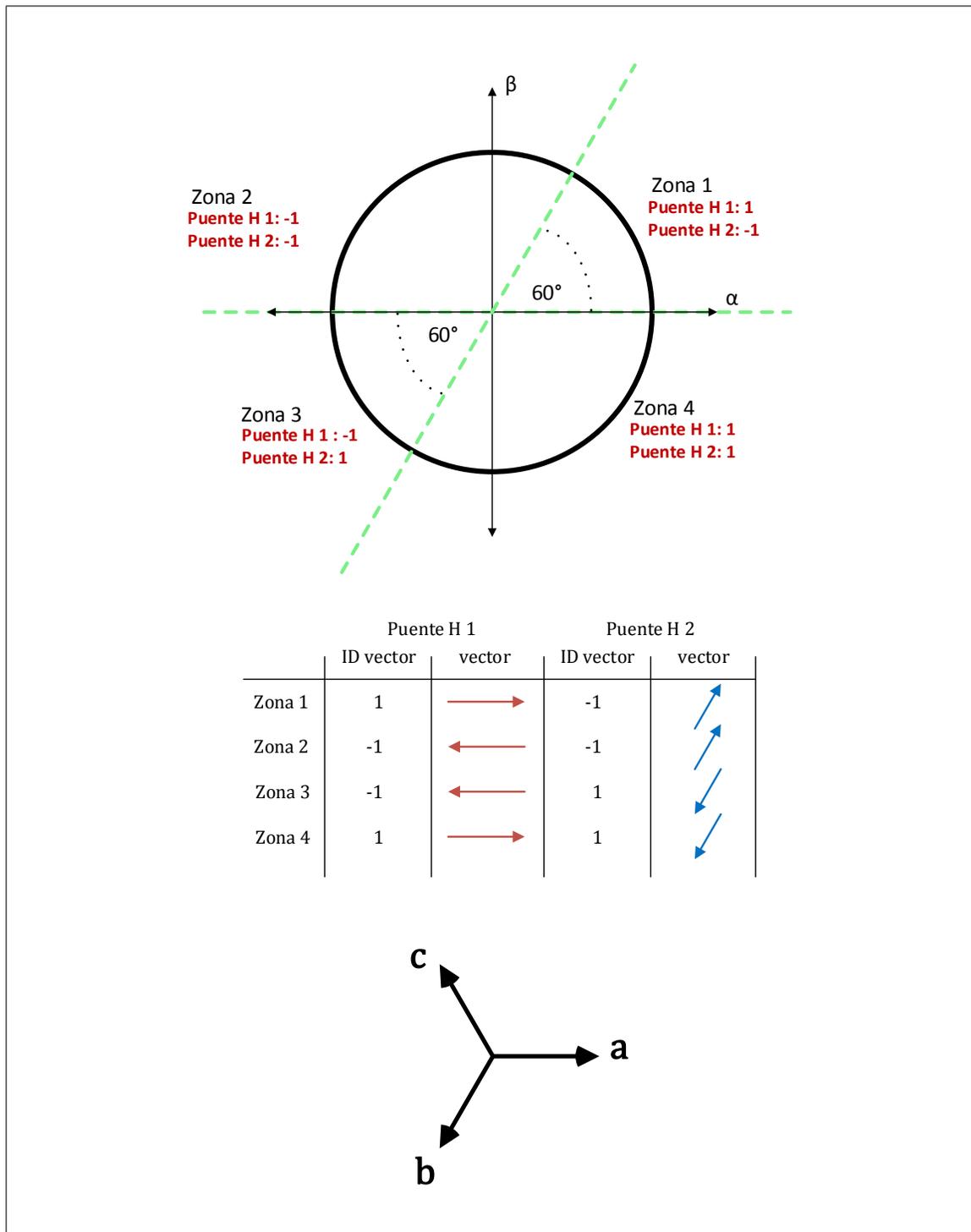


FIGURA 2.11. Secuencia de conmutación de la modulación *C-SVM* en la topología de la Figura 2.9. La Figura especifica qué vectores de voltaje se utilizan en cada uno de los inversores puente H en las diferentes zonas del plano  $\alpha\beta$ . Además se muestra el sistema de coordenadas trifásicas, de modo de ilustrar que los vectores de voltaje de los inversores puente H 1 y puente H 2 están en las fases *a* y *b* respectivamente

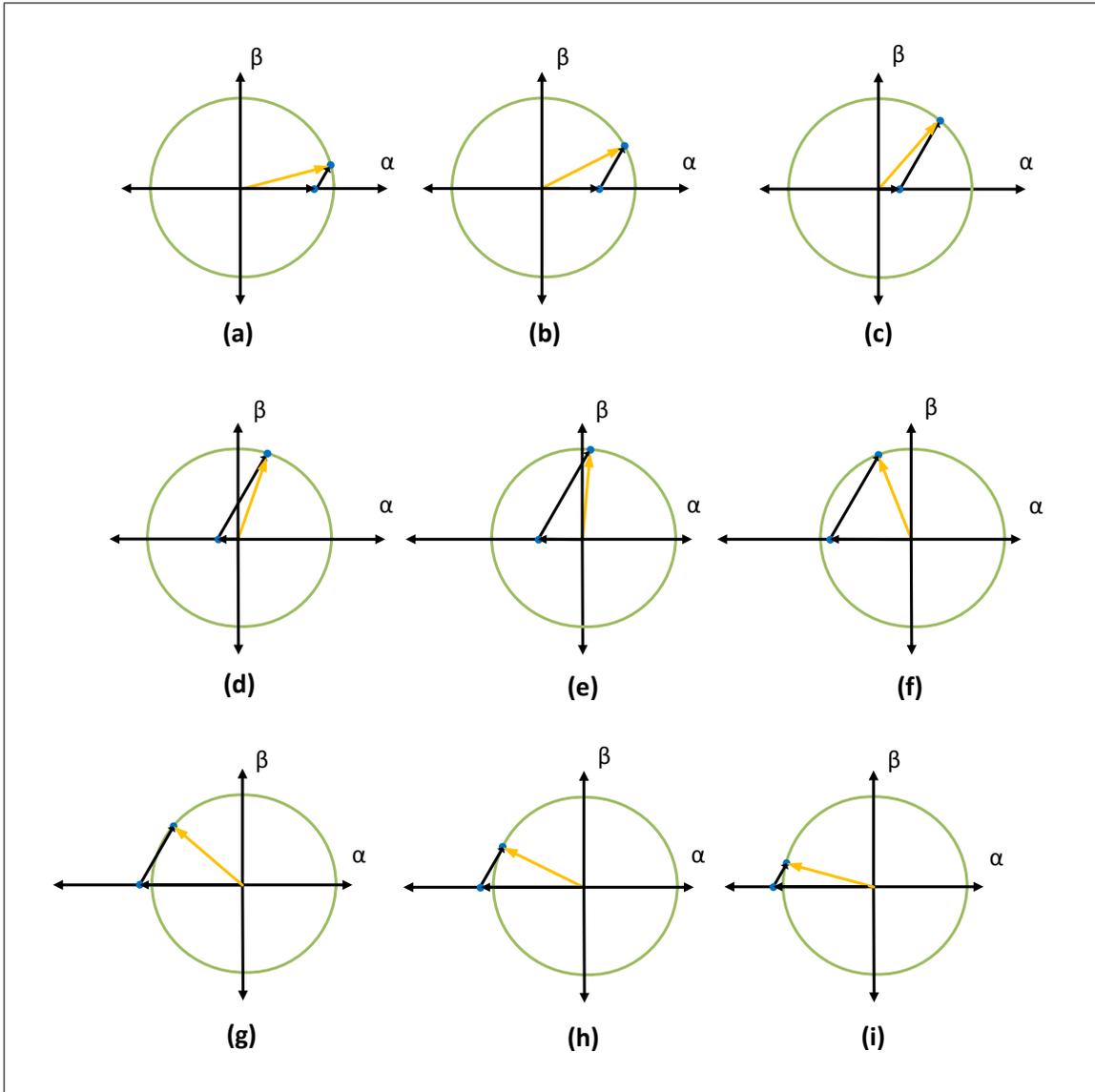


FIGURA 2.12. Secuencia de la modulación *C-SVM* en la topología de la Figura 2.9 para medio ciclo de la referencia

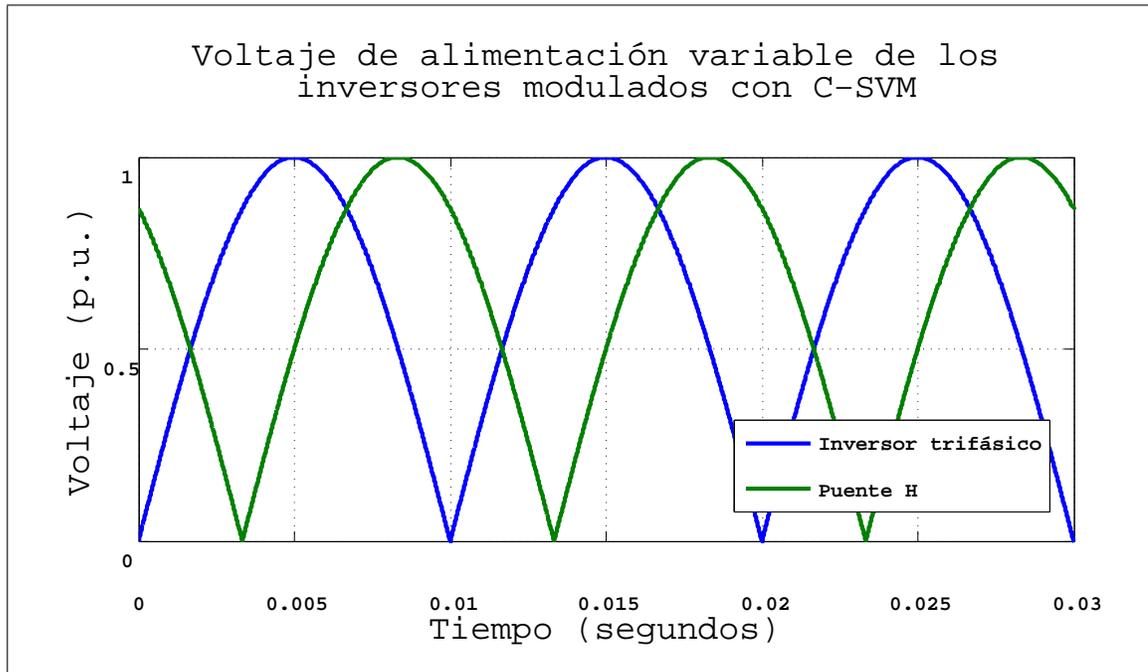


FIGURA 2.13. Voltaje de alimentación variable de los inversores de la Figura 2.9 modulados con C-SVM para una referencia de voltaje a 50 Hz

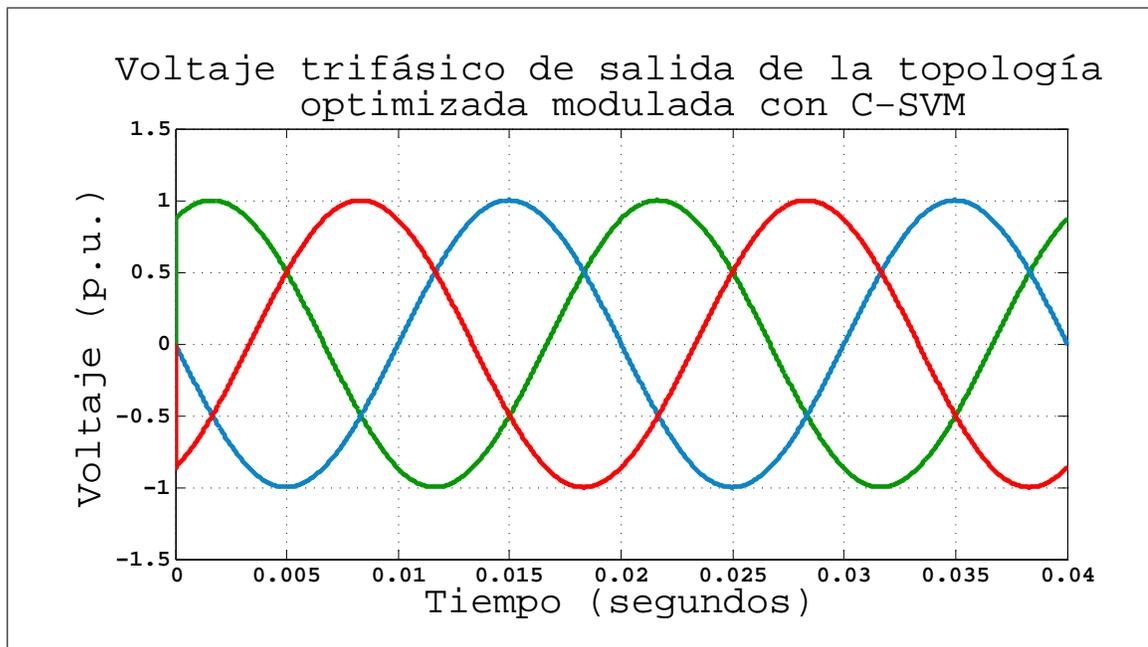


FIGURA 2.14. Voltaje de salida para la topología de la Figura 2.9 modulada con C-SVM considerando la modulación DC de la Figura 2.13

### 3. MODULADOR DC

Hasta ahora se ha considerado a la modulación DC como una fuente de voltaje continuo de magnitud variable en el tiempo de modo controlado. Esto es, siguiendo la forma de onda de hemiciclos sinusoidales de la Figura 2.13. Se está alimentando a los inversores con voltajes variables, en función del punto de operación de la modulación *C-SVM* que corresponda a cada instante de tiempo. Cabe tener en cuenta que la onda de la Figura 2.13 no es alterna propiamente tal, y, por cierto, resulta conveniente considerarla como una alimentación DC (aunque sea variable en el tiempo), por cuanto los inversores se alimentan con tensión continua.

No resulta posible obtener la onda de la Figura 2.13 desde una fuente de alimentación DC convencional. Idealmente se requiere de un bloque capaz de generar el voltaje de la Figura 2.13, modulando un voltaje DC desde una fuente convencional (fija). La Figura 3.1 muestra un bloque modulador DC ideal. Este bloque se alimenta desde una fuente de voltaje continua y genera en su salida una onda con forma de hemiciclos sinusoidales monofásicos positivos. Este bloque recibe una referencia de voltaje sinusoidal como *input*. De este modo puede obtenerse la magnitud de la circunferencia de referencia en el plano  $\alpha\beta$  y la frecuencia, lo cual determinará, respectivamente, la amplitud y frecuencia de la onda de salida del modulador DC. Una gran ventaja de este bloque es que permite controlar la magnitud y frecuencia de la onda trifásica de salida de los inversores en tiempo real, lo cual permite la incorporación de la modulación *C-SVM* a sistemas de control más complejos en aplicaciones tales como accionamientos eléctricos, entre otros. Es importante considerar que la potencia eléctrica requerida por el inversor, entregada por la fuente DC, fluye a través del modulador.

Como se explicó previamente, el modulador DC es monofásico, por lo que el sistema de la Figura 2.9 requiere de dos moduladores DC. Esto es, un modulador DC por cada puente H. Para obtener la onda trifásica de la Figura 2.14 se requiere que los moduladores DC operen en sincronía, de modo de que sus respectivas ondas de salida estén desfasadas en  $60^\circ$ , como se observa en la Figura 2.13.

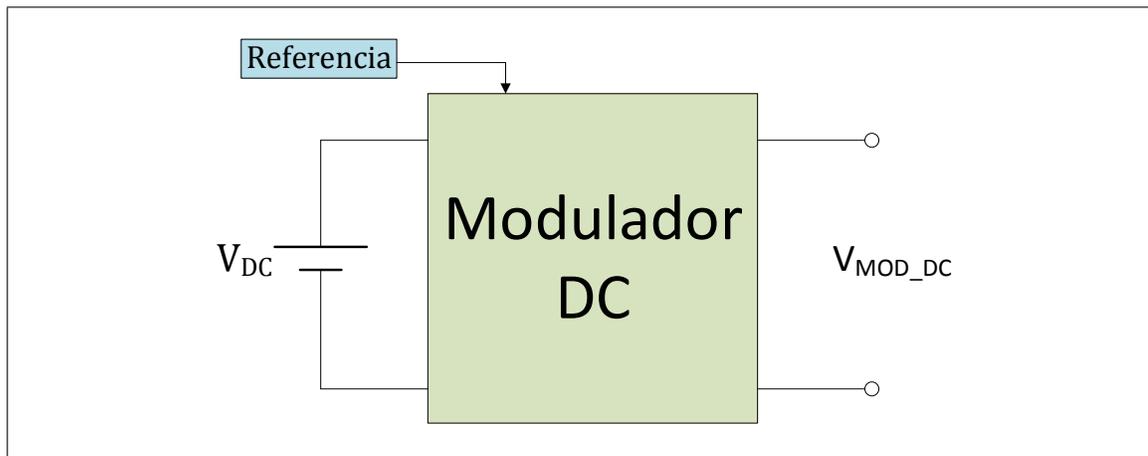


FIGURA 3.1. Bloque modulador DC ideal

### 3.1. Implementación del modulador DC

El modulador DC es en esencia un transformador de voltaje continuo con razón de transformación variable. En la práctica, los convertidores DC-DC son utilizados como transformadores DC.

Existen diversas topologías de convertidores DC-DC. Muchas de estas topologías han sido desarrolladas para cumplir con requerimientos específicos. Típicamente, se han utilizado los convertidores DC-DC para controlar motores de corriente continua.

Ahora, dependiendo de los voltajes y corrientes manejados, se determina el cuadrante de operación de los convertidores DC-DC. Esto es, existen convertidores que generan voltajes positivos y negativos. A su vez, existen otros que manejan corrientes en ambos sentidos. Esto se ve en la Figura 3.2.

Entonces, los convertidores DC-DC permiten obtener voltajes y corrientes de ambos signos. Algunas de las topologías existentes son ampliamente utilizadas en la industria. Uno de los convertidores DC-DC más utilizados es el convertidor *Buck*, o *step-down*. Este convertidor es capaz de generar voltajes positivos de magnitud igual o menor a su fuente de alimentación. La Figura 3.3 muestra un *chopper Buck* estándar. el voltaje de salida de este convertidor es siempre positivo y de magnitud igual o menor al voltaje DC de alimentación. Este convertidor opera en el cuadrante I de la Figura 3.2.

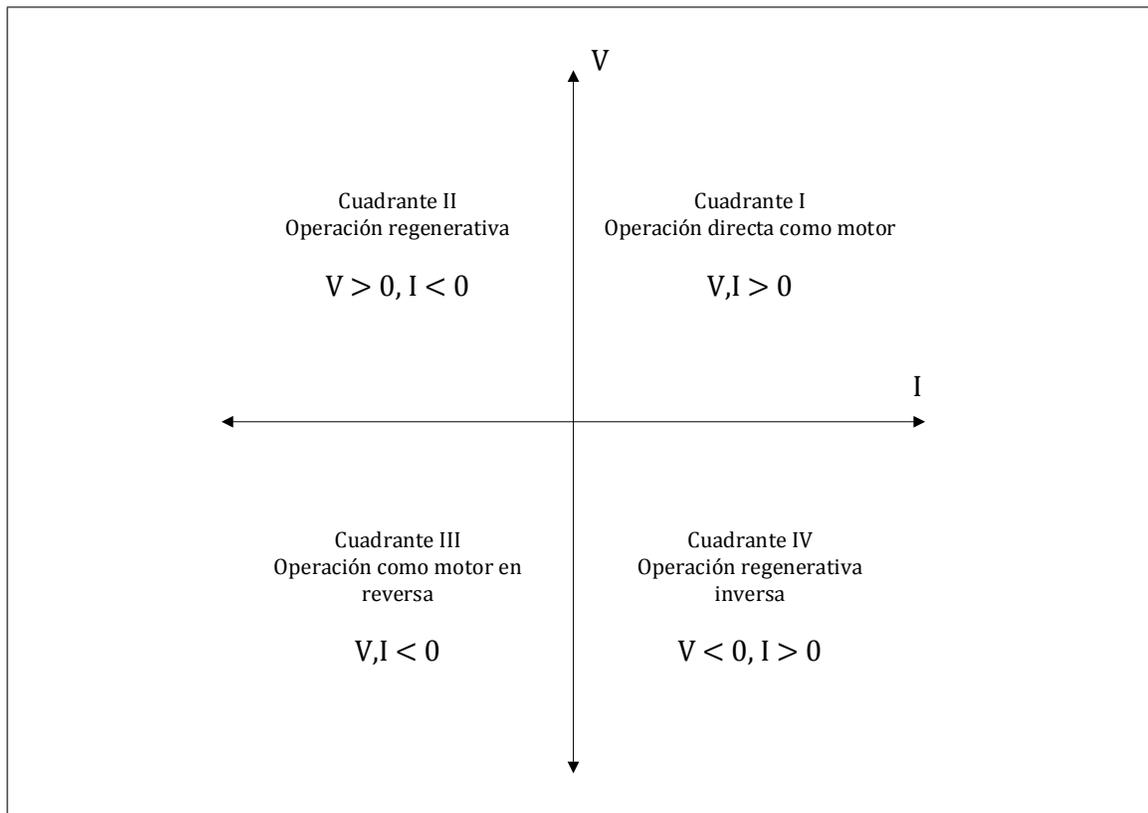


FIGURA 3.2. Cuatro cuadrantes de operación de los convertidores DC-DC

Otro convertidor es el convertidor *Boost*. Este *chopper* también opera en el primer cuadrante de la Figura 3.2. Su voltaje de salida es siempre mayor o igual al voltaje de alimentación. Es especialmente útil para elevar tensiones continuas en aplicaciones tales como *MPPT* conectado a sistemas fotovoltaicos [Nakayama and Koizumi, 2013], entre otros usos. La topología de este convertidor se ve en la Figura 3.4.

Existen a su vez convertidores capaces de alcanzar las funcionalidades de los convertidores *Buck* y *Boost*, conocidos como *choppers Buck-Boost*. Existen diversas topologías. La Figura 3.5 muestra una de las topologías más conocidas y utilizadas con convertidores *Buck-Boost*. Permiten operar en dos cuadrantes de corriente y voltaje.

Otros convertidores permiten invertir la polaridad del voltaje de salida, como los convertidores *Flyback* y *Cúk*, mostrados en las Figuras 3.6 y 3.7, respectivamente.

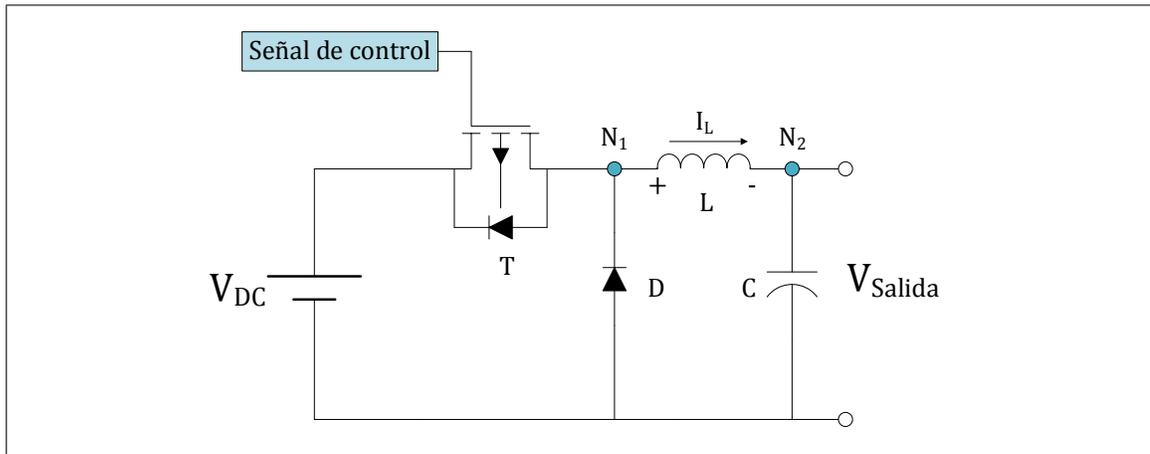


FIGURA 3.3. Convertidor DC-DC tipo *Buck*

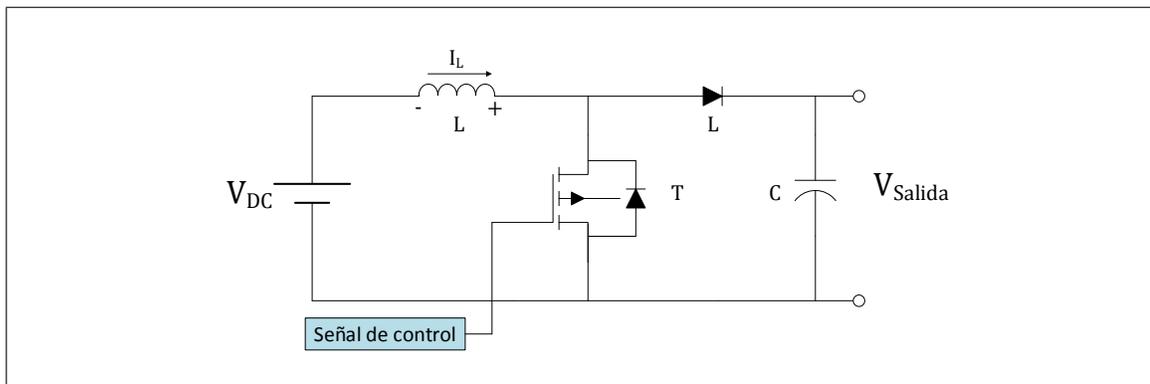


FIGURA 3.4. Convertidor DC-DC tipo *Boost*

En realidad las clasificaciones de los convertidores se traslapan entre sí (ya que, por ejemplo, el convertidor *Cúk* es un *chopper Buck-Boost* que invierte la polaridad del voltaje de salida). En esencia, el convertidor DC-DC responde a requerimientos específicos determinados por el diseño de sus aplicaciones [Singh and Williamson, 2014]. En el caso de la presente investigación, se requiere que un convertidor DC-DC opere como modulador DC. De esta manera, se requiere un convertidor que puede ir ajustando el voltaje de alimentación de manera controlada. De esta forma, en un primer *approach* a la nueva modulación propuesta, principalmente por su simplicidad de control e implementación se elegirá al convertidor *Buck* para implementar al modulador DC [Wu, 2013, Zhou et al., 2014, van der Broeck et al., 2015].

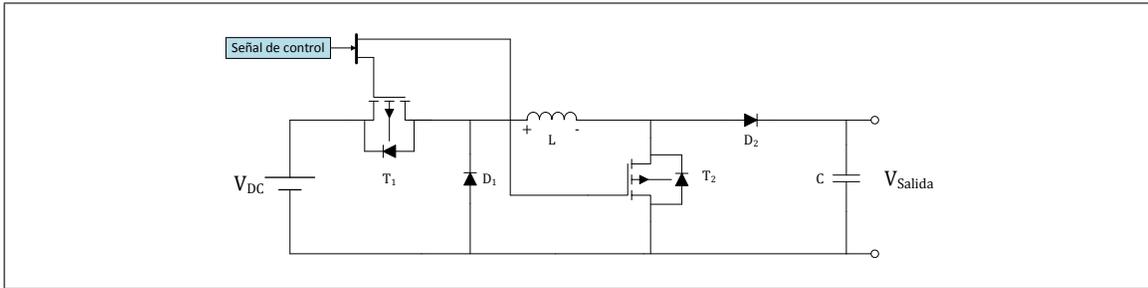


FIGURA 3.5. Convertidor DC-DC tipo *Buck-Boost*

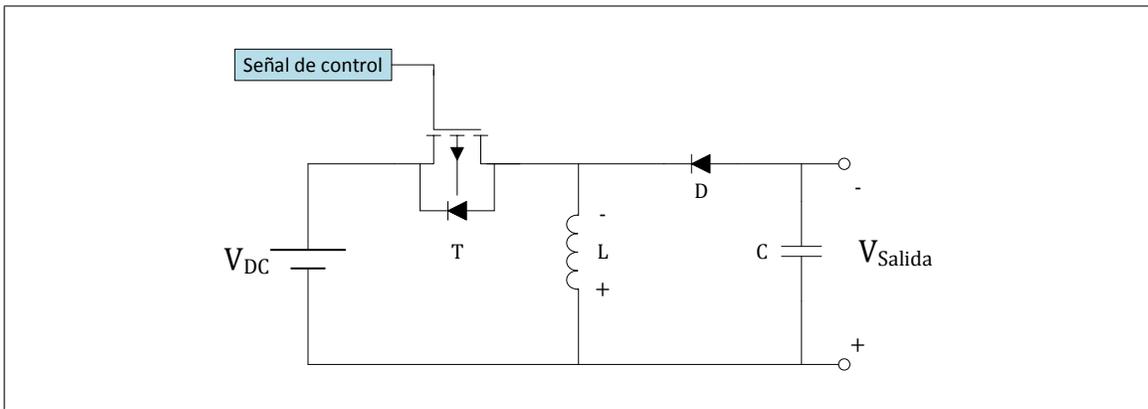


FIGURA 3.6. Convertidor DC-DC tipo *Flyback*

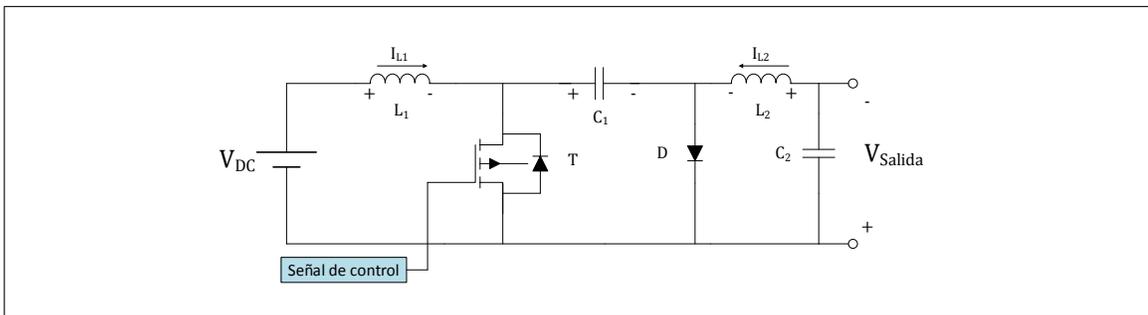


FIGURA 3.7. Convertidor DC-DC tipo *Cúk*

### 3.1.1. Convertidor *Buck*

El convertidor *Buck* es tremendamente simple, tanto en su implementación como en su control. Precisamente, la señal de control es una onda binaria *PWM* que controla el encendido y apagado del transistor *T*. Cuando dicha señal es un 1 lógico, el transistor conduce, y cuando es cero no lo hace. Básicamente el transistor genera la señal *PWM* en el

nodo  $N_1$ , con magnitud dada por  $V_{DC}$ . Así, es posible reducir la comprensión del *chopper Buck* a un inversor monofásico de dos niveles como el de la Figura 1.2 seguido de un filtro pasabajos de primer orden. Este convertidor tiene dos modos de operación dados por los estados de conmutación del transistor. Cuando  $T$  conduce (llámese modo *switching*), la corriente eléctrica comienza a crecer, induciéndose una tensión de polaridad inversa en el inductor, el cual almacena energía en forma de campo magnético en este estado. El voltaje en  $N_1$  es  $V_{DC}$ . Cuando la señal *PWM* es cero (modo *freewheel*)  $T$ , por tanto, no conduce y el voltaje en  $N_1$  es cero (la referencia en función a  $V_{DC}$ ). El voltaje de salida es entregado por el inductor en dicho instante ( $V_L$ ), el cual entrega la potencia hacia la salida del convertidor. Si el inductor es demasiado pequeño, la energía almacenada en el modo *switching* no será suficiente para impedir que el voltaje  $V_L$  no caiga a cero durante el modo *freewheel*. Cuando este fenómeno no sucede, el convertidor *Buck* deja de operar en modo continuo.

### 3.1.2. Operación del convertidor *Buck* en modo continuo

Un convertidor *Buck* opera en modo continuo cuando la corriente a través del inductor ( $I_L$ ) no cae a cero. Despreciando la caída de tensión en el transistor, el voltaje en el inductor será  $V_{DC} - V_{Salida}$  en el modo de *switching*. Si se considera este estado en régimen continuo, es decir, el interruptor cerrado durante todo el periodo, la corriente alcanzará un valor estable y el inductor será un cortocircuito. Ahora, en el instante transitorio la corriente a través del inductor crece linealmente. Esto induce un voltaje de polaridad inversa en el inductor. Además, cabe considerar que como el voltaje de  $N_1$  es igual a  $V_{DC}$ , el voltaje del cátodo del diodo es mayor al del ánodo, por lo que este no conduce.

La Figura 3.8 muestra la malla del modo de *switching* del *chopper Buck*. Como se expresó previamente, el voltaje en el inductor viene dado por la siguiente expresión.

$$V_L = V_{DC} - V_{Salida} \quad (12)$$

Además se tiene que:

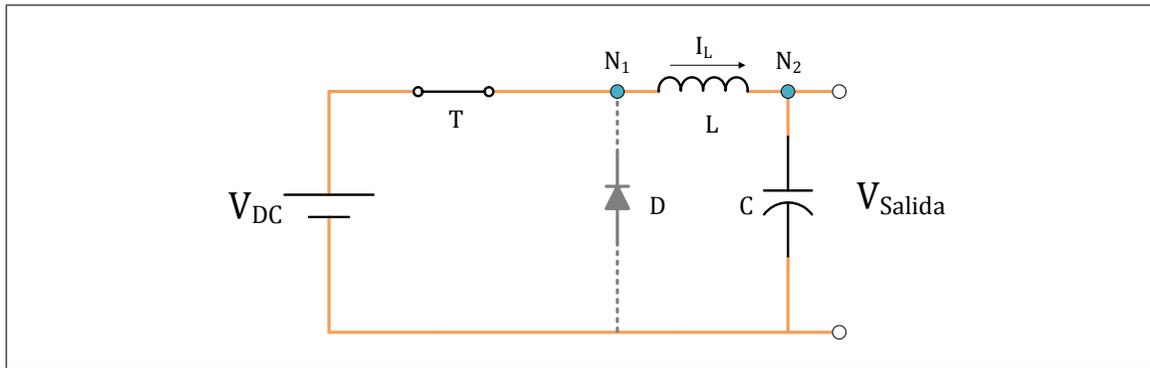


FIGURA 3.8. Modo *switching* de operación del convertidor *Buck* en modo continuo

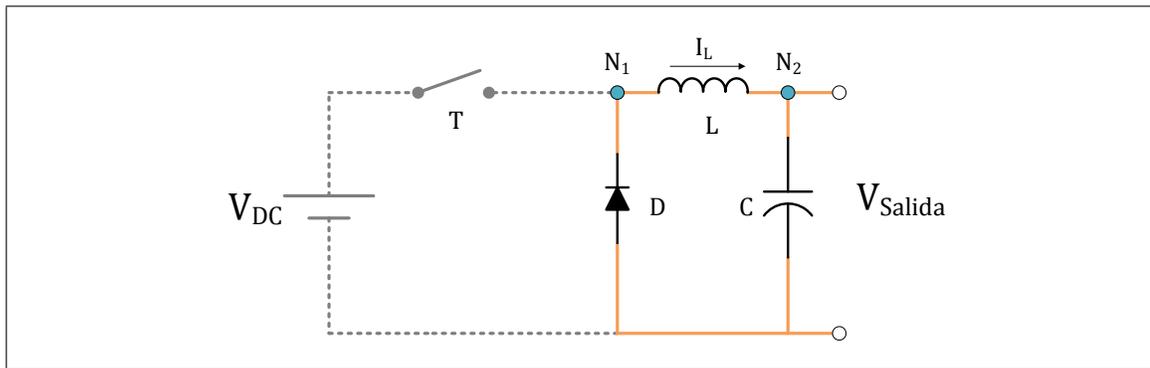


FIGURA 3.9. Modo *freewheel* de operación del convertidor *Buck* en modo continuo

$$V_L = L \frac{di^+}{dt} \quad (13)$$

El voltaje inducido en el inductor será opuesto a la derivada de la corriente eléctrica, la cual crece de manera lineal. Cabe observar que la polaridad con la que se mide el voltaje del inductor, mostrada en la Figura 3.3, es inversa a la de la fuente de alimentación  $V_{DC}$ . Con (12) y (13) se tiene que:

$$\frac{V_{DC} - V_{Salida}}{L} = -\frac{di^+}{dt} \quad (14)$$

Ahora bien, en el período *freewheel*, cuando  $T$  no conduce, la corriente decrece. En régimen permanente la corriente decrecería hasta ser cero, al desconectarse la fuente de

alimentación. Sin embargo, esto no sucede durante un ciclo de conmutación si el convertidor opera en modo continuo. La Figura 3.9 muestra la malla del convertidor en el modo de *freewheel*. Entonces, el voltaje inducido en el inductor, de acuerdo a lo expuesto previamente, queda expresado en la siguiente ecuación:

$$V_L = -L \frac{di^-}{dt} \quad (15)$$

La ecuación (15) permite observar que en el modo de *freewheel* el voltaje en  $N_1$  es positivo, ya que la corriente decrece linealmente. El diodo se polariza directamente y, despreciando la caída de tensión en este, se tiene que:

$$V_L = -V_{Salida} \quad (16)$$

La Figura 3.10 muestra los voltajes del diodo, del inductor y de salida del convertidor *Buck*. Además, se exponen la corriente del inductor y la señal *PWM* de control de  $T$ . Los tiempos  $t_{encendido}$  y  $t_{apagado}$  dan cuenta de la proporción del periodo de conmutación en que el transistor  $T$  conduce. Por ende se tiene que:

$$t_{encendido} + t_{apagado} = T_{Conmutación} \quad (17)$$

La proporción entre  $t_{encendido}$  y  $t_{apagado}$  define el ciclo de trabajo ( $\delta$ ) del convertidor *Buck* en operación continua.

$$\frac{t_{encendido}}{t_{encendido} + t_{apagado}} = \delta \quad (18)$$

Es claro que  $\delta$  puede tomar valores entre 0 y 1. Si  $\delta = 0$ , se tiene que  $t_{encendido} = 0$ , con lo cual se tendrá la malla de la Figura 3.9 permanentemente. El voltaje de  $N_1$  será cero (la referencia de  $V_{DC}$ ) y por ende  $V_{Salida}$  será nulo. Por su parte, si  $\delta = 1$ , se tiene que  $t_{apagado} = 0$ , con lo que se tendrá permanentemente la malla de la Figura 3.8. En este caso el inductor será un cortocircuito y  $V_{Salida} = V_{DC}$ .

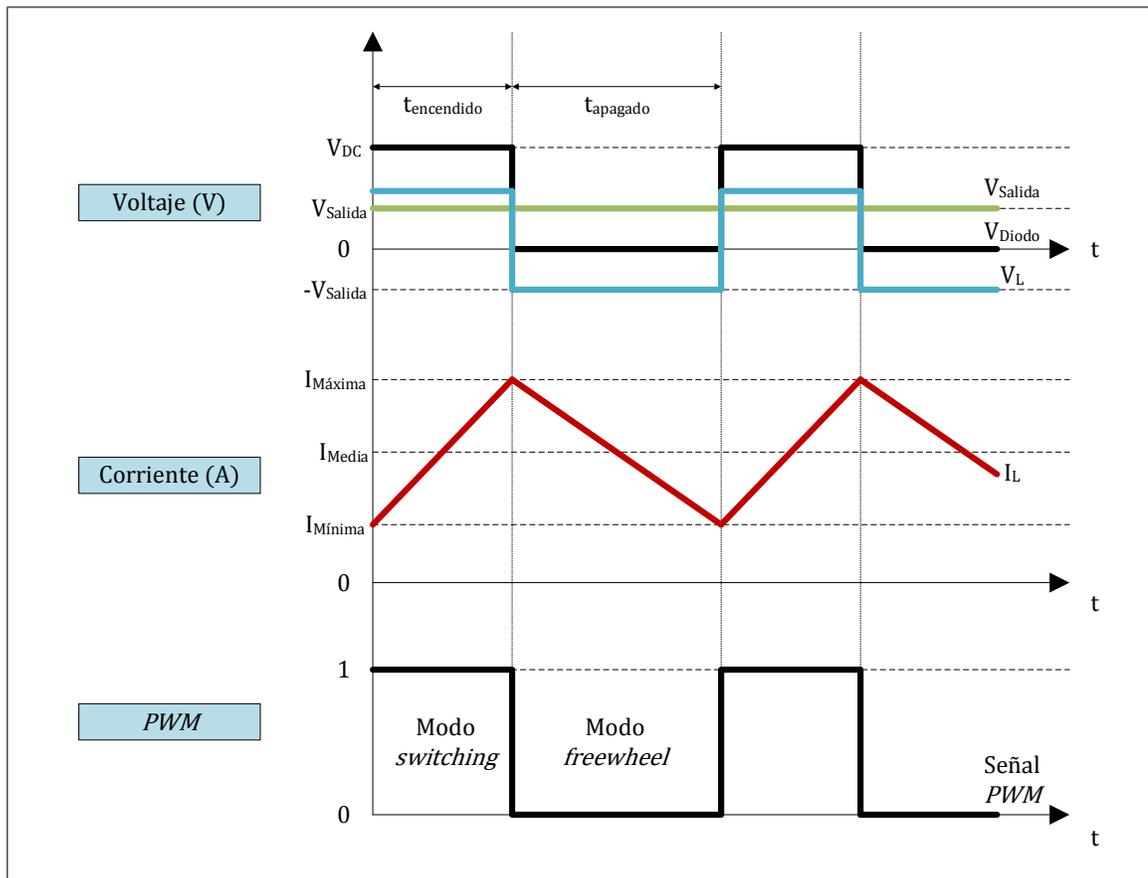


FIGURA 3.10. Gráfica de operación del *chopper Buck* en modo continuo. Se exponen los voltajes de salida ( $V_{Salida}$ ), del diodo ( $V_{Diodo}$ ) y del inductor ( $V_L$ ). Además se muestra la corriente del inductor ( $I_L$ ) y la señal *PWM*. Cabe notar que la polaridad con que se mide  $V_L$  es consecuente a la mostrada en la Figura 3.3

Ahora bien, si se considera que la energía almacenada en cada componente al final de un ciclo de conmutación, de duración  $T_{Conmutación}$ , es igual a la del comienzo, se puede asumir que la corriente  $I_L$  al comienzo de un ciclo tiene el mismo valor que al final. De este modo, utilizando (14), (15) y (16) se llega a la siguiente expresión matemática:

$$t_{encendido} \frac{V_{DC} - V_{Salida}}{L} = t_{apagado} \frac{V_{Salida}}{L} \quad (19)$$

Ordenando (19) y considerando que  $L$  es diferente de cero, se obtiene la siguiente expresión:

$$t_{\text{encendido}} V_{\text{DC}} = (t_{\text{encendido}} + t_{\text{apagado}}) V_{\text{Salida}} \quad (20)$$

Así, es posible llegar a la ecuación que expresa el funcionamiento del convertidor *Buck* en función de su ciclo de trabajo y voltaje de alimentación  $V_{\text{DC}}$ , en régimen de operación estacionario.

$$V_{\text{Salida}} = \frac{t_{\text{encendido}}}{t_{\text{encendido}} + t_{\text{apagado}}} V_{\text{DC}} = \delta V_{\text{DC}} \quad (21)$$

La ecuación (21) es la clave para comprender el funcionamiento del convertidor *Buck*. El voltaje de salida de este convertidor será una fracción del voltaje de alimentación, dado por el ciclo de trabajo de la señal *PWM* que controla la conmutación de  $T$ .

### 3.1.3. Convertidor Buck sincrónico

La Figura 3.11 muestra la topología del convertidor *Buck* sincrónico. En dicha topología, a diferencia del convertidor *Buck* estándar, el diodo  $D$  es reemplazado por otro transistor ( $T_2$ ).

El convertidor *Buck* sincrónico puede operar en dos cuadrantes de voltaje y corriente (cuadrantes I y II en la Figura 3.2). Como se estudiará más adelante, las aplicaciones de convertidores DC-DC de esta investigación contemplan el manejo de corrientes eléctricas positivas y negativas. Además, el uso de este convertidor es propicio para aplicaciones de gran interés, como energías renovables [ChittiBabu et al., 2011]. Sin embargo cabe analizar una breve reseña sobre las posibles ventajas y desventajas de reemplazar al *chopper Buck* estándar por uno sincrónico. Estas diferencias están en la sustitución del diodo *Flyback* por un transistor. Desde el punto de las pérdidas energéticas, ahí están precisamente las diferencias [Nowakowski and Tang, ].  $T_2$  reemplaza al diodo  $D$  del convertidor estándar. Las pérdidas en  $D$  son del tipo:

$$P_D = V_D(1 - \delta)I_L \quad (22)$$

Por su parte las pérdidas en  $T_2$  serán:

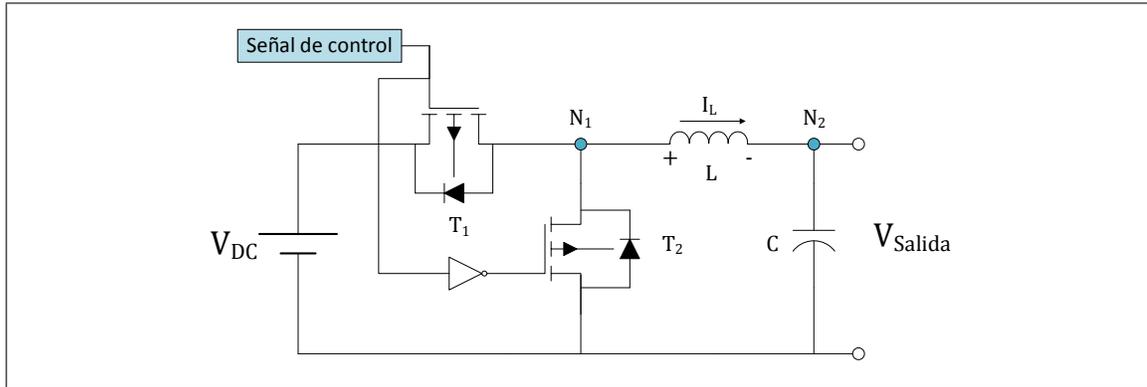


FIGURA 3.11. Topología del *chopper Buck* sincrónico

$$P_{T_2} = I_L^2 R_{D_{SON}} (1 - \delta) + 2t_{Delay} f_{conmutación} I_{D_{T_2}} V_{Forward} \quad (23)$$

En la ecuación anterior, el primer componente comprende las pérdidas en el transistor, mientras que el segundo comprende las pérdidas en el diodo interno del *MOSFET* de potencia  $T_2$ . Esta ecuación evidencia que hay diversos factores que influyen en las pérdidas en  $T_2$  [Nowakowski and Tang, ]. Como se estudiará en las Secciones posteriores, factores como la carga, ciclo de trabajo y frecuencia de conmutación jugarán un papel clave en el análisis de la eficiencia del convertidor *Buck* sincrónico como modulador DC. De todos modos, en el convertidor *Buck* sincrónico las pérdidas son inversamente proporcionales al voltaje de salida, como se aprecia en la ecuación (23). Y precisamente la modulación DC conlleva variar dicho voltaje entre un 0 y un 100 % del voltaje de alimentación DC del *chopper* [Fratta et al., 2000].

Un punto clave a considerar también es la resistencia de conducción,  $R_{D_{SON}}$ , de  $T_2$ . Un diseño apropiado conlleva la utilización de transistores de potencia que minimizan las pérdidas por conducción.  $T_2$ , al reemplazar al diodo del convertidor *Buck* estándar, entrega un camino de menor resistencia para la corriente eléctrica [Hiraoka et al., 2001].

Cabe mencionar, a modo de reseña, que el *chopper Buck* sincrónico puede operar también como un convertidor del tipo *Buck-Boost* ( $V_{Salida} \lesseqgtr V_{DC}$ ) cuando  $T_1$  y  $T_2$  no operan negados entre sí (modo de operación sincrónico reductor de voltaje). Típicamente estas

aplicaciones operan con controles locales insertos en máquinas de estado en función del punto de operación.

### 3.1.4. Convertidor *Buck* sincrónico con ciclo de trabajo variable como modulador DC

La ecuación (21) entrega una relación entre el voltaje de salida de un convertidor *Buck*, el ciclo de trabajo y su voltaje de alimentación. La incorporación de la topología del *chopper Buck* sincrónico permite minimizar las pérdidas al incorporar un nuevo transistor al sistema. Sin embargo, el análisis de este convertidor viene dado por la necesidad de implementación de un circuito que cumpla con la función de modulador DC. La Figura 2.13 muestra los voltajes de alimentación de los inversores de la topología de la Figura 2.9 modulados con *C-SVM*. Se propone, por tanto, al *chopper Buck* sincrónico como modulador DC. De acuerdo a la Figura 2.13, si se considera a  $V_{DC}$  como 1 p.u. en la topología del convertidor *Buck* sincrónico, de acuerdo a (21),  $V_{Salida}$  puede tomar cualquier valor entre 0 y 1 p.u. dependiendo de  $\delta$ . Por lo tanto, se requiere que el *chopper Buck* sincrónico opere con un ciclo de trabajo variable en el tiempo.

$$V_{Salida_k}(t) = V_{Modulador\ DC_k}(t) = \delta_k(t)V_{DC}, k = 1, 2 \quad (24)$$

La ecuación (24) considera al *chopper Buck* sincrónico de la Figura 3.11 conectado como modulador DC en la topología de la Figura 2.9, por lo que  $V_{Salida}(t)_k$  es el voltaje de alimentación del inversor  $k$  (donde  $k = 1$  representa al puente H 1 y  $k = 2$  representa al puente H 2). Además,  $V_{Salida}(t)_k$  representa una variable que cambia en el tiempo, por lo que se introduce el voltaje variable  $V_{Modulador\ DC}(t)$  como la alimentación variable necesaria para generar la asimetría variable de la modulación *C-SVM*.  $V_{Salida}(t)_k$  tiene la forma de hemiciclos sinusoidales positivos (Figura 2.13), cuya frecuencia y magnitud es entregada por la referencia de voltaje. Como en un convertidor *Buck* el voltaje de salida es directamente proporcional a  $\delta$ , se tiene la siguiente expresión para el ciclo de trabajo variable en el modulador DC:

$$\delta(t) = \sin(2\pi ft) \operatorname{sgn}(\sin(2\pi ft)) = |\sin(2\pi ft)| \quad (25)$$

Así, se expresa el voltaje de alimentación de los inversores de la topología optimizada de la Figura 2.9 en función de sus voltajes de alimentación ( $V_{\text{DC}k}$ ) y de la frecuencia de la referencia de voltaje:

$$V_{\text{Modulador DC}k}(t) = |\sin(2\pi ft + 60k)| V_{\text{DC}k}, k = 1, 2 \quad (26)$$

Ahora bien, como se observa en la gráfica de la Figura 2.13, ambos inversores son alimentados con hemiciclos sinusoidales de la misma magnitud, por lo que se tiene que:

$$V_{\text{Modulador DC}1}(t) = V_{\text{Modulador DC}2}\left(t - \frac{1}{6f_{\text{Referencia}}}\right) \quad (27)$$

$$V_{\text{DC}1} = V_{\text{DC}2} = V_{\text{DC}} \quad (28)$$

Esto se puede observar también en las secuencias de las Figuras 2.11 y 2.12, en donde se ve que la variación de las magnitudes de los vectores de voltaje de ambos inversores es la misma, pero están desfasados en  $60^\circ$  eléctricos. Cabe mencionar, de (28), que, si bien las dos fuentes de alimentación de los moduladores DC del sistema son de igual magnitud, deben estar aisladas eléctricamente entre sí, es decir, son dos fuentes de voltaje totalmente independientes.

### 3.1.5. Implementación del ciclo de trabajo variable

En aplicaciones estándares de convertidores *Buck*, el ciclo de trabajo entrega el porcentaje del voltaje de alimentación que se desea en la salida y su valor varía levemente para eliminar errores. Sin embargo, para un ciclo de trabajo variable, de acuerdo a (25), se requiere de una onda *PWM* variable. La Figura 3.13 muestra el método para generar la señal de control para los transistores del modulador DC. Por cierto que la frecuencia del *PWM* es la frecuencia de la señal diente de sierra, la cual debe estar varios órdenes de magnitud por

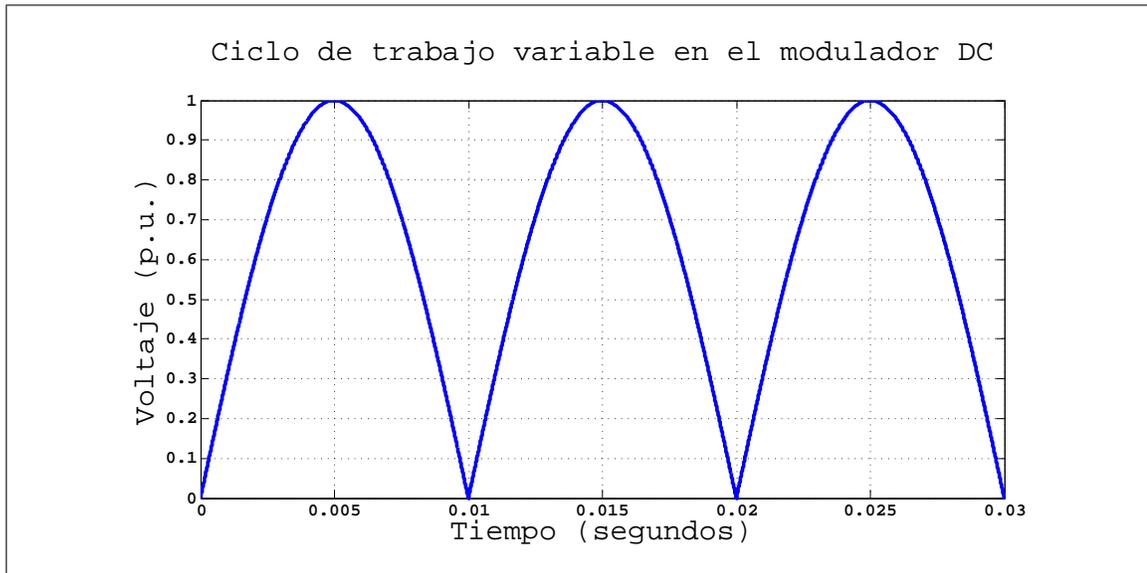


FIGURA 3.12. Función  $\delta(t)$  para la modulación *C-SVM*

sobre la frecuencia de la señal  $\delta(t)$ . Mientras mayor sea la frecuencia, mayor será precisión de la modulación DC. Sin embargo esto va en desmedro de las pérdidas en los transistores y componentes del *chopper*. La Figura 3.14 muestra el funcionamiento de la comparación de la Figura 3.13. La señal *PWM* generada se conecta al transistor  $T_1$  del convertidor *Buck* sincrónico de la Figura 3.11. Por su parte los disparos de  $T_2$  están negados lógicamente con respecto a los de  $T_1$ .

La señal *PWM* de la Figura 3.14 es una onda cuadrada de ciclo de trabajo variable. Dicha Figura muestra, a modo de simplificación, una portadora cuya frecuencia es de un orden de magnitud levemente menor a la referencia. Por cierto que en una implementación real no funcionará correctamente de esta forma. Por ejemplo, para una frecuencia de 50 Hz para  $\delta(t)$ , se deben utilizar frecuencias superiores a los 25 KHz en la portadora. Entonces, de acuerdo a (21),  $V_{\text{Modulador DC}_k}(t)$  será  $\delta_k(t)V_{\text{DC}}$  idealmente. De hecho, teóricamente, (21) se cumplirá exactamente si la frecuencia de la portadora tiende a infinito, con lo cual el ciclo de trabajo de la señal *PWM* de la Figura 3.14 toma en cada instante el valor de  $\delta_k(t)$  (en p.u.). Sin embargo, considerando que la modulación es implementada por un controlador y semiconductores con limitaciones, frecuencias que tienden a infinito son imposibles. Sin

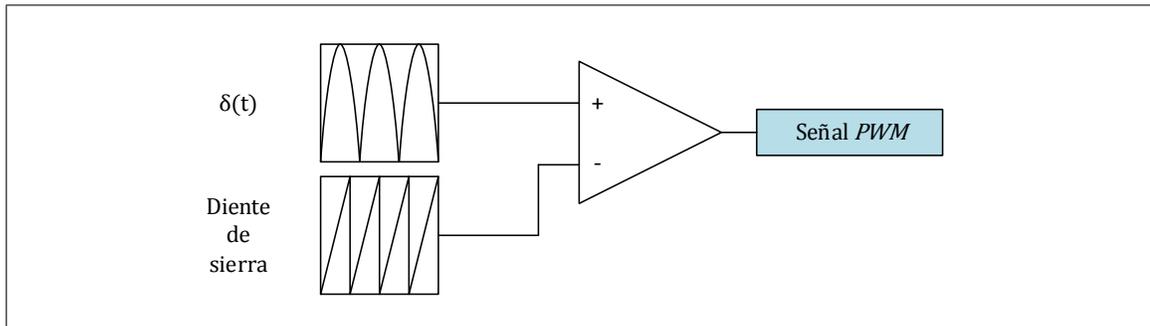


FIGURA 3.13. Generación de la señal *PWM* de los moduladores DC

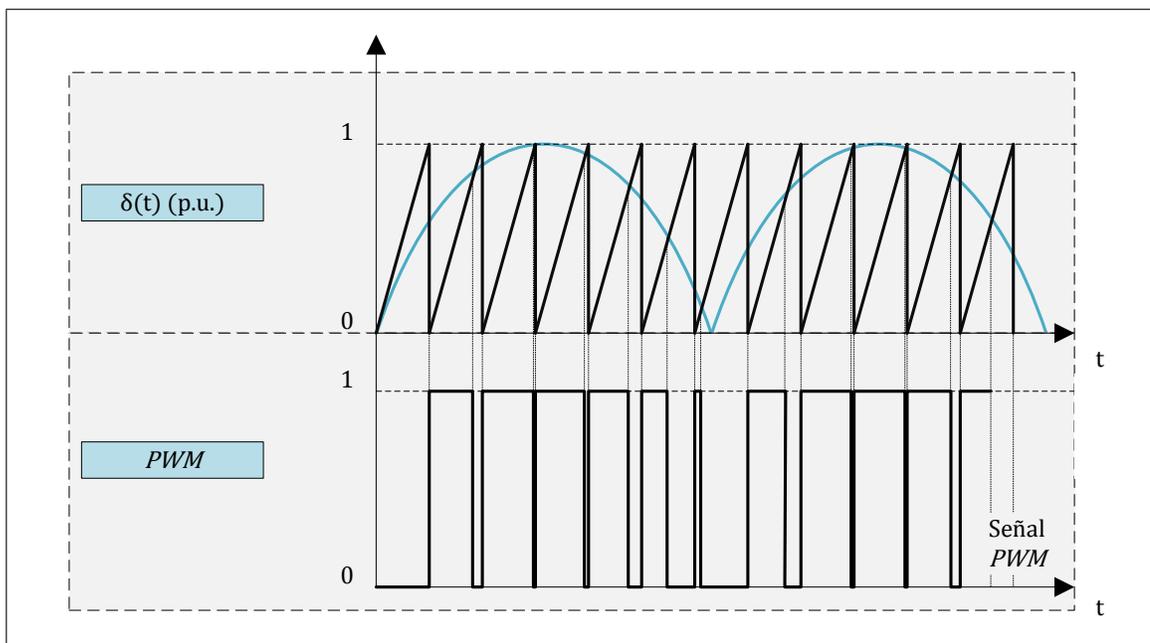


FIGURA 3.14. Generación de la señal *PWM* de disparo de los transistores del convertidor de la Figura 3.11 como modulador DC. Se obtiene mediante la comparación (Figura 3.13) entre  $\delta(t)$  como referencia y una portadora triangular en p.u.

embargo, frecuencias de la portadora por sobre los 25 KHz generan resultados de alta calidad.

La modulación por ancho de pulso con portadora triangular es una opción simple de implementar en los controladores comerciales y genera resultados de alta definición, operando a frecuencias alcanzables por los transistores de potencia comerciales.

### 3.2. Aspectos no ideales de la modulación DC

En la Sección previa se expuso la metodología de implementación de un ciclo de trabajo variable en un convertidor *Buck* sincrónico. La expresión (21) expresa la relación ideal en régimen estacionario entre el voltaje de salida, el ciclo de trabajo y el voltaje de alimentación de un convertidor *Buck* (o de un convertidor *Buck* sincrónico operando como *chopper step-down*). Sin embargo, como se discutió al final de la Sección previa, dicha ecuación solo se cumpliría exactamente (con un error del 0 %) con una modulación *PWM* con frecuencia cercana a infinito. La Figura 3.10 muestra las corrientes y voltajes en un *chopper Buck*. Se observa que el voltaje de salida depende de la energía almacenada en el inductor  $L$  a lo largo de un ciclo. En realidad, la relación expuesta en (21) no se cumple de manera instantánea y depende estrictamente del valor de la inductancia  $L$  y de la frecuencia de conmutación de los transistores. Para comprender mejor la situación, resulta conveniente estudiar al modulador DC como dos bloques. La Figura 3.15 muestra dicho enfoque. El bloque de modulación *PWM* es, en esencia, el inversor básico monofásico de la Figura 1.2 controlado por la señal lógica generada en la Figura 3.14. Este bloque recibe dicha señal lógica y la replica con magnitud  $V_{DC}$ . Posteriormente, el bloque de filtrado elimina las componentes armónicas de la onda, obteniéndose los hemiciclos sinusoidales que corresponden al voltaje DC modulado (con el cual se alimenta a los inversores de la topología de la Figura 2.9).

Es posible, entonces, introducir la principal problemática enfrentada por la modulación DC.  $T_1$  y  $T_2$  generan la señal *PWM* de la Figura 3.14, que es esencialmente la función expresada en (25), amplificada por  $V_{DC}$  y altamente distorsionada (voltaje en el nodo  $N_1$  en la Figura 3.15). Una mayor frecuencia de conmutación de  $T_1$  y  $T_2$  permite disminuir dicha distorsión, pero no puede eliminarla. Por ende, el modulador no puede cumplir con (21) con exactitud. En otros términos, la misma naturaleza binaria del bloque modulador *PWM* de la Figura 3.15 impide eliminar la distorsión armónica, de la misma manera que un inversor modulado con *SVC* no puede generar un voltaje de salida perfectamente sinusoidal.

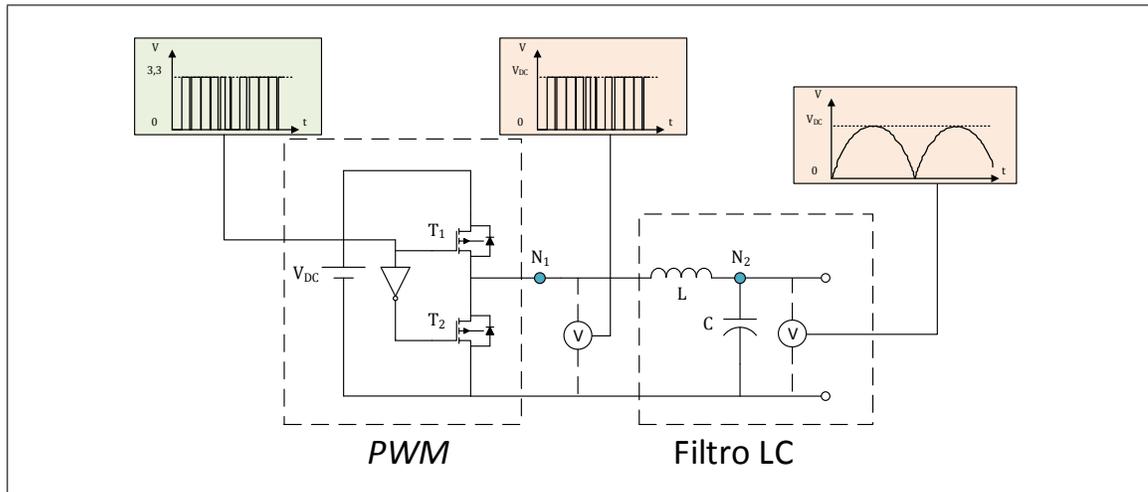


FIGURA 3.15. Operación del modulador DC considerando la etapa de modulación PWM y la etapa de filtrado. Se han considerado las señales lógicas alimentadas con 3,3 V

Además, otra arista del problema mencionado previamente es el filtro LC mismo. La expresión (21) depende de la energía almacenada en  $L$  a lo largo de un ciclo. En el *switching* del *chopper*, el inductor se carga, y en el *freewheel* entrega la energía almacenada. A lo largo de cada ciclo, el sistema va ajustando el voltaje de salida,  $V_{\text{Modulador DCk}}(t)$ , de acuerdo al ciclo de trabajo de dicho periodo (voltaje en el nodo  $N_2$  en la Figura 3.15). Dicho ajuste no es instantáneo, y depende de los ciclos de descarga de  $L$ , que responden a la misma naturaleza binaria del bloque *PWM* de la Figura 3.15.

Es posible ajustar el bloque de filtrado de modo de remover el contenido armónico considerablemente, de forma de que la onda modulada posea un bajo nivel de distorsión. En otras palabras, el filtro LC debe responder rápidamente a la onda generada por los transistores del bloque *PWM*. Por cierto, esto implica un ajuste de  $L$  y  $C$  de modo de que el modulador DC tenga la respuesta dinámica necesaria y que el voltaje no caiga a cero en los períodos de descarga.

### 3.3. Filtro LC y factores de diseño

El filtro LC del modulador DC tiene como función eliminar el contenido armónico de la onda modulada por ancho de pulso. Sin embargo, existen varios factores que influyen

el desempeño del filtro. Evidentemente, un factor que sale a la luz en primera instancia es la frecuencia de conmutación de  $T_1$  y  $T_2$  en el filtrado. Adicionalmente, al considerar que el modulador DC maneja toda la potencia eléctrica que va hacia la carga (inversores), la corriente eléctrica demandada a la fuente DC afecta también al filtrado. En esencia, un análisis completo del funcionamiento del filtrado en el modulador DC supone un estudio de los diferentes factores que influyen en el desempeño del filtro. En esencia, se buscará que el modulador DC opere lo más parecido posible a un transformador DC variable ideal (en función del ciclo de trabajo variable de la Figura 3.12).

En esta Sección se estudiará cómo los distintos factores mencionados afectan el funcionamiento del proceso de modulación DC. Por ende, se expondrán distintas pruebas a los moduladores DC que están conectados a los inversores puente H de la Figura 2.9. En dichas pruebas se utiliza una carga inicial con factor de potencia del 85 % en atraso y de componente resistiva de  $1 \Omega$ . Además, se considera que los moduladores DC están alimentados con  $300 V_{DC}$  y que la resistencia de conducción de  $T_1$  y  $T_2$  es de  $0,025 \Omega$ . No se consideran limitaciones de frecuencia de conmutación de los transistores, pero por los valores de dichas frecuencias, se asume que  $T_1$  y  $T_2$  son *MOSFET* de potencia (esto es pues transistores tipo *IGBT* no pueden conmutar a las frecuencias requeridas por la modulación DC).

Los resultados de las pruebas son producto de la implementación de la modulación *C-SVM* en el sistema de la Figura 2.9 utilizando la herramienta computacional *Simulink* del software *Matlab R2013b*, de la compañía *Mathworks, Inc.*

### 3.3.1. Selección del filtro

Se ha propuesto al *chopper Buck* sincrónico como modulador DC. Dicho convertidor utiliza un filtro LC estándar. Sin embargo cabe analizar otras opciones de filtros. Es posible reemplazar el filtro LC de la Figura 3.11 de manera modular, por lo que el filtro utilizado será el que tenga mejor respuesta a los requerimientos dados por la modulación *C-SVM*.

En esencia, el filtro a utilizar debe ser simple, en la línea del objetivo de la presente investigación. Topologías y controles complejos mermarían la simplicidad y economía

del prototipo propuesto. En la presente investigación se está proponiendo a la modulación *C-SVM* como una nueva modulación vectorial en una nueva topología, por lo que el modulador DC debe ser lo más simple posible. Así, existen diversas topologías de filtros pasivos que son preliminarmente factibles para ser implementados en el modulador DC.

#### **3.3.1.1. Filtro inductivo**

El filtro inductivo está compuesto por una inductancia serie con el convertidor. La Figura 3.16 muestra al *chopper Buck* sincrónico con un filtro inductivo puro. El factor de diseño fundamental de este filtro es la inductancia  $L$ . Para valores muy pequeños, el inductor no será capaz de filtrar los armónicos. A su vez, si  $L$  es grande, durante los cruces por cero se producirán distorsiones considerables. De todos modos, el punto más relevante es que, como el modulador DC es un *chopper* que opera con ciclo de trabajo variable, como se estudiará más adelante, hay componentes armónicas de corriente circulantes en el convertidor. A diferencia del filtro LC, que permite una malla cerrada en el convertidor, el filtro inductivo puro entrega toda la corriente que pasa por el inductor a la carga. Es más, como la onda *PWM* generada por los transistores tiene componentes de diferentes frecuencias, existen ciertos puntos en los cuales  $L$  es un cortocircuito. Esto genera desbalances en la carga. Los resultados de las simulaciones de este filtro, implementadas en la herramienta computacional *Simulink* del software *Matlab R2013b*, muestran resultados incoherentes. Esto permite afirmar que el filtro inductivo puro no es apropiado para ser implementado en el modulador DC.

#### **3.3.1.2. Filtro capacitivo**

El filtro capacitivo puro es en esencia el filtro LC con  $L = 0$ . La Figura 3.17 muestra al convertidor *Buck* sincrónico con un filtro capacitivo puro. La función de transferencia del filtro viene dada por la impedancia misma del capacitor. Esto implica que la impedancia será relativamente baja frente a la onda *PWM* proveniente de los transistores. A su vez su ganancia será muy grande para frecuencias cercanas a la fundamental.

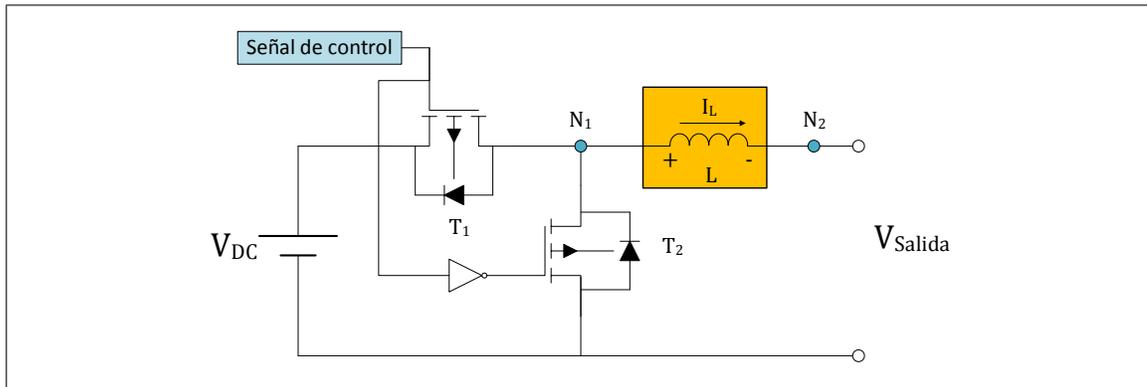


FIGURA 3.16. Convertidor *Buck* sincrónico con filtro inductivo

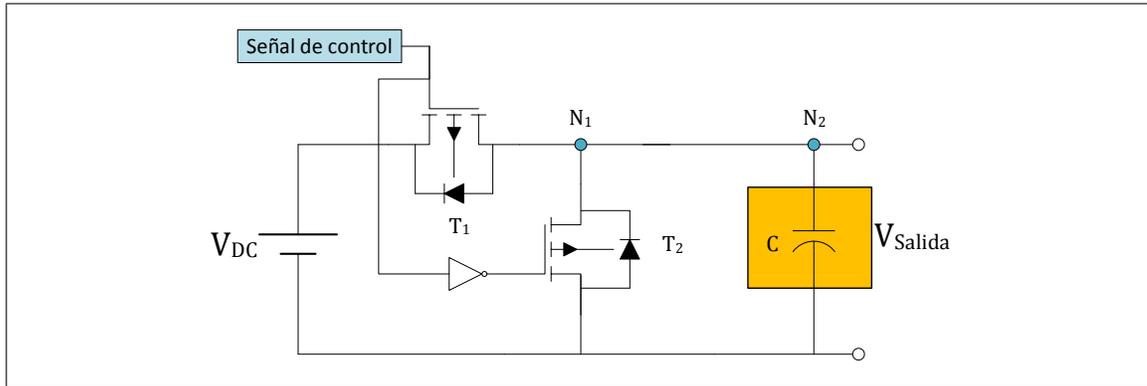
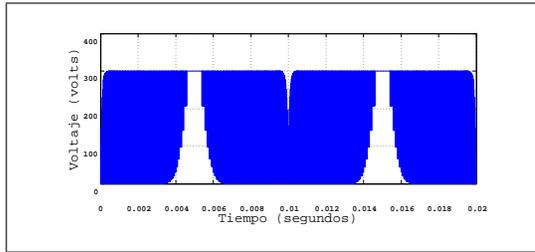


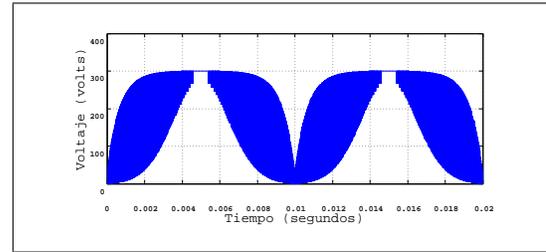
FIGURA 3.17. Convertidor *Buck* sincrónico con filtro capacitivo

La Figura 3.18 muestra los voltajes y corrientes de salida del modulador DC con filtro capacitivo puro para dos casos distintos. En la Figura 3.18a, se utiliza un capacitor relativamente pequeño. En la Figura 3.18b se utiliza un capacitor diez veces mayor. Si bien el capacitor mayor permite un voltaje relativamente más estable, ninguno de los dos casos cumple con los requerimientos establecidos para implementar la modulación *C-SVM*. El rizado de voltaje es muy alto. Además, las corrientes eléctricas son de gran magnitud, lo cual conlleva ciertamente pérdidas energéticas considerables, como se observa en las Figuras 3.18c y 3.18d.

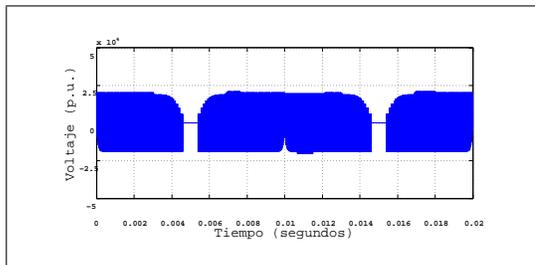
A fin de cuentas, el filtro capacitivo necesita de un elemento serie que permita amortiguar el efecto de los ciclos de carga y descarga, que conllevan las corrientes de la Figura 3.18. En otros términos, la respuesta en frecuencia de este filtro no permite eliminar los



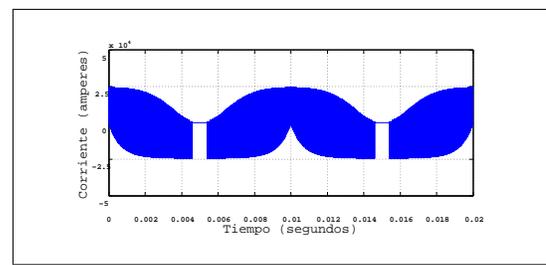
(A) Voltaje de salida del modulador DC utilizando un filtro capacitivo puro con un valor de  $C = 22\mu F$



(B) Voltaje de salida del modulador DC utilizando un filtro capacitivo puro con un valor de  $C = 220\mu F$



(C) Corriente de salida del modulador DC utilizando un filtro capacitivo puro con un valor de  $C = 22\mu F$



(D) Corriente de salida del modulador DC utilizando un filtro capacitivo puro con un valor de  $C = 220\mu F$

FIGURA 3.18. Voltajes de salida del modulador DC utilizando un filtro capacitivo puro

componentes de mayor frecuencia, manteniendo controlada la ganancia en frecuencias cercanas a la fundamental. Concretamente, un inductor serie permite eliminar gradualmente este efecto, como se estudiará más adelante.

### 3.3.1.3. Filtro LC

El filtro LC es en esencia un filtro pasa bajos. Es el filtro que utiliza la topología convencional del *chopper Buck* sincrónico de la Figura 3.11. Como se observa en la Figura 3.15, la onda PWM en el nodo  $N_1$  de la Figura 3.11 es un hemiciclo sinusoidal altamente distorsionado. Precisamente, esa distorsión viene dada por componentes de altas frecuencias.

Cabe analizar entonces la respuesta en frecuencia de la red LC. La Figura 3.19 muestra un esquema básico del circuito del filtro LC. La función de transferencia, en base al voltaje de entrada y de salida ( $V_{\text{Entrada}}$  y  $V_{\text{Salida}}$ ) es:

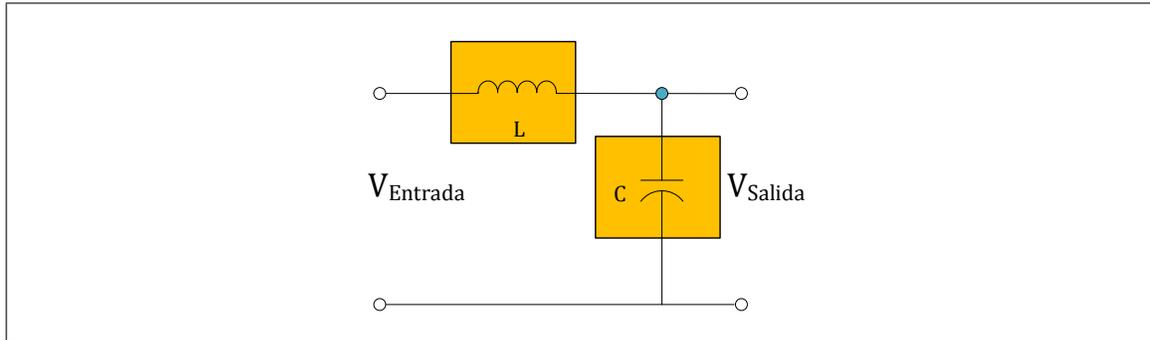


FIGURA 3.19. Circuito de la red LC

$$A = \left| \frac{V_{Salida}}{V_{Entrada}} \right| = \left| \frac{j\omega L}{j\omega L + \frac{1}{j\omega C}} \right| \quad (29)$$

Así,

$$H(j\omega) = \frac{\frac{1}{j\omega C}}{j\omega L + \frac{1}{j\omega C} + R}, \quad (30)$$

donde  $R$  representa el componente resistivo serie del inductor del circuito LC. Es la multiplicación de las funciones de transferencia de los filtros inductivo puro y capacitivo puro. La Figura 3.20 muestra el diagrama de *Bode* del circuito LC utilizado como filtro en el modulador DC (ajustado a 50 Hz). El valor de *overshoot* observado en su punto de corte puede ser amortiguado utilizando una red de *damping*, como se observa en la Figura 3.21.

Ahora bien, considérese la onda *PWM* generada por los transistores del *chopper Buck* sincrónico de la Figura 3.11 (nodo  $N_1$ ). Esta onda de voltaje debe ser filtrada por la red LC. la Figura 3.22 muestra el análisis *FFT* de dicha onda *PWM*. Como se observa, existen diversos componentes de frecuencias mayores a la fundamental que deben ser filtrados. Considérese también el diagrama de *Bode* de la Figura 3.20. Un filtro capacitivo puro tendrá ganancias excesivas para frecuencias bajas (problemas de impedancia). Un filtro inductivo atenuará las frecuencias cercanas a la fundamental, mostrando resultados completamente incoherentes. Por su parte el filtro LC es capaz de eliminar los componentes

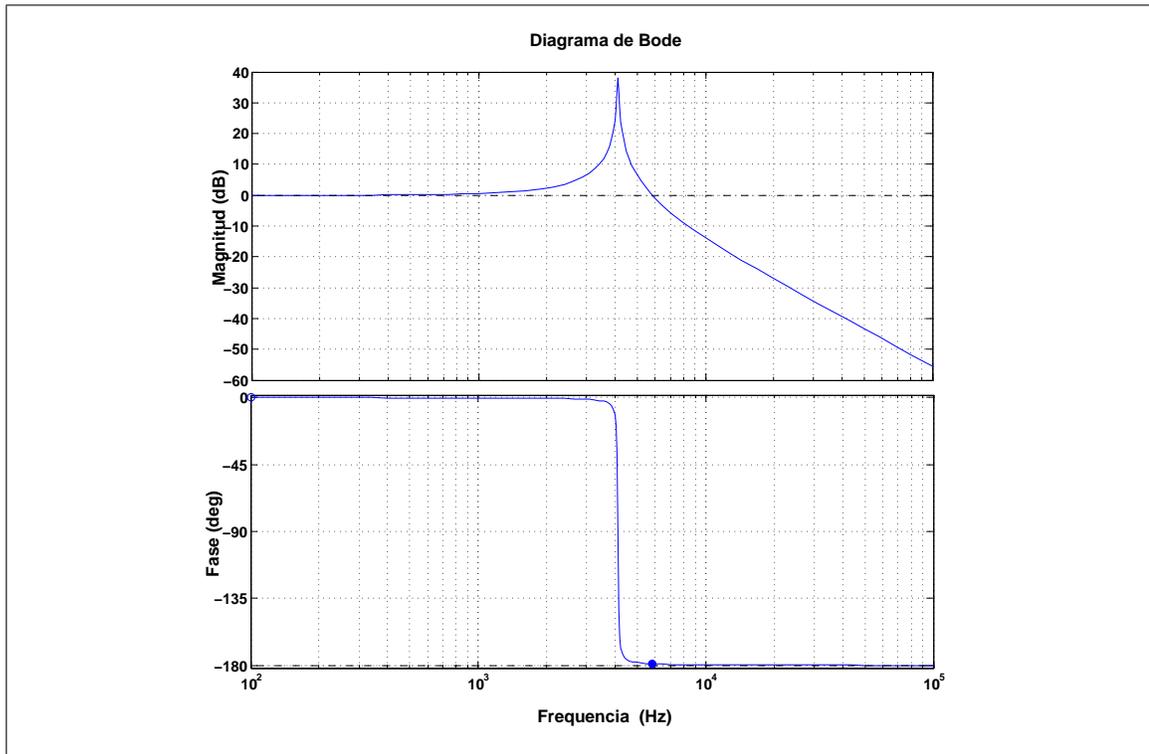


FIGURA 3.20. Diagrama de *Bode* del filtro LC utilizado en el modulador DC

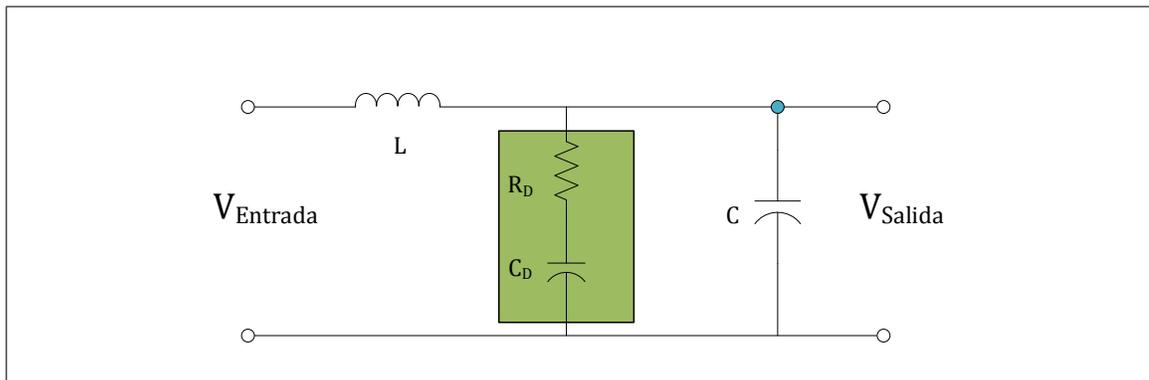


FIGURA 3.21. Red de *damping* en el filtro LC

innecesarios de frecuencias mayores a la fundamental, al ser en esencia un filtro pasa bajos. la Figura 3.23 muestra el voltaje de salida del filtro LC y su análisis FFT. En esta línea, el filtro LC es el más apropiado para ser implementado en el modulador DC.

Entonces, se ha seleccionado al filtro LC como la mejor alternativa para la modulación DC. Este filtro cumple con ser de bajo costo, además de ser implementado fácilmente. Por

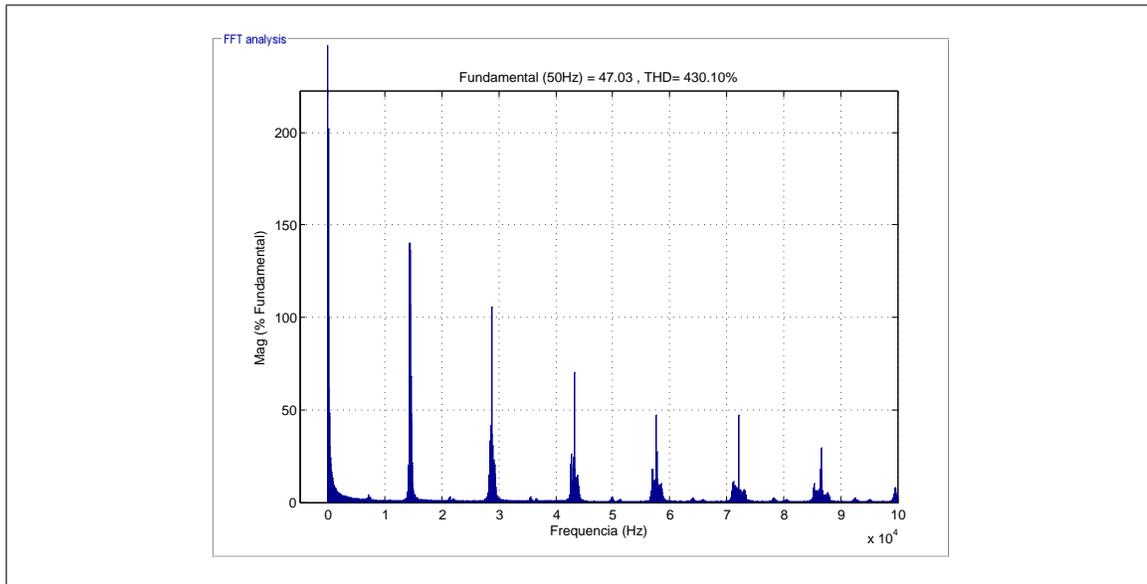


FIGURA 3.22. *FFT* de la onda *PWM* generada por la conmutación de los transistores del modulador DC

cierto que investigaciones futuras pueden iterar sobre la solución propuesta utilizando otros filtros de mayor complejidad.

Cabe mencionar que la conexión de un inductor en serie a la salida del filtro (obteniéndose una red LCL) permite obtener una atenuación mayor (60 dB por década) para frecuencias superiores a la frecuencia de resonancia, pero agrega resonancias y estados inestables al sistema. Por ende, los protocolos de diseño del convertidor son de mayor complejidad. En esta investigación se consideró utilizar un filtro LC, sin embargo, como se verá en la Sección de trabajo futuro, existen alternativas interesantes de evaluación de la modulación DC utilizando otros conversores y/o tipos de filtrado.

### 3.3.2. Frecuencia de conmutación *PWM* y resonancia del filtro

Habiendo definido la topología del modulador DC, cabe estudiar los otros parámetros de diseño del filtro en función de los resultados deseados. Uno de estos parámetros es la frecuencia de conmutación de los transistores. Este punto es un factor clave y muy relevante. Considérese en la Figura 3.15. El voltaje generado en  $N_1$  por la conmutación de  $T_1$  y  $T_2$  es la señal  $\delta(t)$  altamente distorsionada, como se estudió en la Sección previa.

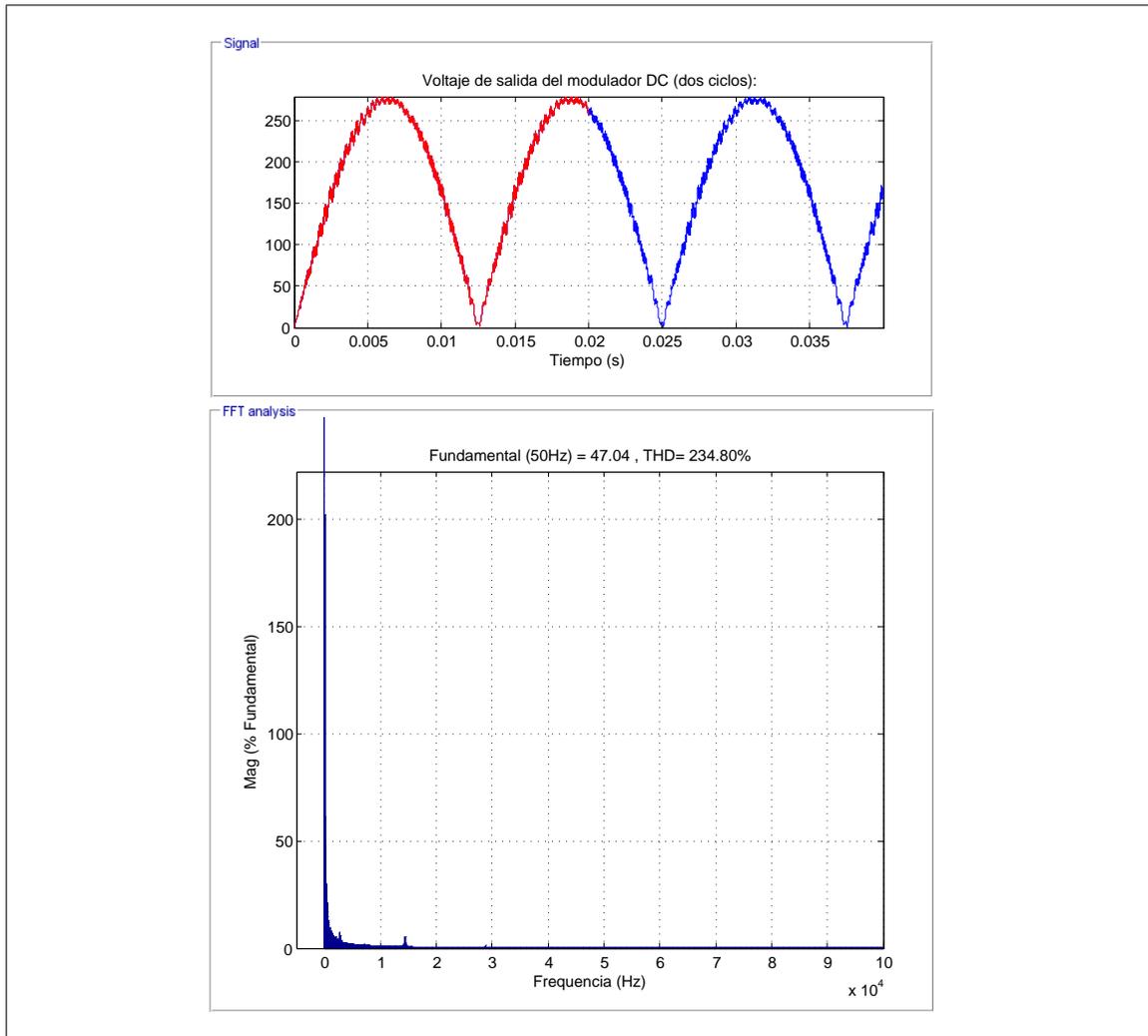
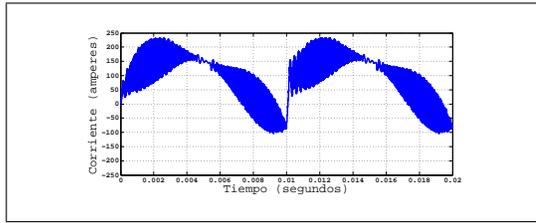
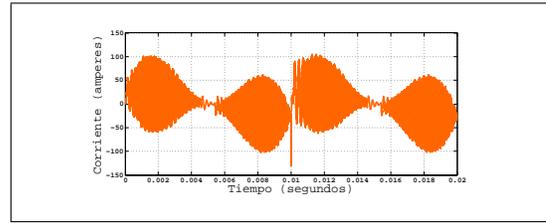


FIGURA 3.23. Voltaje de salida del modulador DC versus su análisis *FFT*

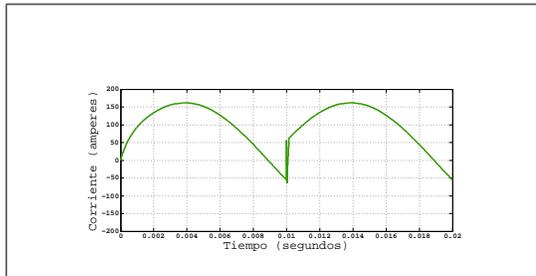
Ahora bien, la cantidad de armónicos de dicho voltaje depende exclusivamente de la relación entre la frecuencia de la señal  $\delta(t)$  (en adelante  $f_{\delta}(t)$ ) y la frecuencia de conmutación de  $T_1$  y  $T_2$  (en adelante,  $f_{PWM}$ ). Típicamente,  $f_{\delta}(t)$  será 50 Hz. Por ende, se espera que  $f_{PWM} \gg 50\text{Hz} = f_{\delta}(t)$ . Si  $f_{PWM}$  es baja, el contenido armónico del voltaje en  $N_1$  será alto, recargando más la tarea del filtro. Un alto nivel de distorsión implica que el inductor debe filtrar más armónicos de corriente, y que el capacitor debe inyectar más reactivos a  $N_2$  (en función de su respuesta dinámica, analizada en la Sección previa). La Figura 3.24 muestra las corrientes en el inductor, en el capacitor y de salida del filtro del modulador



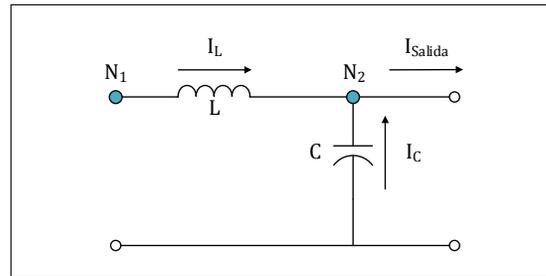
(A) Corriente eléctrica en el inductor del filtro LC



(B) Corriente eléctrica en el capacitor del filtro LC



(C) Corriente de salida del filtro LC



(D) Filtro LC del modulador DC

FIGURA 3.24. Corrientes a través del inductor, del capacitor y de salida en el filtro LC del modulador DC.

DC que se conecta a los inversores puente H de la Figura 2.9. En este caso, los valores de  $L$  y  $C$  son  $6\mu H$  y  $265\mu F$  respectivamente. Cabe mencionar que las corrientes  $I_L$  e  $I_C$  son altamente distorsionadas. Sin embargo, la corriente de salida,  $I_{Salida}$ , tiene una distorsión despreciable en comparación a las otras dos (la forma de onda de dicha corriente viene dada por la carga, que en este caso es la carga inicial descrita previamente). Esto implica que hay componentes armónicos circulando en el filtro LC que no van a la salida. Estos componentes se deben al carácter resonante de la malla LC. Las impedancias del inductor y del capacitor dependen de la frecuencia, por lo que la impedancia serie de la malla varía consecuentemente con la frecuencia.

$$Z_L = jX_L = j\omega L \quad (31)$$

$$Z_c = jX_c = \frac{1}{j\omega C} \quad (32)$$

La impedancia del capacitor es inversamente proporcional a la frecuencia, mientras que la impedancia del inductor es directamente proporcional a esta. A determinadas frecuencias la impedancia serie de la malla LC se anula. Esta frecuencia se conoce como la frecuencia de resonancia ( $f_{\text{Resonancia}}$ ). Las distintas componentes armónicas de la onda de voltaje del nodo  $N_1$  del modulador DC tienen diferentes frecuencias propias, por lo que la impedancia de la malla LC varía para cada una de ellas. La frecuencia de resonancia es la frecuencia específica en que  $|X_L| = |X_C|$ .

$$f_{\text{Resonancia}} = \frac{1}{2\pi\sqrt{LC}} = \frac{\omega_{\text{Resonancia}}}{2\pi} \quad (33)$$

Para el caso mostrado en la Figura 3.24, donde  $L = 6\mu H$  y  $C = 265\mu F$ , se tiene que  $f_{\text{Resonancia}} = 3,99 \text{ KHz} \approx 4\text{KHz}$ .

Ahora bien,  $f_{\text{Resonancia}}$  se debe comparar con  $f_{\text{Salida}}$  y  $f_{\text{PWM}}$ . Si la frecuencia de resonancia es muy baja, cercana a  $f_{\delta}(t)$ , esta se hará evidente en la onda de voltaje de salida,  $V_{\text{Modulador DC}}(t)$ . De (31) se observa que  $f_{\text{Resonancia}}$  es inversamente proporcional a  $L$  y  $C$ , por lo que una frecuencia de resonancia baja implica un filtro lento, incapaz de filtrar los armónicos generados por la conmutación de  $T_1$  y  $T_2$ . Por otro lado, si la frecuencia de resonancia es muy alta, cercana a  $f_{\text{PWM}}$ , las corrientes armónicas circulantes en la malla LC serán muy grandes. La impedancia del filtro para frecuencias cercanas a  $f_{\text{PWM}}$  sería baja. Esto implicaría a su vez *peaks* de tensión en  $C$  por su carga violenta ante estas altas corrientes circulantes, que empobrecerán por cierto el desempeño del modulador DC.

Por su parte, si  $f_{\text{Resonancia}} > f_{\text{PWM}}$ , los armónicos de corriente en la malla LC serán de menor frecuencia que  $f_{\text{Resonancia}}$ . Sin embargo una frecuencia de resonancia muy alta implica que el producto  $LC$  debe ser bajo. Esto significa que la capacitancia y la inductancia deben ser bajas. Una inductancia baja en el filtro conlleva una baja capacidad de almacenamiento de energía durante el ciclo de carga, necesaria para el funcionamiento del *chopper*. A su vez, una baja capacitancia implica un voltaje inestable en  $N_2$  ( $V_{\text{Modulador DC}}(t)$ ). Por ende, se tiene que:

$$f_{\delta}(t) < f_{\text{Resonancia}} < f_{PWM} \quad (34)$$

Con respecto a la relación entre  $f_{\delta}(t)$  y  $f_{\text{Resonancia}}$ , como la frecuencia de resonancia es la frecuencia de corte del filtro LC, basta que sea lo suficientemente mayor a  $f_{\delta}(t)$  para que el filtro tenga una respuesta dinámica adecuada (lo suficientemente rápida en función de los requerimientos de la modulación DC).

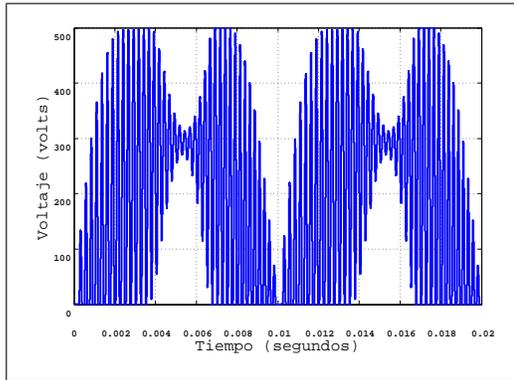
Por su parte, respecto a la relación entre  $f_{\text{Resonancia}}$  y  $f_{PWM}$ , se ha encontrado empíricamente que los rangos de operación adecuados para  $f_{PWM}$  están entre 10 y 30 veces la frecuencia de resonancia.

$$10f_{\text{Resonancia}} < f_{PWM} < 30f_{\text{Resonancia}} \quad (35)$$

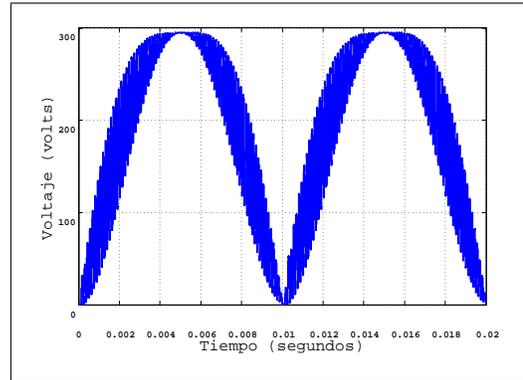
Adicionalmente, cabe considerar que una frecuencia de *PWM* muy alta aumenta las exigencias de  $T_1$  y  $T_2$ . La Figura 3.25 muestra el voltaje de salida del modulador DC para  $f_{\delta}(t)$  de 50 Hz en 4 casos distintos de frecuencia de conmutación de  $T_1$  y  $T_2$ . En la Figura 3.25d se observa  $V_{\text{Modulador DC}}(t)$  para una frecuencia  $f_{PWM}$  de 80 KHz, obteniéndose una señal de alta fidelidad en relación a la señal  $\delta(t)$ . La Figura 3.26 muestra la comparación entre la Figura 3.25d y  $\delta(t)$ . En tal caso se muestra la onda  $V_{\text{Modulador DC}}(t)$  con un nivel de distorsión bajo (inferior al 1 % con respecto a la fundamental de dicha frecuencia). Por ende se establece este caso como criterio óptimo de diseño:

$$f_{PWM\text{Óptima}} = 20f_{\text{Resonancia}} = 1600f_{\delta}(t) \quad (36)$$

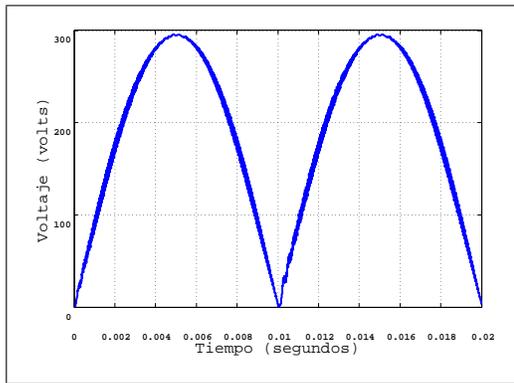
Frecuencias de conmutación superiores a 80 KHz son inviables porque la mayoría de los transistores de potencia comerciales no operan a frecuencias superiores a los 80-90 KHz. Además, altas frecuencias de conmutación conllevan pérdidas energéticas.



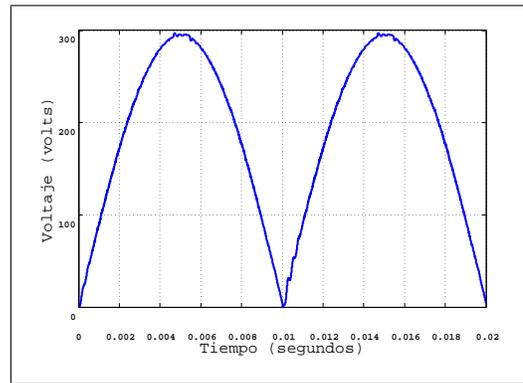
(A)  $V_{\text{Modulador DC}}(t)$  para  $f_{PWM}$  de 4 KHz



(B)  $V_{\text{Modulador DC}}(t)$  para  $f_{PWM}$  de 8 KHz



(C)  $V_{\text{Modulador DC}}(t)$  para  $f_{PWM}$  de 20 KHz

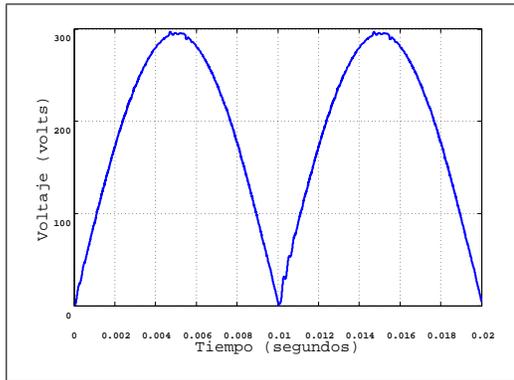


(D)  $V_{\text{Modulador DC}}(t)$  para  $f_{PWM}$  de 80 KHz

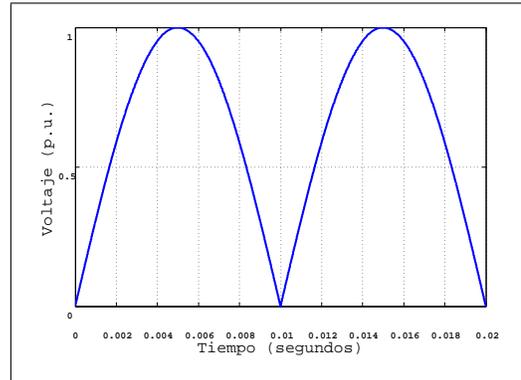
FIGURA 3.25.  $V_{\text{Modulador DC}}(t)$  para distintas frecuencias de conmutación de  $T_1$  y  $T_2$ . Se ha ajustado  $f_{\text{Resonancia}}$  en 4 KHz ( $L = 6\mu\text{H}$  y  $C = 265\mu\text{F}$ ).  $V_{\text{DC}} = 300\text{V}$

### 3.3.3. Nivel de filtrado

De acuerdo a (31),  $f_{\text{Resonancia}}$  depende exclusivamente del producto  $LC$ . El nivel de filtrado da cuenta de dicha proporcionalidad inversa entre la capacitancia e inductancia del filtro para una frecuencia de resonancia fija. Un mayor valor de  $L$  conlleva un mayor filtrado de corriente. Esto implica que el contenido armónico en  $N_2$  es menor, por lo que el capacitor tiene que entregar una menor cantidad de reactivos hacia la salida, implicando una menor corriente a través de él. Sin embargo, esto implica un valor bajo de  $C$ , con lo cual el voltaje en  $N_2$  se vuelve inestable, desestabilizando la corriente de salida del modulador DC. En otras palabras, la calidad del filtrado decrece con el aumento de  $L$  para una frecuencia de corte determinada.



(A)  $V_{\text{Modulador DC}}(t)$  para  $f_{PWM}$  de 80 KHz



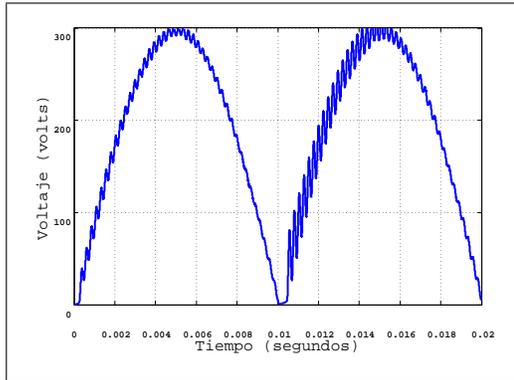
(B) Señal  $\delta(t)$  en por unidad

FIGURA 3.26. Voltaje de salida del modulador DC con  $f_{PWM}$  óptima (para  $f_{\delta}(t)$  de 50 Hz) versus la función matemática de referencia  $\delta(t)$

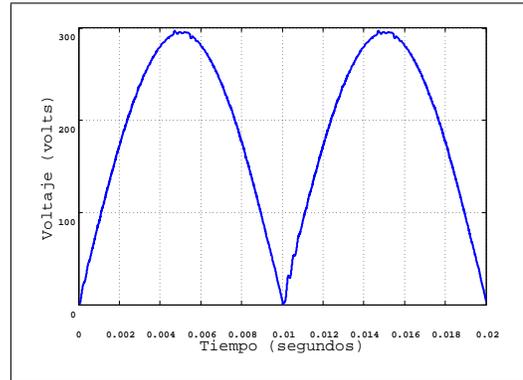
Por su parte, una disminución de  $L$  y un aumento de  $C$  conlleva una mayor estabilidad del voltaje en  $N_2$ , por cuanto el capacitor, en paralelo a la salida del modulador DC, se opone a los ciclos de carga y descarga. Sin embargo, el filtrado de corriente del inductor se hace más tenue, obligando al capacitor a inyectar una mayor cantidad de corriente activa y reactiva hacia  $N_2$ . De este modo, hay una mayor corriente a través del capacitor, lo cual acentúa las pérdidas de potencia y disminuye su vida útil. Por su parte, las ondas de corriente y voltaje de salida tienen un menor rizado, puesto que la capacidad de almacenaje de energía del inductor es menor. En otros términos, el filtro LC comienza a comportarse como un filtro capacitivo paralelo ideal.

Así, recapitulando lo anterior, el nivel de filtrado aumenta por cuanto se disminuye  $L$ , en desmedro de la corriente a través del capacitor. Se puede expresar matemáticamente al nivel de filtrado como  $\frac{C}{L}$ .

La Figura 3.27 muestra la comparación entre el voltaje de salida del modulador DC para dos niveles de filtrado diferentes. En la Figura 3.27a el inductor posee una inductancia diez veces mayor que en el caso de la Figura 3.27b. Se observa que el rizado de la Figura 3.27a es mucho mayor al caso de mayor nivel de filtrado de la Figura 3.27b. El voltaje es más inestable en  $N_2$  con la disminución de  $C$ . Esto implica que la corriente a través del capacitor es menor. A su vez, la Figura 3.28 muestra la corriente eléctrica a través

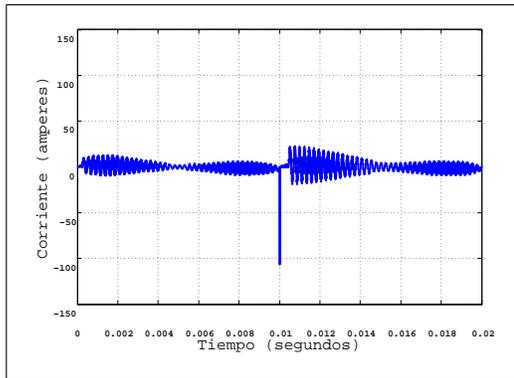


(A) Nivel de filtrado bajo para el modulador DC considerando la relación óptima de (34) y  $f_{Resonancia}$  de 4 KHz ( $L = 80\mu H$  y  $C = 19,7\mu F$ )

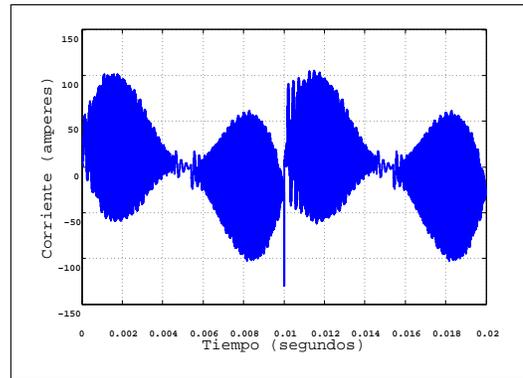


(B) Nivel de filtrado alto para el modulador DC considerando la relación óptima de (34) y  $f_{Resonancia}$  de 4 KHz ( $L = 6\mu H$  y  $C = 265\mu F$ )

FIGURA 3.27. Voltaje de salida del modulador DC para dos niveles de filtrado diferentes



(A) Corriente eléctrica,  $I_C$ , a través del capacitor del filtro LC del modulador DC para el caso de la Figura 3.27a



(B) Corriente eléctrica,  $I_C$ , a través del capacitor del filtro LC del modulador DC para el caso de la Figura 3.27b

FIGURA 3.28. Corriente eléctrica,  $I_C$ , a través del capacitor del filtro LC del modulador DC para los dos casos nivel de filtrado de las Figuras 3.27a y 3.27b respectivamente

del capacitor para los dos casos mostrados en la Figura 3.27. Se observa que los *peaks* de corriente de la Figura 3.28a son del orden de cinco veces menores al caso de la Figura 3.28b.

### 3.3.4. Frecuencia de salida

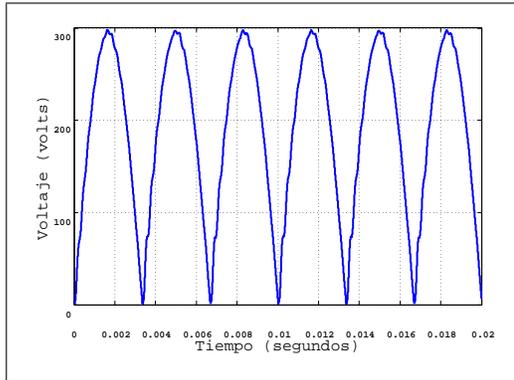
La frecuencia de salida,  $f_{\delta}(t)$ , de acuerdo a (32) y (34), afecta directamente el diseño del filtro LC. Esto es pues  $L$  y  $C$  determinan  $f_{\text{Resonancia}}$ . Por ende un aumento de  $f_{\delta}(t)$  implica un aumento de  $f_{\text{Resonancia}}$ . A su vez, (33) implica que un aumento de  $f_{\text{Resonancia}}$  conlleva un aumento de  $f_{PWM}$ . Así, al aumentar la frecuencia de salida, se está exigiendo en mayor medida al modulador DC.

Supóngase que el filtro LC fuera fijo. Un aumento de la frecuencia de salida empeorará la calidad de la onda  $V_{\text{Modulador DC}}(t)$  en  $N_2$ . El único parámetro controlable, entonces, para contrarrestar un aumento de  $f_{\delta}(t)$  es  $f_{PWM}$ . La Figura 3.29 muestra el voltaje de salida del modulador DC para el filtro de la Figura 3.28b para dos frecuencias de salida diferentes. Se ha considerado mantener la proporción entre  $f_{\delta}(t)$  y  $f_{PWM}$  expresada en (34). La onda de voltaje de la Figura 3.29a es de peor calidad que la de la Figura 3.29b puesto que, al haber una mayor frecuencia de salida, y por ende de  $PWM$  (en función de (34)), hay un mayor contenido armónico que no se está filtrando. Esto es pues el filtro LC utilizado no es apropiado para una frecuencia de salida de 150 Hz. Por ende, el modulador DC debe ser diseñado para una frecuencia de salida óptima. Aumentar la frecuencia de salida empeora la calidad del voltaje de salida.

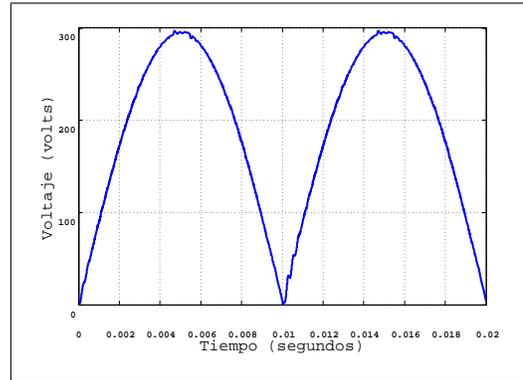
### 3.3.5. Carga

La carga conectada a los inversores (Figura 2.9) determinará la corriente de salida de los moduladores DC. Una mayor carga implicará un mayor flujo de potencia a través de los moduladores DC.

Si se considera un aumento brusco de la carga, para una frecuencia de salida fija, se tendrá un aumento de las derivadas de corriente con respecto al tiempo en la salida de los modulador DC. Como el voltaje inducido en  $L$  es directamente proporcional a la derivada de la corriente, un aumento de la carga implicará mayores voltajes inducidos en el inductor. Con esto, el voltaje en  $N_2$  se desestabilizará con respecto a su referencia (función  $\delta(t)$ ). Esto implicará un empobrecimiento del desempeño del modulador DC.



(A)  $V_{\text{Modulador DC}}(t)$  para una frecuencia de salida de 150 Hz para el nivel de filtrado de la Figura 3.28b. Se ha considerado una frecuencia de conmutación  $f_{PWM}$  de 240 KHz



(B)  $V_{\text{Modulador DC}}(t)$  para una frecuencia de salida de 50 Hz para el nivel de filtrado de la Figura 3.28b. Se ha considerado una frecuencia de conmutación  $f_{PWM}$  de 80 KHz

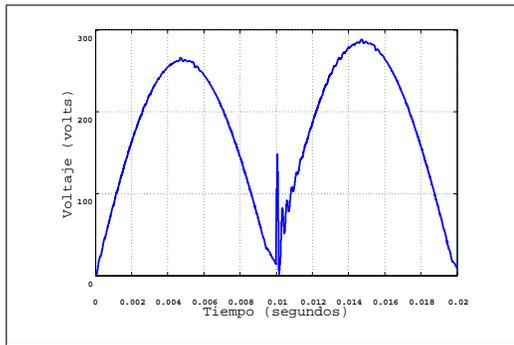
FIGURA 3.29.  $V_{\text{Modulador DC}}(t)$  para valores de  $f_{\delta}(t)$  de 100 y 50 Hz respectivamente. Se considera el mismo filtro LC para ambos ajustado a una frecuencia de corte de 4 KHz y un nivel de filtrado como el de la Figura 3.27

Además, considérese que el sistema total está funcionando como fuente de voltaje. Un aumento de la corriente demandada por la carga implicará mayores caídas de tensión en los elementos del sistema. Concretamente, en el modulador DC habrán más caídas de voltaje en los transistores y componentes pasivos, con lo cual  $|V_{\text{Modulador DC}}(t_{\text{máx}})| < V_{DC}$ , donde  $t_{\text{máx}}$  es el instante en que  $V_{\text{Modulador DC}}(t)$  alcanza su máximo valor.

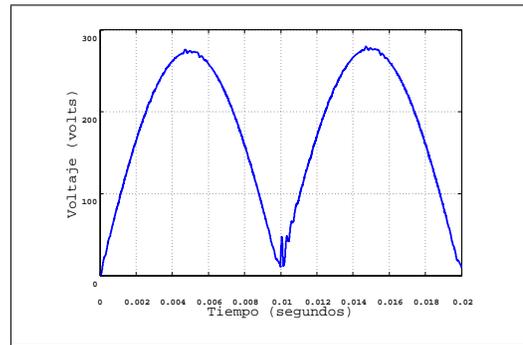
La Figura 3.30 muestra el voltaje de salida del modulador DC para cuatro cargas distintas. A mayores cargas el desempeño del sistema es peor. La Figura 3.30a muestra un voltaje de salida inestable. Esto es pues los voltajes del inductor y del capacitor se desestabilizan, evitando que  $V_{\text{Modulador DC}}(t)$  vaya siguiendo la referencia. La solución a este problema pasa por una reducción de  $L$ , aumentando el nivel de filtrado.

### 3.3.6. Corrientes circulantes en la malla LC

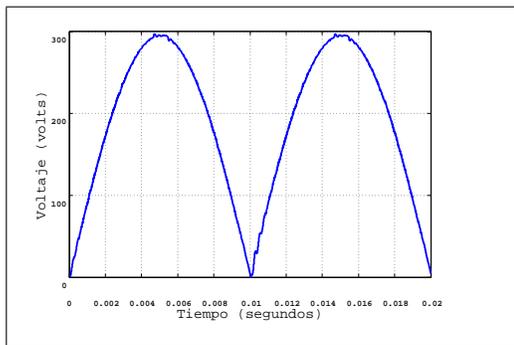
Como se expuso previamente, existe un *trade-off* entre el nivel de filtrado y las corrientes circulantes en la malla LC. Dichas corrientes no van hacia la salida del modulador DC, sino que se devuelven hacia  $T_1$  y  $T_2$ . La corriente de salida del modulador DC depende exclusivamente de la carga.



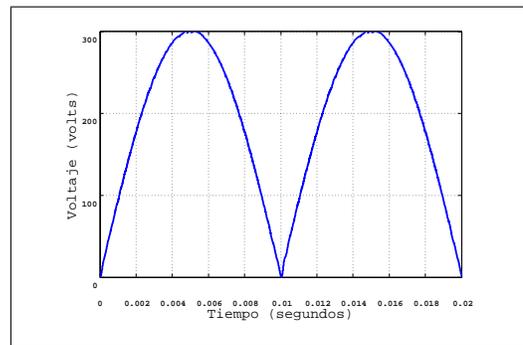
(A)  $V_{\text{Modulador DC}}(t)$  para una carga 100 veces mayor a la utilizada en las pruebas anteriores



(B)  $V_{\text{Modulador DC}}(t)$  para una carga 10 veces mayor a la utilizada en las pruebas anteriores



(C)  $V_{\text{Modulador DC}}(t)$  para la carga utilizada en las pruebas anteriores

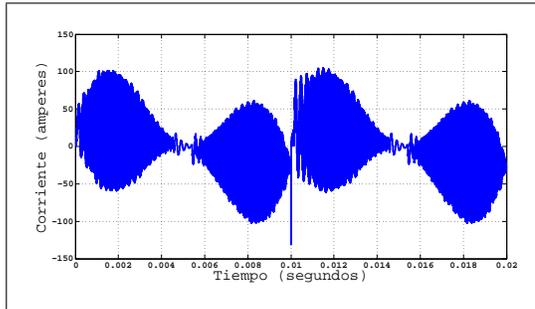


(D)  $V_{\text{Modulador DC}}(t)$  para el sistema en vacío

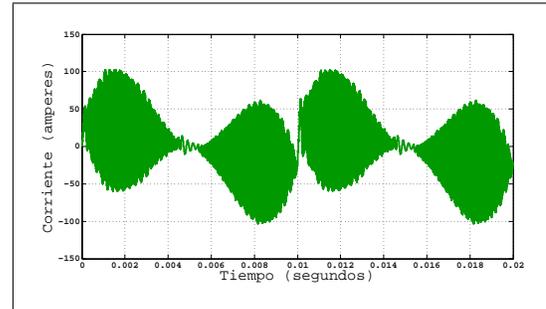
FIGURA 3.30.  $V_{\text{Modulador DC}}(t)$  para distintas cargas

Las corrientes circulantes en la malla LC dependen del nivel de filtrado, el cual determina la corriente entregada por el capacitor. La Figura 3.31 muestra la corriente a través del capacitor para el caso de la carga inicial (factor de potencia de 85 % en atraso y componente resistiva de  $1 \Omega$ ) y en vacío. Ambas corrientes son del mismo orden de magnitud.

Básicamente, las corrientes circulantes son consecuencia de la naturaleza misma del filtro LC como circuito resonante. Las corrientes de las Figuras 3.31a y 3.31b muestran un contenido armónico considerable. Como se estudió previamente, un análisis *FFT* de dichas corrientes muestra armónicos de diferentes frecuencias, que responden a diferentes impedancias en el filtro LC. Por ende, los componentes del modulador DC deben estar diseñados para manejar estas corrientes, en función del nivel de filtrado seleccionado.



(A) Corriente a través del capacitor para el sistema en vacío



(B) Corriente a través del capacitor considerando la carga inicial

FIGURA 3.31. Comparación de las corrientes a través del capacitor para el sistema en vacío y con la carga inicial conectada

### 3.3.7. Voltaje de alimentación

El voltaje continuo de alimentación del modulador DC entregará, por cierto, la amplitud de  $V_{\text{Modulador DC}}(t)$ . Debe considerarse que el voltaje del capacitor,  $V_C$  es igual a  $V_{\text{Modulador DC}}(t)$ . Por lo tanto, en los valores mínimos de  $V_{\text{Modulador DC}}(t)$ , el capacitor estará prácticamente descargado. Cuando esto ocurre, la impedancia del capacitor es nula. En otros términos, el capacitor es un cortocircuito en dicho instante. Esto aumenta la corriente a través del filtro LC, las cuales atraviesan el inductor. Por ende, al aumentar el voltaje de alimentación  $V_{\text{DC}}$ , debe aumentarse el inductor, de modo de poder manejar estas corrientes. Así, el inductor y el capacitor deben ser capaces de manejar la corriente máxima entregada por la fuente de alimentación, que depende de la magnitud de esta misma.

### 3.3.8. Criterio de elección del inductor y del capacitor

Los factores estudiados en las Secciones previas afectan el desempeño del filtro LC. La Figura 3.26a muestra la operación óptima del modulador DC de acuerdo a (32), (33) y (34), para un voltaje de alimentación de 300 V y una frecuencia de salida de 50 Hz. Las Secciones previas muestran que el diseño del filtro LC depende del voltaje de alimentación y de la frecuencia de salida. La frecuencia de conmutación debe ser, por su parte, lo suficientemente alta para minimizar el contenido armónico de  $V_{\text{Modulador DC}}(t)$ . Sin embargo,  $f_{\text{PWM}}$  es un parámetro fácilmente ajustable, y está más relacionado con la optimización de

la eficiencia energética del sistema que con la calidad del voltaje  $V_{\text{Modulador DC}}(t)$ . Por lo tanto, sin considerar ni la eficiencia ni las limitaciones técnicas de los transistores de potencia, la frecuencia  $f_{PWM}$  no es un factor de diseño fundamental. De este modo, es posible ordenar los criterios de elección del capacitor y del inductor del modulador DC. Los siguientes puntos resumen los factores de diseño más relevantes del modulador DC.

- Al aumentar la carga debe aumentar también el filtrado. Esto es pues a mayor carga, aumenta la corriente a través del modulador DC, lo cual aumenta las derivadas con respecto al tiempo de la corriente en el inductor, inestabilizando el voltaje en  $N_2$  (considerando que la frecuencia de salida se mantiene constante). Por ende, si se considera que la carga es variable, el modulador DC debe estar diseñado para operar correctamente en condiciones de corriente nominal.
- La frecuencia de salida afecta directamente los requerimientos de respuesta dinámica del filtro LC. Al aumentar la frecuencia de salida, se debe aumentar la frecuencia de resonancia del filtro de modo de mantener la calidad de la onda de voltaje de salida. Si no se aumenta la frecuencia de resonancia del filtro, su respuesta dinámica será insuficiente, ya que el filtro no será capaz de responder a la onda de voltaje generada por la conmutación de  $T_1$  y  $T_2$  en  $N_1$ .
- La calidad de  $V_{\text{Modulador DC}}(t)$  depende, en esencia, del nivel de filtrado. Como se observa en la Figura 3.28, existe un *trade-off* entre el nivel de filtrado y las corrientes circulantes en la malla LC del modulador DC.
- El nivel de filtrado determina las corrientes circulantes en la malla LC. Estas corrientes permiten la formación de la onda  $V_{\text{Modulador DC}}(t)$  en la salida del modulador DC.
- La corriente demandada por la carga es independiente de las corrientes circulantes en la malla LC. El modulador DC opera como fuente de voltaje, por lo que independientemente de los requerimientos de potencia, el voltaje de salida es el mismo.

## 4. PÉRDIDAS Y EFICIENCIA

En la Sección previa se presentó y estudió al *chopper Buck* sincrónico como el modulador DC requerido para implementar la modulación *C-SVM* en la topología de la Figura 2.9. Si bien fueron expuestos algunos aspectos relacionados a la eficiencia energética del modulador DC, no se hizo énfasis en estas. Este punto es de gran relevancia [**Kawamura et al., 2008, Kabalo et al., 2010**]. La presente Sección introduce el estudio de las fuentes de pérdidas de energía.

### 4.1. Pérdidas en el filtro LC

El filtro LC es la piedra angular para el correcto funcionamiento del modulador DC. Como se expuso en la Sección anterior, se establecieron diversos criterios de diseño del filtro en función de  $f_\delta(t)$  y del voltaje de alimentación  $V_{DC}$ . Entre esos criterios, el ajuste del nivel de filtrado es elemental. Esto permite un voltaje  $V_{Modulador\ DC}(t)$  de alta calidad en desmedro de las altas corrientes circulantes en la malla LC. Dichas corrientes no solo generan desgastes en el inductor y en el capacitor, sino que conllevan pérdidas energéticas.

#### 4.1.1. Pérdidas en el capacitor

Para un análisis de las pérdidas en el capacitor del filtro LC se deben considerar los elementos no ideales de este. Esto considera los elementos parásitos, y limitantes físicas y constructivas [**Huang et al., 2005**]. Además debe tenerse presente que en régimen alterno son relevantes las pérdidas dieléctricas y óhmicas no lineales. Ahora bien, para comprender esto, cabe mencionar que en realidad el capacitor no es únicamente una capacitancia pura, como se ha considerado en las Secciones previas. Para analizar estos factores resulta conveniente introducir el modelo equivalente de un capacitor, presentado en la Figura 4.1. De donde:

- $C$  es el capacitor ideal.
- $R_S$  es la resistencia serie.
- $L_S$  es la inductancia serie.

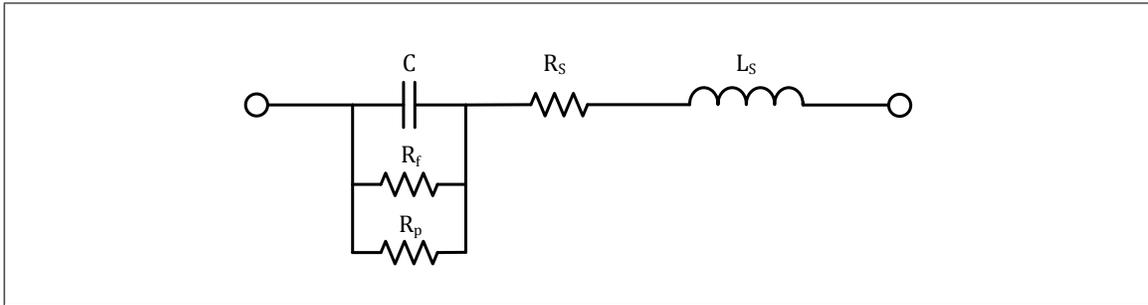


FIGURA 4.1. Modelo equivalente del capacitor

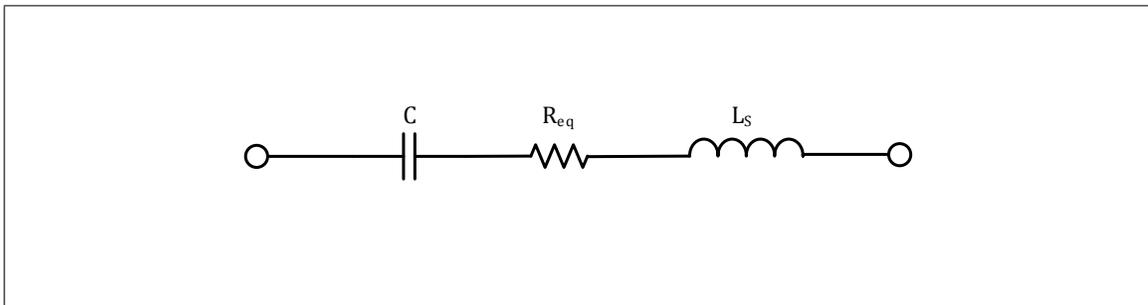


FIGURA 4.2. Modelo equivalente simplificado del capacitor

- $R_f$  es la resistencia de fuga.
- $R_p$  es la resistencia paralela equivalente (la cual representa las pérdidas dieléctricas en el modelo).

El esquema de la Figura 4.1 puede simplificarse en el modelo equivalente simplificado presentado en la Figura la Figura 4.2, donde se expresa el circuito como una rama RLC equivalente serie. Donde  $R_{eq}$  es el resistor equivalente total del modelo. Dicho parámetro permite aproximar de manera bastante acertada los efectos producidos por  $R_s$ ,  $R_f$  y  $R_p$ . Este circuito es, desde luego, más simple de analizar que el de la Figura 4.1, y por ende más conveniente para el presente análisis.

Es posible, entonces, expresar la impedancia total del capacitor.

$$Z_C = \sqrt{R_{eq} + j(X_C - X_{LS})^2}, \quad (37)$$

donde  $X_C$  y  $X_{LS}$  representan respectivamente las reactancias de los parámetros  $C$  y  $L_S$  del circuito equivalente simplificado del capacitor. En el modelo simplificado es posible identificar las fuentes de pérdidas en un capacitor:

- **Pérdidas óhmicas:** Suponen primeramente pérdidas por las componentes resistivas mismas de los materiales ( $R_S$  en el modelo de la Figura 4.1). Además influyen las pérdidas por efecto *Kelvin*, o efecto pelicular, en donde la resistencia neta varía en función de la frecuencia de la corriente eléctrica que lo atraviesa. En este caso se hacen relevantes las componentes armónicas de alta frecuencia que circulan por el capacitor en el filtro del modulador DC en función de  $f_{PWM}$ . El parámetro  $R_{eq}$  del modelo equivalente simplificado del capacitor permite aproximar las pérdidas óhmicas acertadamente.
- **Pérdidas dieléctricas:** Son las pérdidas en el dieléctrico mismo ( $R_p$  en el modelo de la Figura 4.1) y el factor de no idealidad del capacitor en cuanto a su factor de potencia. En otras palabras, existe un ángulo de pérdida ( $\zeta$ ), complemento del ángulo  $\phi$  (que es idealmente  $-90^\circ$ ). Típicamente se expresa el ángulo de pérdida como  $\delta$ , sin embargo en la presente investigación se utiliza la letra griega *zeta* ( $\zeta$ ) para evitar confusiones.
- **Pérdidas electromagnéticas:** Corresponden a pérdidas producidas por corrientes inducidas en la carcasa metálica del capacitor. Evidentemente esto se aminora utilizando metales no magnéticos como aluminio y es un factor que depende exclusivamente de los modelos comerciales de capacitores disponibles en el mercado.

#### 4.1.1.1. Limitaciones térmicas

Existen limitaciones térmicas en el funcionamiento de un capacitor real. La respuesta de un capacitor frente a la temperatura es clave en la confiabilidad del dispositivo, por cuanto la temperatura suele ser una variable no manipulable en lazos y sistemas de control [Winterborne et al., 2013]. Los dieléctricos funcionan dentro de rangos de temperatura limitados (típicamente con temperaturas máximas entre los  $70^\circ\text{C}$  y  $180^\circ\text{C}$ ). Además, la vida útil de dichos dieléctricos disminuye exponencialmente con el aumento de temperatura. La

temperatura en un capacitor, para una determinada operación, dependerá en gran medida de la corriente que lo atraviesa, la frecuencia de dicha corriente y del ángulo de pérdida  $\zeta$ .

Ahora bien, para las frecuencias trabajadas en el modulador DC, tanto de conmutación de los transistores como de salida, la temperatura del capacitor difícilmente superará su límite de operación. Sin embargo una implementación en un prototipo real debe considerar las limitaciones térmicas de los modelos comerciales disponibles.

#### 4.1.1.2. Inductancia serie

La inductancia serie del modelo,  $L_S$ , tiene, evidentemente, una impedancia en función de la frecuencia (de acuerdo a (29)). Adicionalmente, su naturaleza inductiva implica que variaciones de corriente conllevan caídas de tensión transitorias de la forma:

$$V_{LS} = L_S \frac{dI_C}{dt}, \quad (38)$$

donde  $I_C$  es la corriente que circula a través del capacitor (considérese el circuito equivalente simplificado).

Ahora bien, debe tenerse también en consideración el efecto resonante entre los componentes capacitivos e inductivos del modelo equivalente simplificado. La impedancia total del circuito equivalente tiene un mínimo cuando se cumple la condición básica de resonancia, como se vio en (31):

$$L_S C \omega_r^2 = 1 \quad (39)$$

Este factor conlleva dificultades cuando la resonancia es cercana a algunos armónicos de alta frecuencia. Particularmente, esto ocurre en convertidores resonantes de alta frecuencia. Sin embargo, considerando que  $L_S$  es típicamente pequeña, la frecuencia de resonancia de la red LC del modelo equivalente simplificado es mayor a la frecuencia de los armónicos que circulan a través del filtro LC del modulador DC.

La Figura 4.3 muestra el efecto de la resonancia en la malla del modelo equivalente de la Figura 4.2.

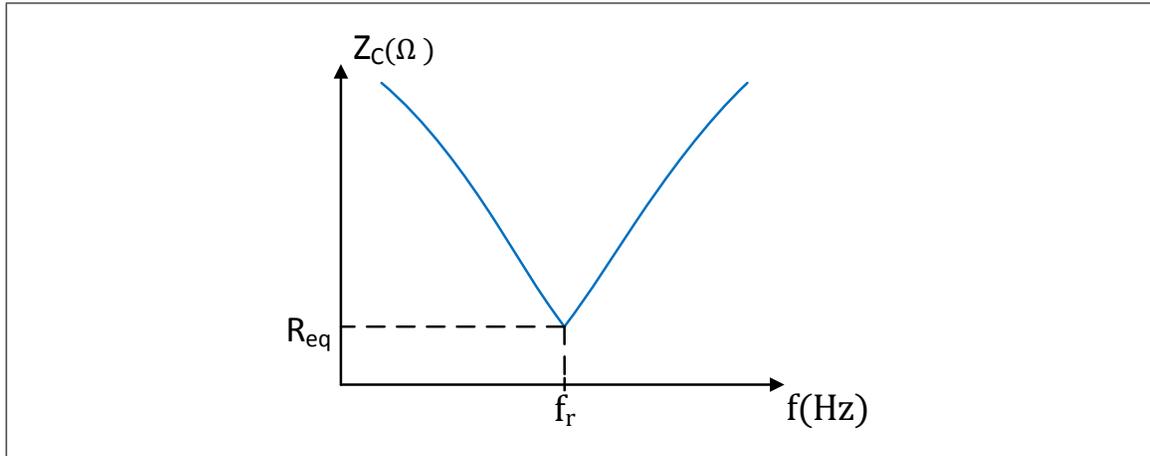


FIGURA 4.3. Efecto de la resonancia sobre la impedancia total del modelo simplificado del capacitor

#### 4.1.1.3. Factor de disipación

El factor de disipación (o  $DF$  por sus siglas en inglés) es, en esencia una medida de las pérdidas de energía en el capacitor. Precisamente, en materiales dieléctricos hay energía disipada. Considérese que un capacitor ideal tiene factor de potencia cero. Esto es, el ángulo  $\phi$  es de  $-90^\circ$ . Ahora, como se mencionó previamente, existe un ángulo de pérdida  $\zeta$  complementario a  $\phi$ . Entonces, considerando el circuito equivalente simplificado del capacitor, es posible afirmar que el ángulo de pérdida, mencionado previamente, viene dado por la siguiente expresión:

$$\tan(\zeta) = \frac{R_{eq}}{|X_C - X_{LS}|} \quad (40)$$

Básicamente, (38) muestra la no idealidad del capacitor en cuanto a su factor de potencia. Idealmente,  $R_{eq}$  es cero, con lo cual el ángulo de pérdida es cero, y el factor de potencia es cero ( $\phi = -90^\circ$ ). Además, considérese que el factor de potencia de  $X_{LS}$ , por sí mismo, es cero ( $\phi_{LS} = 90^\circ$ ), lo cual se resta a la impedancia a la rama LC del modelo simplificado. Esencialmente,  $L_S$  altera la capacitancia del capacitor. De acuerdo a (30), la impedancia de un capacitor ideal es inversamente proporcional a la capacitancia, para una frecuencia determinada. Con esto,  $L_S$  reduce la respuesta dinámica del capacitor, almacenando energía

en esta inductancia parásita que no es útil para el capacitor, aumentando la capacitancia virtual del circuito equivalente total del capacitor.

Es posible, entonces, introducir el factor de disipación, en función de los factores mencionados previamente.

$$DF = \tan(\zeta) \quad (41)$$

Como típicamente  $X_C \gg X_{LS}$ :

$$DF = \tan(\zeta) = \frac{R_{eq}}{|X_C|} \quad (42)$$

De este modo, considerando que la energía almacenada en un capacitor es  $\frac{1}{2}CV_C^2$ , es posible evaluar las pérdidas de potencia en función de la frecuencia (en Watts):

$$P_C = \left(\frac{1}{2}2\pi fCV_C^2\right)DF \quad (43)$$

La Figura 4.4 muestra la no idealidad del capacitor en relación a su factor de potencia. Debe tenerse en consideración que el ángulo de pérdida es cercano a cero (en otros términos, el factor de potencia del capacitor es cercano a uno), por lo que  $|X_C| \gg |R_{eq}|$ .

#### 4.1.1.4. Análisis de pérdidas en el capacitor

Para considerar las pérdidas en el capacitor del filtro LC del modulador DC deben tenerse presente dos factores muy importantes: la frecuencia de conmutación de  $T_1$  y  $T_2$  ( $f_{PWM}$ ) y el nivel de filtrado. Cabe recordar que la corriente eléctrica que circula por el capacitor es consecuencia directa del nivel de filtrado. En otras palabras, cuando el inductor es menor, su función como filtro de corriente es más tenue. Así, el capacitor debe absorber y suministrar una mayor cantidad de activos y reactivos, lo que implica una mayor corriente a través de él. Además, esta corriente es altamente distorsionada, con importantes componentes armónicos. A su vez, los armónicos son consecuencia directa de la frecuencia de

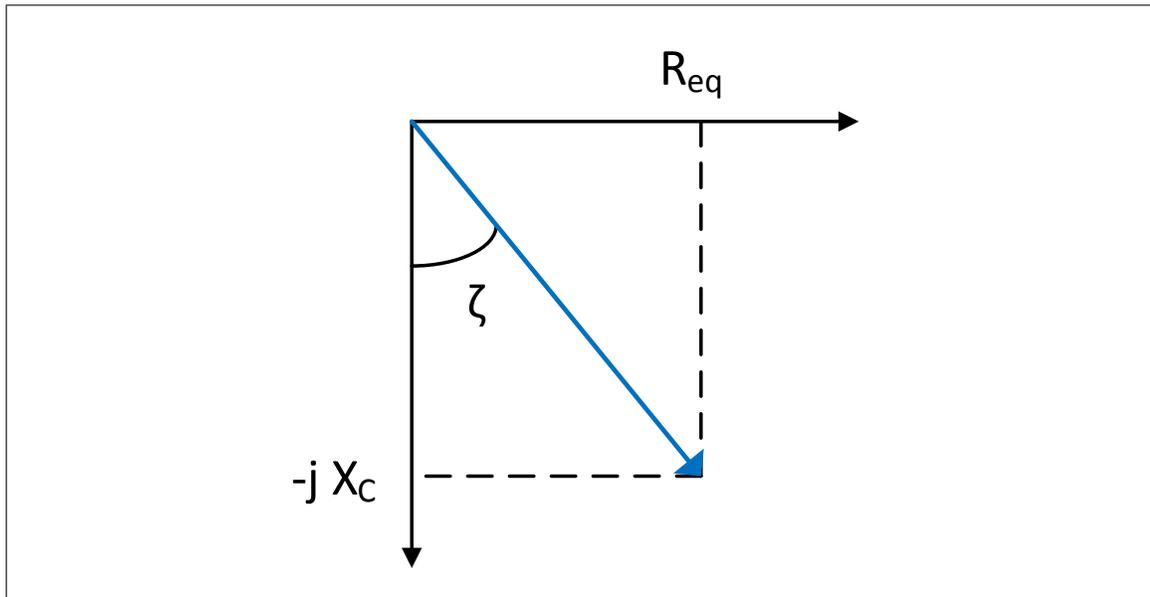


FIGURA 4.4. Impedancia del capacitor en el modelo equivalente simplificado

conmutación de  $T_1$  y  $T_2$  en la modulación *PWM*. Acorde a lo anterior, es importante destacar entonces que existe un *trade-off* entre la frecuencia de conmutación de los transistores del modulador DC, el nivel de filtrado y las pérdidas en el capacitor.

Ahora bien, evidentemente un elemento clave es el valor del parámetro  $R_{eq}$ . Este parámetro viene, por cierto, dado por características constructivas del capacitor. Un capacitor de alta fidelidad implica una minimización de este parámetro, o, en otros términos, un ángulo de pérdida muy cercano a cero. De todos modos, las pérdidas en el capacitor son de menor escala que las pérdidas en los transistores, ya sea por conmutación o por conducción.

#### 4.1.2. Pérdidas en el inductor

Es importante analizar y evaluar las pérdidas en el inductor del filtro LC [Su et al., 2013]. Los inductores disipan potencia en sus devanados y en su núcleo. La evaluación de estas pérdidas viene dada por cálculos que son típicamente complejos y depende en gran medida de sus componentes magnéticos. Un inductor consiste básicamente en un conductor enrollado alrededor de un núcleo. Este núcleo puede ser de aire o de algún material

ferroso, lo que permite aumentar su capacidad magnética. En aplicaciones de electrónica de potencia, como es el caso de los *choppers*, los inductores operan como almacenadores de energía en forma de campo magnético. En el caso del modulador DC utilizado, el inductor del filtro LC se carga cuando la onda modulada por los transistores es igual al voltaje de alimentación (1 lógico), y entrega esa energía cuando dicha onda es cero (cero lógico), como se profundizó en la Sección previa.

Existen dos fuentes de pérdidas energéticas en el inductor. En el núcleo y en los devanados.

#### 4.1.2.1. Pérdidas en el núcleo

Las pérdidas de energía en el núcleo debidas a cambios de campo magnético en un periodo de conmutación (1 ciclo de la frecuencia de conmutación de las válvulas) son la diferencia de energía magnética almacenada dentro del núcleo en el período de 1 lógico y la energía magnética consumida durante el cero lógico. Resulta conveniente, entonces, expresar la energía magnética total en un inductor en un período de conmutación del modulador DC.

$$EM_{\text{total}} = \int_0^{T_{\text{conmutación}}} V_L(t) I_L(t) dt \quad (44)$$

De acuerdo a la ley de *Faraday* ( $v(t) = nA \frac{dB(t)}{dt}$ ) y la ley de *Ampère* ( $i(t) = H(t) \frac{l_E}{n}$ ), se puede reescribir (46):

$$EM_{\text{total}} = A_l l_E \int H \cdot db \quad (45)$$

La energía total almacenada en el núcleo en un período de conmutación es el volumen del núcleo multiplicado por el área sombreada en la curva de histéresis del plano  $B - H$  presentado en la Figura 4.5.

El campo magnético decrece cuando la corriente disminuye (descarga). Las curvas no son las mismas, formándose el área interior, de acuerdo a la dirección de las flechas de la gráfica de la Figura 4.5. La mayoría de la energía va hacia el inversor. La diferencia entre la

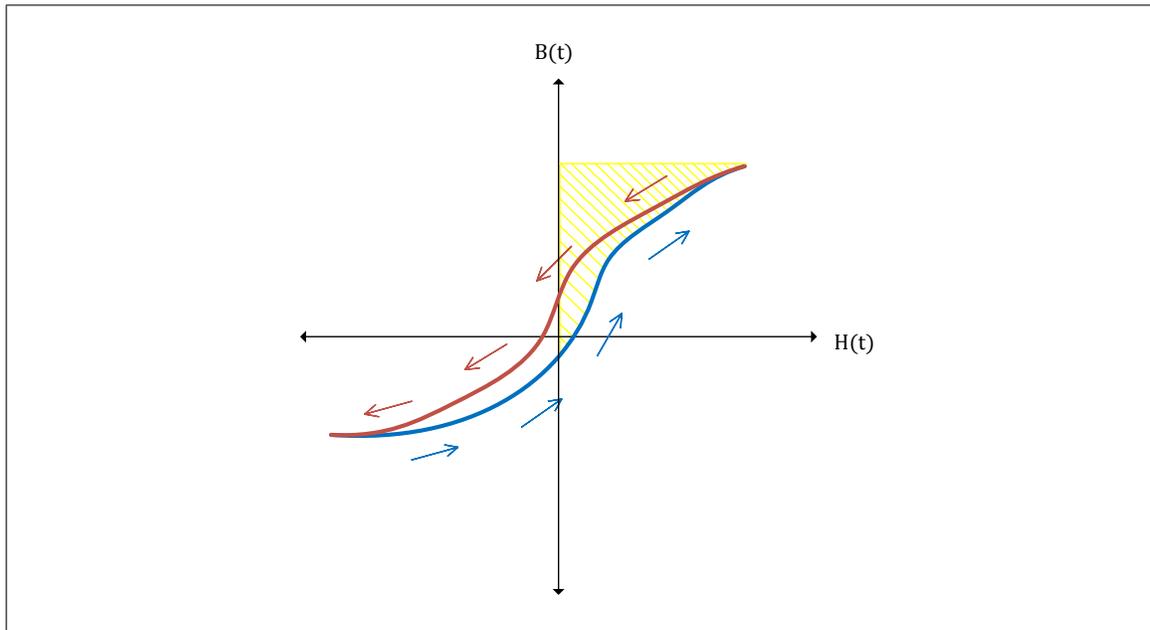


FIGURA 4.5. Lazo de histéresis del inductor en donde la densidad de campo magnética  $B(t)$  está en función de la intensidad de campo magnético  $H(t)$

energía almacenada y entregada es pérdida. La energía perdida es el área dentro del lazo de histéresis multiplicada por el volumen del núcleo. La potencia perdida es, entonces,  $EM_{\text{total}}$  multiplicada por la frecuencia de conmutación. Naturalmente, estas pérdidas energéticas dependen del material del núcleo del inductor. Debe tenerse en cuenta que para el modulador DC, donde fluyen corrientes positivas y negativas, se deben considerar también las áreas de densidad de flujo negativo para evaluar las pérdidas. Sin embargo, típicamente la curva de histéresis no se recorre completa puesto que la corriente por el inductor del filtro es alterna, con un *offset* positivo. Por ende se recorre en general una sub área de la curva de histéresis presentada. Esto se observa en la Figura 4.6.

Otra fuente de pérdidas en el núcleo son las causadas por corrientes de *Foucault*. Estas corrientes eléctricas son inducidas en el núcleo por un flujo variable. De acuerdo a la ley de *Lenz*, un flujo variable induce una corriente eléctrica que a su vez induce un flujo que se opone al flujo inicial. Esta corriente circula en el núcleo generando pérdidas del tipo  $I^2R$ . De este modo, considérese al núcleo del inductor como un elemento resistivo, cuya

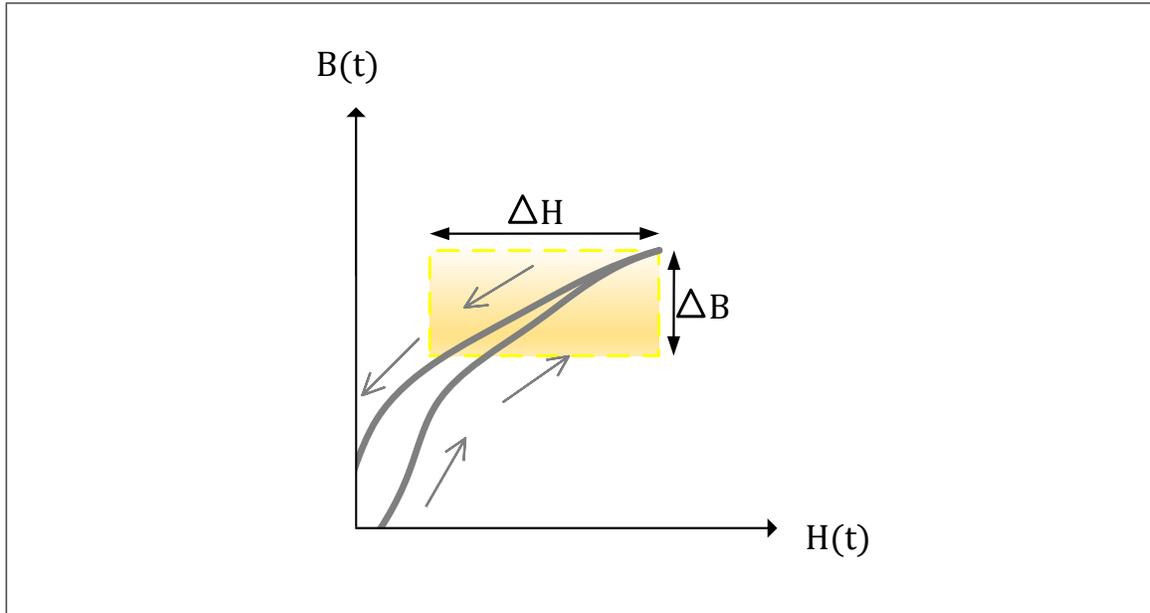


FIGURA 4.6. Lazo de histéresis para corrientes con *offset* positivo en el modulador DC

resistencia eléctrica es  $R_N$ . Sea  $V_N$  el voltaje inducido en  $R_N$ . Las pérdidas mencionadas serán del tipo:

$$P_{Foucault} = \frac{V_N^2}{R_N} \quad (46)$$

Ahora, por la ley de *Faraday*, esta tensión inducida viene dada por la siguiente expresión:

$$\frac{d\Phi(t)}{dt} = A_t \frac{dB}{dt} = V_N(t) \quad (47)$$

Las pérdidas son proporcionales al cuadrado de la tasa de cambio de flujo magnético en el núcleo del inductor. Ahora, la tasa de cambio del flujo magnético es directamente proporcional al voltaje aplicado, las pérdidas por corrientes de *Foucault* crece de acuerdo al cuadrado del voltaje aplicado al inductor, y de manera directa con el ancho de pulso aplicado (periodo de conmutación de los transistores del modulador DC). Así:

$$P_{Foucault} \propto t_{ON}(t) \frac{V_L^2}{R_N}, \quad (48)$$

donde  $t_{ON}(t)$  es el periodo de 1 lógico. Es una función del tiempo puesto que el modulador DC opera con ciclo de trabajo variable.

Típicamente, el núcleo de un inductor tiene alta resistencia, por lo que las pérdidas por corrientes de *Foucault* son menores a las causadas por histéresis. De todas formas, es difícil evaluar las pérdidas en el núcleo, puesto que no es simple medir variables tales como el flujo magnético. Adicionalmente, las curvas de histéresis deben ser estimadas, o entregadas por los fabricantes del núcleo.

#### 4.1.2.2. Pérdidas en los devanados del inductor

Cuando se consideran las pérdidas en los devanados del inductor, el primer factor que sale a la luz es la resistencia eléctrica del conductor. De este modo, las pérdidas resistivas en régimen continuo son de la siguiente forma:

$$P_{Resistivas} = I_{RMS}^2 R_{DC}, \quad (49)$$

donde la resistencia  $R_{DC}$  viene dada por la siguiente ecuación:

$$R_{DC} = \rho \frac{Largo\ del\ conductor}{Área\ del\ conductor}, \quad (50)$$

donde  $\rho$  es la resistividad del material del conductor que forma los devanados. Entonces, típicamente inductores con un gran valor de inductancia tienen mayor resistencia serie, al tener más devanados. Asimismo, inductores diseñados para el paso de poca potencia son físicamente de menor tamaño. Utilizan conductores de menor área transversal, y, por tanto, tienen un mayor valor resistivo.

Un factor importante es la frecuencia. A mayores frecuencias, debido al efecto *Kelvin*, o efecto pelicular, la resistencia del devanado crece. Esto es causado por una corriente cambiante dentro del conductor. Como se vio previamente en esta Sección, una corriente cambiante induce un cambio de flujo del tipo  $\frac{d\Phi}{dt}$ , el cual es perpendicular a la corriente que lo induce. Entonces, por la ley de *Lenz*, el flujo variable induce corrientes de *Foucault*, las cuales, a su vez, inducen un flujo. Este flujo se opone al flujo inicial. Entonces, las

corrientes de *Foucault* son de polaridad opuesta con respecto a la corriente inicial. Lo que pasa, entonces, es que el flujo inducido es más fuerte en el centro del conductor. Asimismo, es más débil en la superficie del conductor. De este modo, la densidad de corriente eléctrica disminuye en el centro del conductor a medida que aumenta la frecuencia. El aumento de frecuencia acelera, desde luego, el proceso previamente descrito.

De acuerdo a lo anterior, el efecto *Kelvin* produce una densidad de corriente más alta en la superficie del conductor que en el centro. Esto produce un aumento de la resistencia puesto que, si bien la resistividad del material es fija, disminuye el área efectiva por donde circula la corriente eléctrica. De acuerdo a (52), la resistencia aumenta.

La resistencia AC, por su parte, se determina de acuerdo a la profundidad a la cual una corriente circula a una determinada frecuencia. La densidad de corriente cae, en dicho punto, a  $\frac{1}{e}$  (aproximadamente un 37 %) veces la densidad de corriente que circula en la superficie. Esta profundidad de penetración se calcula de la siguiente manera:

$$Prof = \sqrt{\frac{\rho}{f\mu\pi}}, \quad (51)$$

donde  $\mu$  es la permeabilidad del conductor y  $\rho$  es la conductividad. Típicamente, la precisión de este cálculo es mayor cuando el radio del conductor es mucho mayor que la profundidad calculada o si el conductor es de superficie plana.

Para encontrar la resistencia AC se calcula el área efectiva de conducción del cable. Considérese un conductor en el que el radio es mayor a la profundidad previamente calculada, para una frecuencia determinada (lo cual en la práctica debe cumplirse). El área efectiva de conducción es, entonces, la superficie de un anillo conductor con un espesor igual a la profundidad de penetración. De este modo, el coeficiente entre la resistencia AC y la resistencia DC es la división de las dos áreas.

$$\frac{R_{AC}}{R_{DC}} = \frac{hr^2}{\pi r^2 - \pi(r - Prof)^2} \quad (52)$$

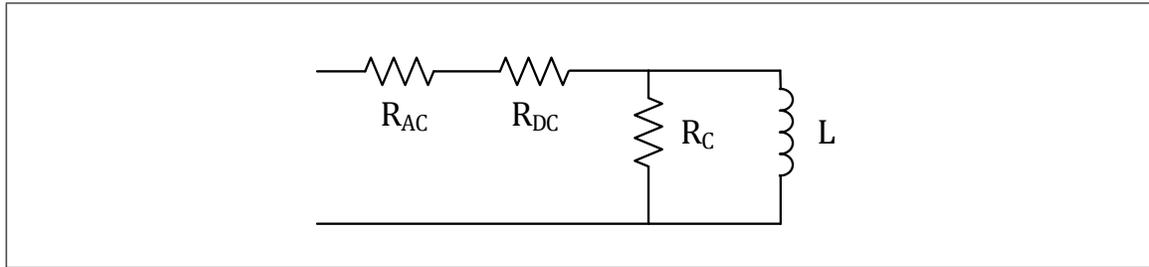


FIGURA 4.7. Circuito equivalente del inductor para ilustrar las pérdidas

En un convertor DC-DC, la resistencia AC actúa como un factor de pérdida de energía para el rizado de corriente que circula a través de él.

Ahora, corrientes de *Foucault* pueden ser producidas también por la presencia de otros conductores cercanos. Este efecto se conoce como el efecto proximidad. Inductores hechos con una gran cantidad de cables superpuestos pueden generar corrientes de *Foucault* mucho más grandes que las producidas únicamente por el efecto *Kelvin*. Esto implica que en estos casos la resistencia AC es considerablemente más alta.

Es posible, entonces, elaborar un circuito aproximado que representa las pérdidas en el inductor, el cual se presenta en la Figura 4.7.

$R_{AC}$  y  $R_{DC}$  representen las pérdidas en los devanados, mientras que  $R_C$  representa las pérdidas en el núcleo.  $R_{AC}$  es producida por el efecto *Kelvin* y/o por el efecto de proximidad previamente descrito.  $R_{DC}$  es la resistencia DC de los devanados. A su vez,  $R_C$  se obtiene a través de cálculos y estimaciones de pérdidas en el núcleo del inductor.

#### 4.2. Pérdidas en los *MOSFET* de potencia

Dados los valores que toma  $f_{PWM}$  para un correcto funcionamiento del modulador DC,  $T_1$  y  $T_2$  deben ser transistores tipo *MOSFET*. El objetivo de esta Sección es calcular las pérdidas existentes en los *MOSFET*.

Los transistores de potencia operan en modo corte-saturación. Además se considera el diodo en antiparalelo para que el transistor opere como un interruptor bidireccional. De este modo, las pérdidas pueden ser separadas en tres grandes grupos:

- Pérdidas por conducción ( $P_{\text{Cond}}$ )
- Pérdidas por conmutación ( $P_{\text{SW}}$ )
- Pérdidas por fuga (*leakage*) ( $P_{\text{leak}}$ )
- Pérdidas por conmutación en el diodo en antiparalelo ( $P_{\text{Drr}}$ )

Típicamente, las pérdidas por fugas son despreciables, por lo que las pérdidas en los *MOSFET* se pueden expresar, a modo general, de la siguiente manera:

$$P_{\text{MOSFET}} = P_{\text{Cond}} + P_{\text{SW}} \quad (53)$$

#### 4.2.1. Pérdidas por conducción

Las pérdidas por conducción son bastante simples de comprender y de calcular. Básicamente, haciendo la analogía del transistor como un interruptor, las pérdidas por conducción representan la disipación por los componentes resistivos del interruptor mismo. En la práctica esta es la resistencia *drain-source* del *MOSFET*,  $R_{\text{DS(ON)}}$ . Este parámetro es entregado por los fabricantes.

Así, la potencia disipada en la conducción es:

$$P_{\text{Cond}} = I_{\text{Drain}}^2 R_{\text{DS(ON)}}, \quad (54)$$

donde,  $I_{\text{Drain}}$  es la corriente de drenador, o *drain*. La pérdida de energía total en un período de conmutación es la integral de la potencia instantánea  $P_{\text{Cond}}$  disipada en un período de conmutación:

$$E_{\text{Cond}} = \int_0^{T_{\text{Conmutación}}} P_{\text{Cond}}(t) dt = \int_0^{T_{\text{Conmutación}}} I_{\text{Drain}}^2(t) R_{\text{DS(ON)}} dt, \quad (55)$$

donde  $E_{\text{Cond}}$  es la energía disipada por conducción en el *MOSFET* en un período de conmutación, y  $T_{\text{Conmutación}}$  es el período de conmutación. Respecto a la resistencia de conducción del *MOSFET*, un valor más preciso puede ser obtenido para un modelo específico de transistor considerando el efecto de la temperatura.

$$R_{DS(ON)}(T_J) = R_{DS(ON)MÁX}(25^\circ C) \left(1 + \frac{\alpha}{100}\right)^{T_J - 25^\circ C}, \quad (56)$$

donde  $T_J$  es la temperatura de juntura,  $R_{DS(ON)MÁX}(25^\circ C)$  es el máximo valor de  $R_{DS(ON)}$  a  $25^\circ C$  y  $\alpha$  es el coeficiente de temperatura. Estos parámetros son entregados por los fabricantes y están disponibles en las hojas de datos de los transistores. Este efecto toma especial relevancia por cuanto mayores sean las corrientes que circulen por los transistores. En el caso del inversor propuesto, como toda la potencia que fluye hacia la carga pasa por los transistores de los moduladores DC, y el filtro LC es un circuito resonante, las corrientes que circulan desde las fuentes DC hacia la carga son altamente distorsionadas, teniendo *peaks* relativamente altos. Por ende, las pérdidas por conducción se hacen relevantes en dichos transistores. Además, al ser la frecuencia de conmutación relativamente alta, el efecto de la temperatura es un factor relevante en el cálculo de  $R_{DS(ON)}$ . Por esta razón, sale a la luz la relevancia de utilizar transistores de bajos valores de resistencia de conducción.

Los *MOSFET* de potencia tienen un diodo en antiparalelo. También hay pérdidas por conducción de este diodo en antiparalelo. Dichas pérdidas se pueden estimar de la siguiente manera:

$$v_D = v_{D0} + I_{Diodo} R_D, \quad (57)$$

donde  $v_{D0}$  es el voltaje del diodo en conducción sin considerar el paso de corriente eléctrica,  $I_{Diodo}$  es la corriente a través del diodo y  $R_D$  es la resistencia eléctrica del diodo en conducción. Entonces, la potencia instantánea disipada en conducción del diodo es:

$$P_{Conducción\ Diodo} = v_{D0}(t) I_{Diodo}(t) + I_{Diodo}^2 R_D \quad (58)$$

Nuevamente, la energía disipada en un período de conmutación es:

$$E_{Diodo} = \int_0^{T_{Conmutación}} P_{Conducción\ Diodo}(t) dt = \int_0^{T_{Conmutación}} (v_{D0}(t) I_{Diodo}(t) + I_{Diodo}^2 R_D) dt \quad (59)$$

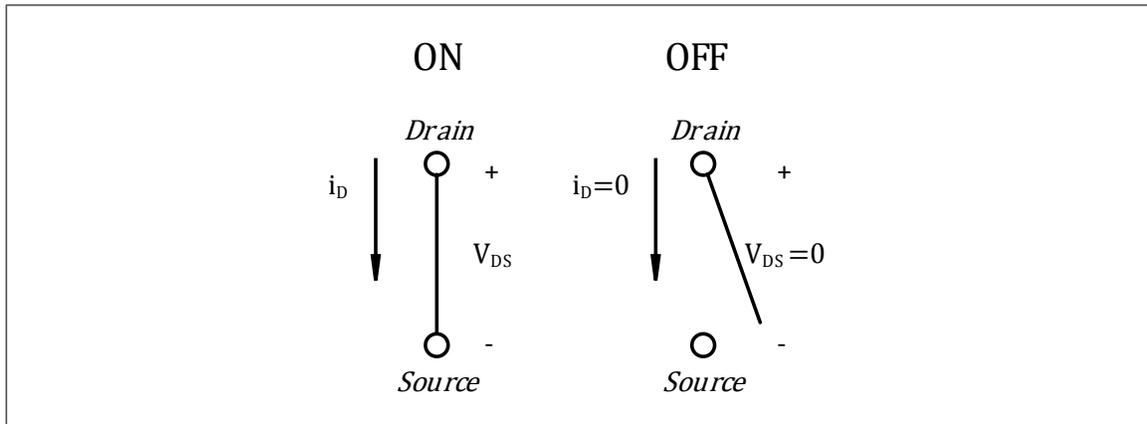


FIGURA 4.8. Modelo del *MOSFET* como interruptor ideal

#### 4.2.2. Pérdidas por conmutación

Las pérdidas por conmutación se producen básicamente por una superposición entre el voltaje  $V_{DS}$  del *MOSFET* y la corriente  $I_{Drain}$ .

Ahora bien, el producto de voltaje-corriente no es cero puesto que el tiempo de encendido y apagado del transistor no es nulo. En dichos instantes de tiempo intermedios la corriente y voltaje son diferentes de cero al mismo tiempo, produciéndose pérdidas. Se debe considerar que existe, entonces, un tiempo de encendido y apagado del *MOSFET*. Estos parámetros son entregados típicamente por los fabricantes. Considérese el modelo del *MOSFET* de potencia de la Figura 4.9 para el estudio de las no idealidades del *MOSFET* durante la conmutación.

En primera instancia se evaluarán las pérdidas por conmutación en el transistor superior del modulador DC. Considérese, entonces, el transistor superior,  $T_1$  de la Figura simplificada del modulador DC de la Figura 4.10. Cuando  $T_1$  conduce, la corriente a través de él es la corriente que va por el inductor  $I_L$ . A su vez, cuando no conduce,  $V_{DS}$  es el voltaje de alimentación  $V_{DC}$  (sin considerar la caída de tensión en  $T_2$ ). Ahora bien, como se mencionó previamente, el producto de estos elementos no es cero, debido a que el transistor no pasa de corte a saturación instantáneamente. De este modo, resulta conveniente separar el período de conmutación en cuatro períodos de tiempo  $t_1$ ,  $t_2$ ,  $t_3$  y  $t_4$ . La Figura 4.11 ilustra  $V_{DS}$ ,  $I_{Drain}$  y  $V_{GS}$  durante la conmutación. Cuando  $T_1$  se enciende, comienza a

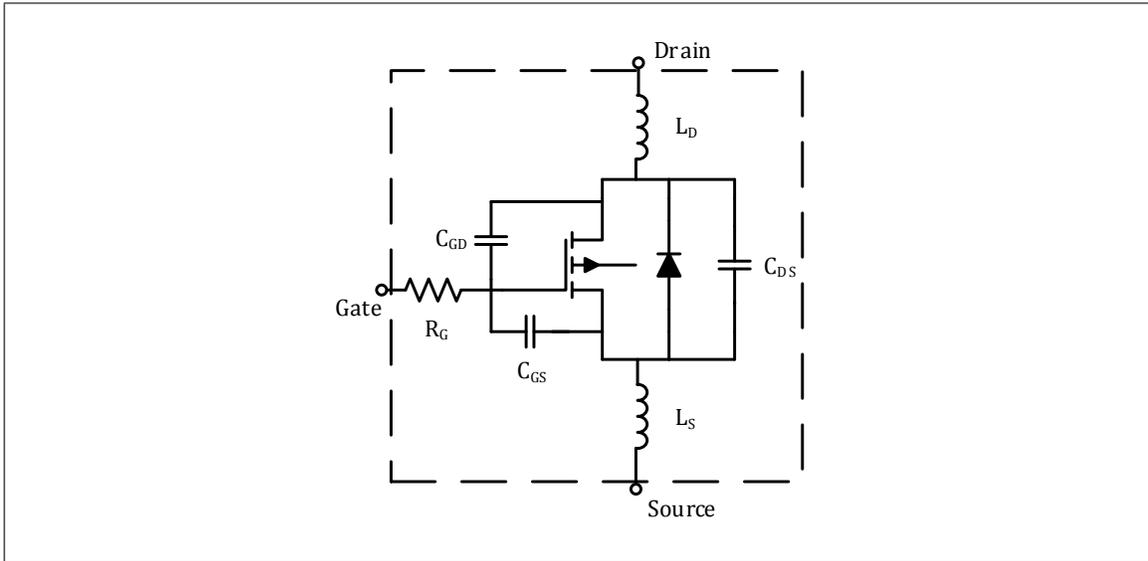


FIGURA 4.9. Modelo del *MOSFET* de potencia

circular corriente hacia el *gate* del transistor, cargándose su capacitor de entrada. El transistor no se enciende hasta que  $V_{GS}$  alcance el umbral  $V_{TH}$ . Por esto, durante  $t_1$  no hay pérdidas ya que no circula corriente a través del *MOSFET*. Sin embargo, cuando  $V_{GS}$  alcanza  $V_{TH}$ , la capacitancia de entrada ( $C_{GS}+C_{DG}$ ) se está cargando y la corriente de *drain* del *MOSFET* comienza a crecer hasta alcanzar el valor de la corriente  $I_L$  del inductor. Durante este período de tiempo, el *MOSFET* está sosteniendo entre su *drain* y su *source* el voltaje de entrada  $V_{DC}$ . El producto de  $V_{DS}$  e  $I_{Drain}$  no es cero. La energía en el transistor en este período es, entonces, el área bajo la curva del producto de dicho voltaje y dicha corriente en  $t_2$ :

$$E_{t_2} = \int V_{DS} I_{Drain} dt \quad (60)$$

Reescribiendo, en función de la Figura 4.11:

$$E_{t_2} = \left(\frac{V_{DC} I_L}{2}\right) t_2 \quad (61)$$

Ahora bien, cuando comienza el período  $t_3$ ,  $V_{GS}$  alcanza  $V_{SWP}$ , voltaje de punto de conmutación. Este valor se puede aproximar de acuerdo a la siguiente expresión:

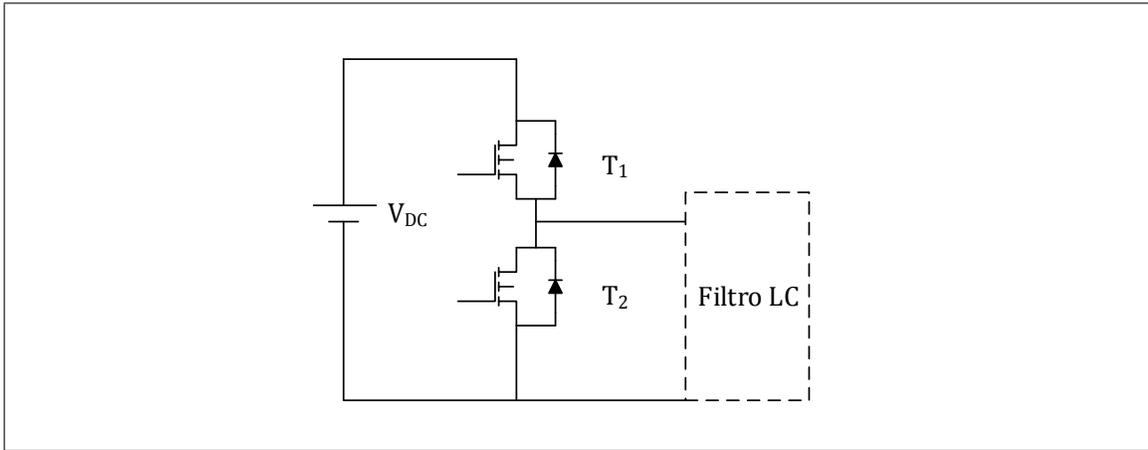


FIGURA 4.10. Modelo simplificado del modulador DC

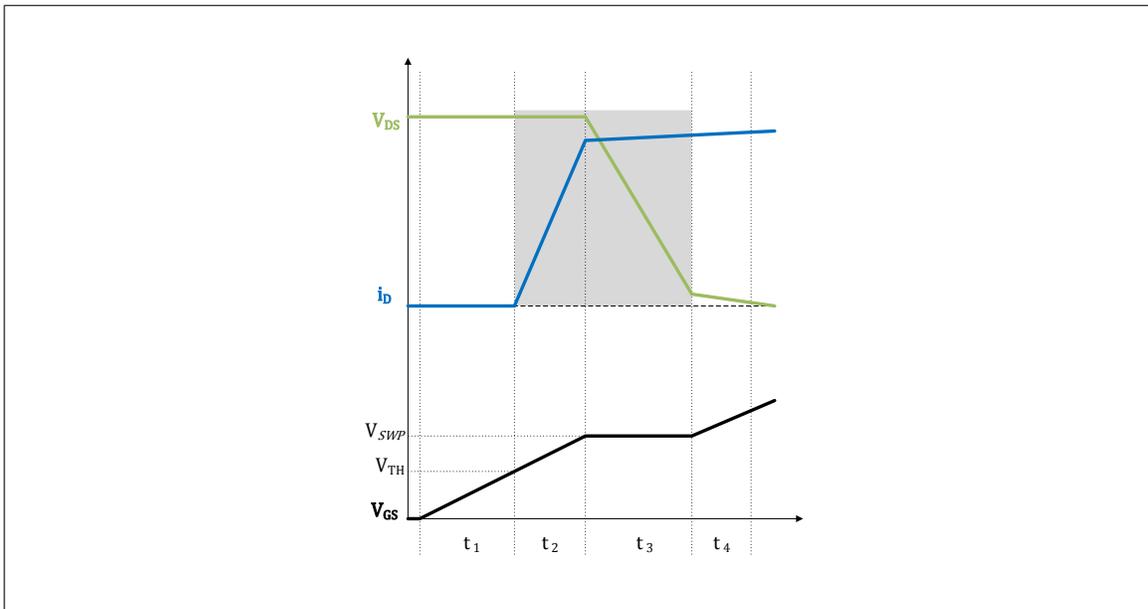


FIGURA 4.11.  $V_{DS}$ ,  $I_{Drain}$  y  $V_{GS}$  durante el tiempo de encendido de  $T_1$

$$V_{SWP} \approx V_{TH} + \frac{I_L}{G_M} \quad (62)$$

A su vez  $V_{DS}$  comienza a bajar. En este momento, la corriente de *gate* va recargando la capacitancia  $C_{GD}$ . De igual modo que en  $t_2$ , la energía del *MOSFET* en  $t_3$  es:

$$E_{t3} = \left(\frac{V_{DC} I_L}{2}\right) t_3 \quad (63)$$

En el instante  $t_4$ , el transistor está ensanchando el canal hasta obtener su resistencia estacionaria de conducción  $R_{DS(ON)}$ , concorde al voltaje  $V_{GS}$  aplicado. Las pérdidas en este período pueden ser despreciadas.

Así, recapitulando lo anterior, las pérdidas de conmutación quedan dadas por:

$$P_{\text{Conmutación } T_1} = \left( \frac{V_{DC} I_L}{2} \right) (t_2 + t_3) (f_{\text{Conmutación del MOSFET}}) \quad (64)$$

Ahora bien, sin cometer mayor error, es posible expresar  $t_2$  y  $t_3$  como un solo período de conmutación.

$$t_{\text{Transición}} \approx t_2 + t_3 \quad (65)$$

Sin embargo, cabe hacer la distinción entre las transiciones de encendido y apagado. Por ende se diferencian los períodos  $t_{\text{encendido}}$  y  $t_{\text{apagado}}$ . Los tiempos de encendido y apagado no necesariamente son iguales, y son típicamente entregados por los fabricantes. De todos modos, estos valores pueden ser aproximados en función del *driver* de voltaje utilizado y de la resistencia de *gate* del *MOSFET* ( $R_G$ ).

De este modo, se tienen las pérdidas totales por conmutación de  $T_1$  de acuerdo a la siguiente expresión matemática (considerando ambas transiciones):

$$P_{\text{Conmutación } T_1 \text{ Totales}} = \left( \frac{V_{DC} I_L}{2} \right) (t_{\text{encendido}} + t_{\text{apagado}}) (f_{\text{Conmutación del MOSFET}}) \quad (66)$$

Cabe destacar que  $I_L$  representa el valor de la corriente a través del inductor del modulador DC. Este valor depende del tiempo y no siempre es positivo. Esto entrega relevancia al estudio de las pérdidas por conducción en el diodo en antiparalelo.

También existen otras fuentes de pérdidas. Están las pérdidas de carga del *gate* del *MOSFET*. Estas pérdidas vienen desde la alimentación del *driver* de voltaje y dan cuenta de la energía entregada al *gate* del transistor para que éste se mueva en el intervalo de conmutación (ambos flancos).

$$P_{gate} = Q_G V_{Driver} (f_{Commutación \text{ del } MOSFET}), \quad (67)$$

donde  $Q_G$  es la carga entregada al *gate* del transistor durante la transición y  $V_{Driver}$  es el voltaje de alimentación del *driver* de voltaje. Cabe notar que no depende de la resistencia de salida del *driver* de voltaje.

Adicionalmente, cabe considerar que existen pérdidas de carga de la capacitancia de salida ( $C_{Salida} = C_{DS} + C_{DG}$ ). Resulta, por cierto conveniente utilizar la Figura 4.9 para el estudio de estas pérdidas.

$$P_{CDS} \approx \frac{C_{Salida} V_{DC}^2 f_{Commutación \text{ del } MOSFET}}{2} \quad (68)$$

Las pérdidas en el MOSFET  $T_2$  son de la misma naturaleza que  $T_1$ . Sin embargo las pérdidas por conmutación son de órdenes de magnitud considerablemente menores. Para comprender este elemento cabe analizar la conmutación de  $T_2$ . Cuando  $T_1$  conduce  $T_2$  no lo hace. Cuando  $T_1$  se abre, idealmente  $T_2$  se cierra de manera instantánea. Sin embargo esto no es así. En el caso del modulador DC, el *driver* de voltaje introduce en las señales de control ciertos retrasos para considerar el tiempo que un transistor demora en encenderse y apagarse. Evidentemente esto evita que  $T_1$  y  $T_2$  conduzcan al mismo tiempo. Esto se observa en la Figura 4.12. En dicha Figura se muestra el efecto magnificado, en donde los tiempos de encendido y apagado de los transistores no es necesariamente igual. Cuando  $T_1$  deja de conducir, existe un tiempo muerto antes de que  $T_2$  conduzca. Durante ese tiempo muerto se tiene, momentáneamente, la malla de la Figura 4.13 en el modulador DC.

La corriente a través del inductor lleva al voltaje del punto entre ambos transistores ( $V_{SW}$ ) a valores cada vez más pequeños, hasta ser negativo. El diodo en antiparalelo de  $T_2$  comienza entonces a conducir (en donde deben considerarse también las pérdidas asociadas por *reverse-recovery* que serán descritas en el siguiente punto). Esto implica que en el instante en que comienza a conducir ( $I_{Drain}$  comienza a crecer en  $T_2$ ), el voltaje  $V_{DS}$  de dicho transistor es del orden de los mili volts. En concordancia con el esquema mostrado previamente en la Figura 4.11, donde se analizaba la evolución de la corriente  $I_{Drain}$  de un

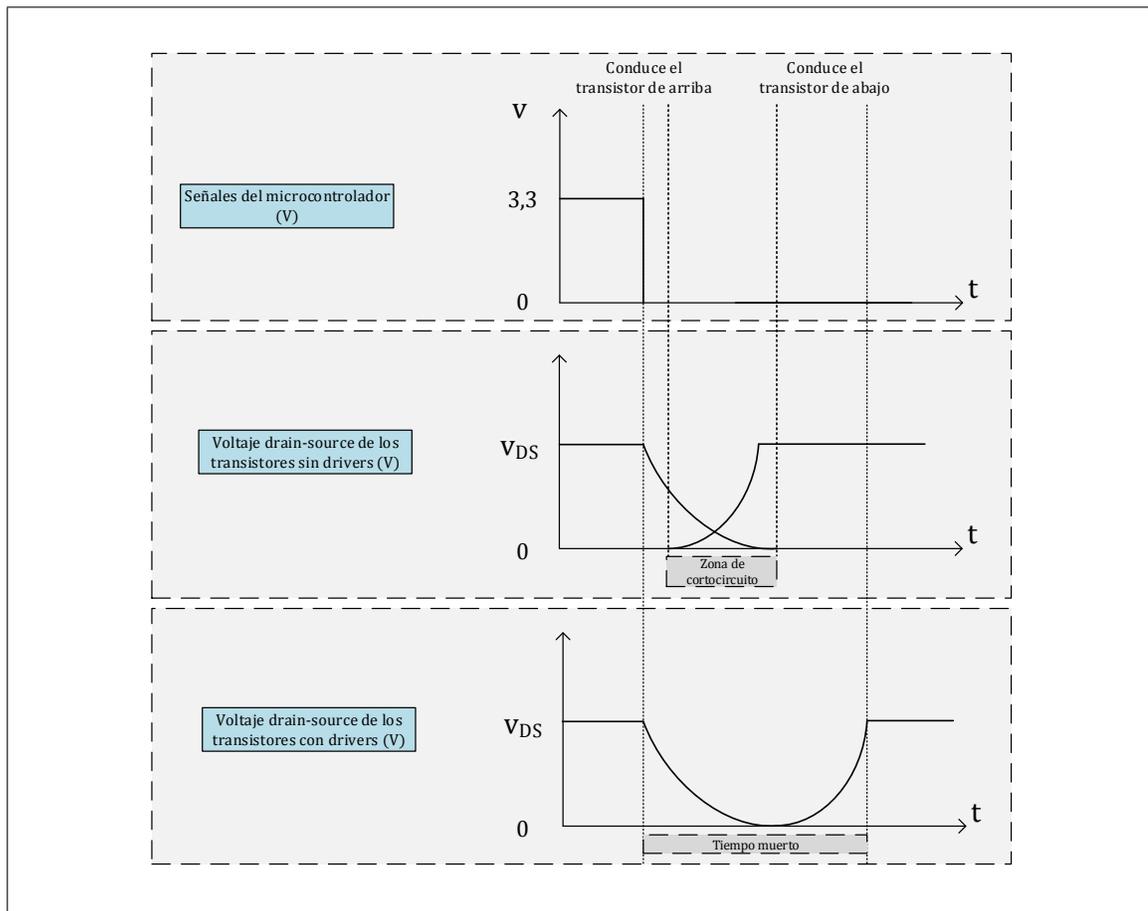


FIGURA 4.12. Ilustración de los tiempos muertos introducidos por el *driver* de voltaje

*MOSFET* versus el voltaje  $V_{DS}$  durante la conmutación, en el caso de  $T_2$ , el área bajo la curva de estos dos parámetros es mucho menor que en el caso de  $T_1$ .

Ahora bien, como el modulador DC opera con corrientes positivas y negativas con respecto a la carga, a diferencia de la operación típica de un convertidor DC-DC *Buck sincrónico*, ambos transistores disipan potencia por conducción. La corriente circula en ambos sentidos tanto en  $T_1$  como en  $T_2$ . A lo largo de un ciclo completo de conmutación, las diferencias de las pérdidas por conducción radican en que el ciclo de trabajo del modulador DC es variable. De este modo, si se considera que la corriente promedio manejada por ambos transistores a lo largo de un ciclo es similar, las pérdidas por conducción de  $T_1$  representan aproximadamente un 63,9 % del total de las pérdidas por conducción de los transistores.

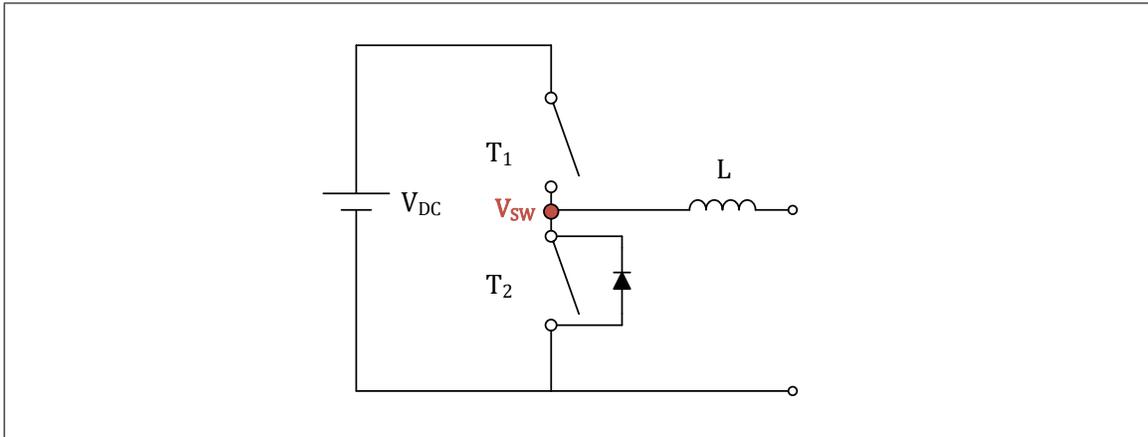


FIGURA 4.13. Malla momentánea entre el apagado de  $T_1$  y el encendido de  $T_2$

#### 4.2.3. Pérdidas por conmutación en los diodos

Las pérdidas por conmutación en los diodos se deben al apagado del diodo en anti-paralelo de  $T_2$ . Cuando este diodo conduce la corriente a través del inductor, se almacena carga en la unión  $PN$  de dicho diodo. Ahora, cuando  $T_1$  comienza a encenderse, una corriente negativa debe fluir primero a través del diodo para descargar la carga almacenada antes de que el diodo pueda bloquear un voltaje negativo. Durante ese instante, el voltaje *drain-source* de  $T_1$  sigue siendo el voltaje continuo de alimentación, hasta que toda la carga almacenada en el diodo sea descargada de este, cuando la corriente reversa de recuperación alcanza el valor negativo más alto. Luego, el diodo comienza a bloquear el voltaje negativo, pero la corriente negativa continua fluyendo para cargar la capacitancia de agotamiento del diodo. Así, toda esta carga involucrada se denomina carga inversa de recuperación (*reverse-recovery charge*),  $Q_{rr}$ . De este modo, las pérdidas por recuperación inversa, o conmutación, durante el periodo en que  $T_1$  conduce se calculan según la siguiente expresión:

$$P_{Drr} = Q_{rr} V_{DC} (f_{\text{Conmutación del MOSFET}}) \quad (69)$$

### 4.3. Simulación de la eficiencia del sistema

Considerando las pérdidas estudiadas previamente, tanto en el filtro LC como en los *MOSFET*, se elaboró una simulación en la herramienta computacional *Simulink* del *software Matlab*.

En la implementación computacional se considera la topología simplificada para la modulación *C-SVM* de la Figura 2.9. La magnitud de los voltajes de alimentación es de 150 V,  $f_{PWM}$  es de 80 KHz, y se utiliza un nivel de filtrado alto para una frecuencia de corte de 4 KHz ( $L = 20\mu H$  y  $C = 79\mu F$ ). La carga es un motor de inducción conectado en estrella de 0,3 KW y 50 Hz sin carga (modelo *SE2672-3G* de la marca *Lucas Nülle*). Los parámetros del motor fueron obtenidos mediante las pruebas en laboratorio de rotor bloqueado y de vacío.

Además, se han considerado modelos comerciales de transistores, inductores y capacitores para los cálculos de pérdidas en los moduladores DC.

La Figura 4.14 muestra el voltaje trifásico fase neutro en los terminales del motor y la Figura 4.15 muestra el voltaje de salida de los puentes H. A su vez, la Figura 4.16 muestra la eficiencia energética de los moduladores DC a lo largo de la simulación en régimen permanente.

La Figura 4.17 muestra las pérdidas porcentuales en el sistema de la Figura 2.9, con dos convertidores *Buck* sincrónicos como moduladores DC, modulados con *C-SVM* en régimen permanente. La Figura 4.18 muestra las pérdidas de la Figura 4.17 en *watts*. Se observa que las principales pérdidas en el sistema son en los transistores de los moduladores DC. A su vez, las pérdidas en los puentes H del sistema son principalmente con conducción, ya que la frecuencia de conmutación es baja (100 Hz). Las pérdidas en los inductores y capacitores de los filtros fueron consideradas juntas como pérdidas en el filtro LC. Por su parte, la Figura 4.19 muestra las pérdidas en los transistores de los moduladores DC del sistema descrito previamente. Se observa que, como se analizó anteriormente, las pérdidas en  $T_2$  son menores que en  $T_1$ .

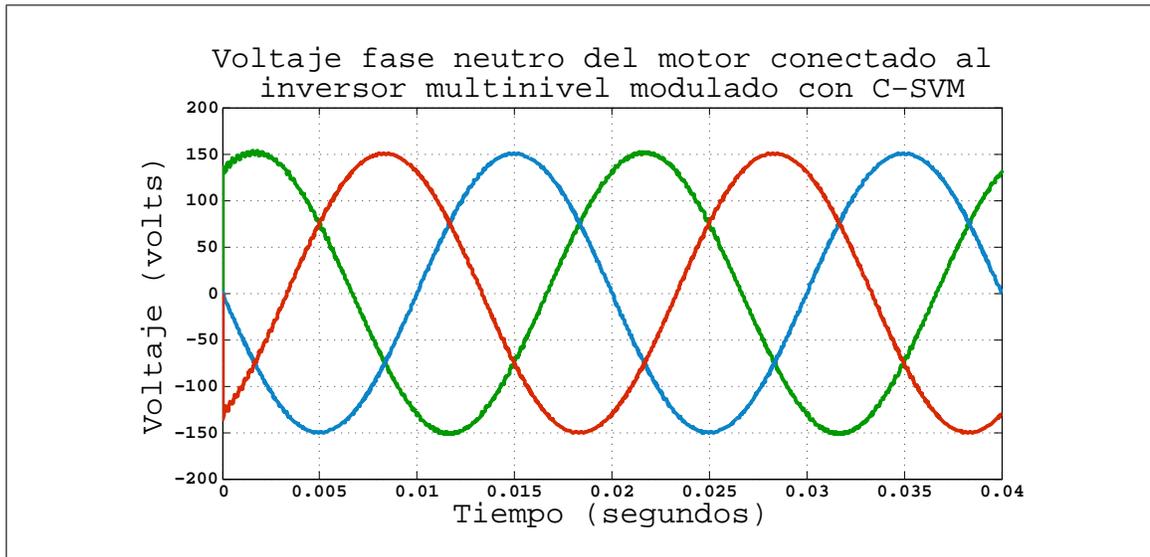


FIGURA 4.14. Voltaje trifásico fase neutro en el motor

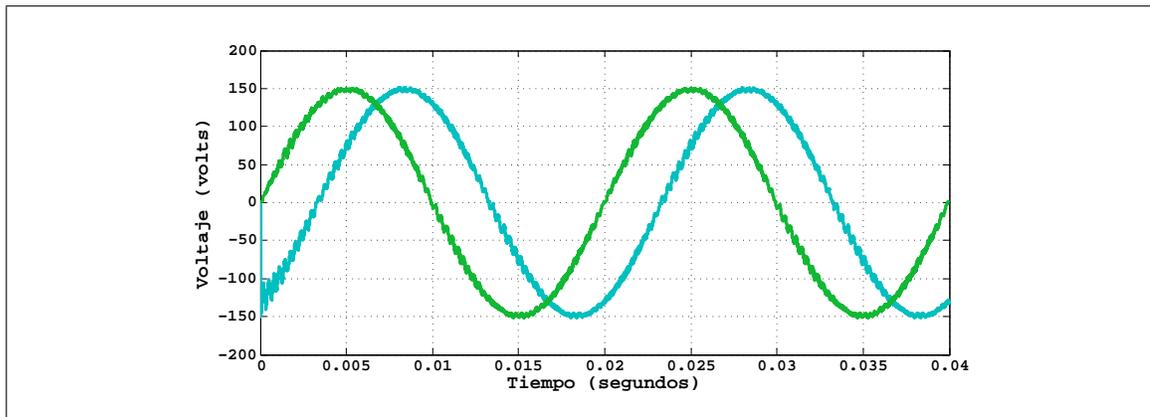


FIGURA 4.15. Voltaje en la salida de los puentes H

Se repitieron las simulaciones anteriores para diferentes frecuencias de conmutación. La Figura 4.20 muestra las pérdidas en los transistores de los moduladores DC para frecuencias de 20, 40, 60 y 80 KHz.

De las simulaciones realizadas se observa la influencia de la frecuencia de conmutación en el desempeño de los moduladores DC. Hay una importante correlación entre la frecuencia de conmutación y las pérdidas en los *MOSFET*.

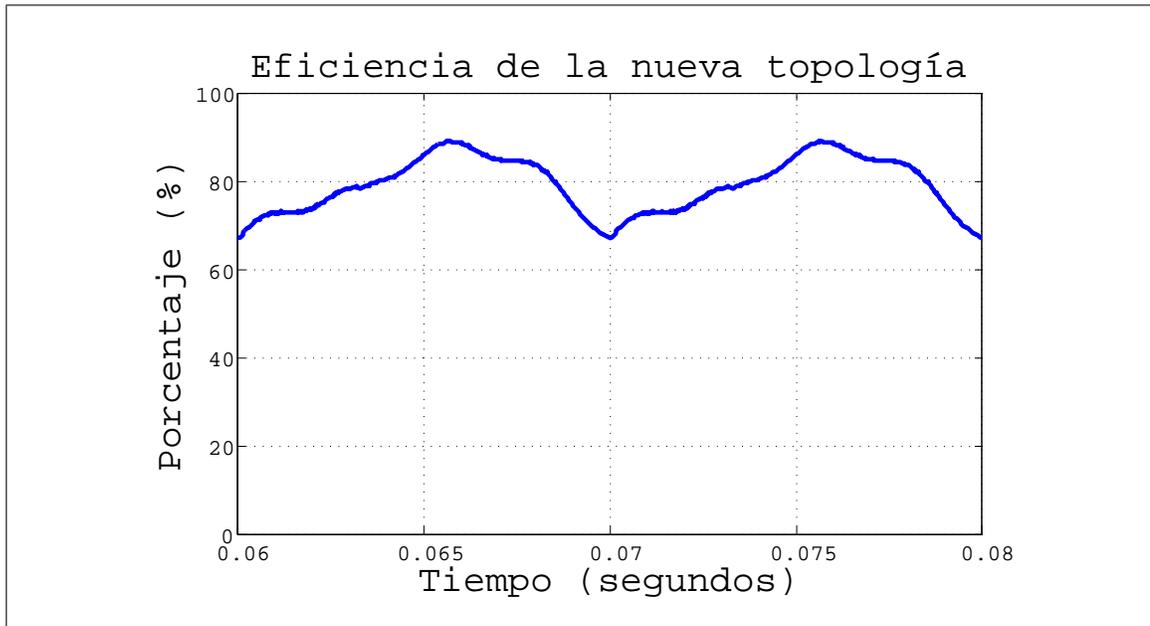


FIGURA 4.16. Eficiencia del sistema de la Figura 2.9 y dos convertidores *Buck* sincrónicos como moduladores DC, modulada con *C-SVM*

Se realizaron también otras simulaciones para ver cómo varía la eficiencia en diferentes situaciones. La Figura 4.21 se observa el efecto del nivel de filtrado en la eficiencia y en la *THD* del voltaje de salida.

Finalmente, se presentan las Figuras 4.22 y 4.23, en donde se observa respectivamente como la eficiencia del sistema disminuye para ciclos de trabajo menores (menor amplitud de  $\delta(t)$ ) y para mayores frecuencias de salida.

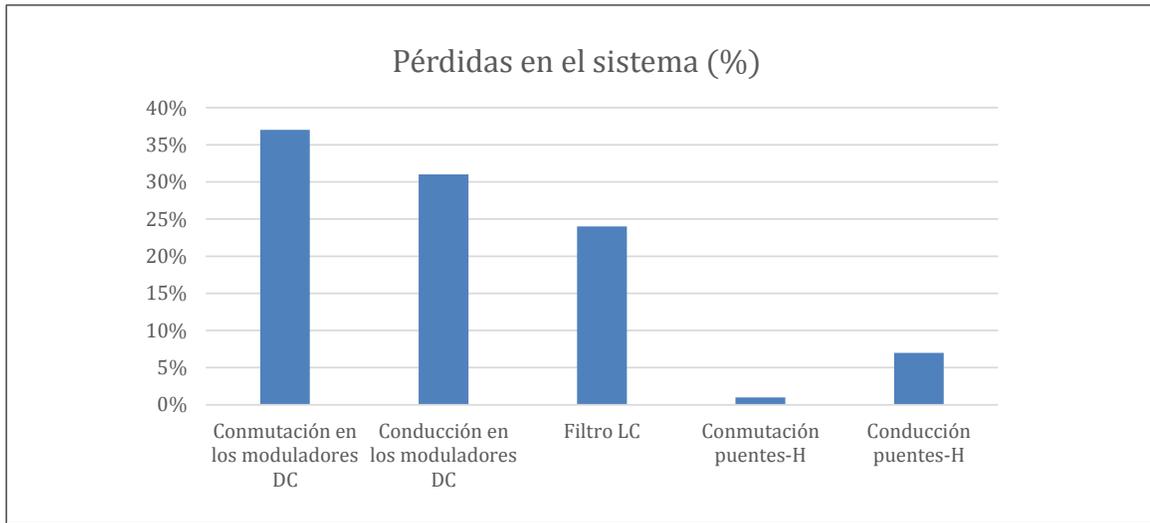


FIGURA 4.17. Pérdidas porcentuales en el sistema de la topología de la Figura 2.9 y dos convertidores *Buck* sincrónicos como moduladores DC, modulada con *C-SVM*

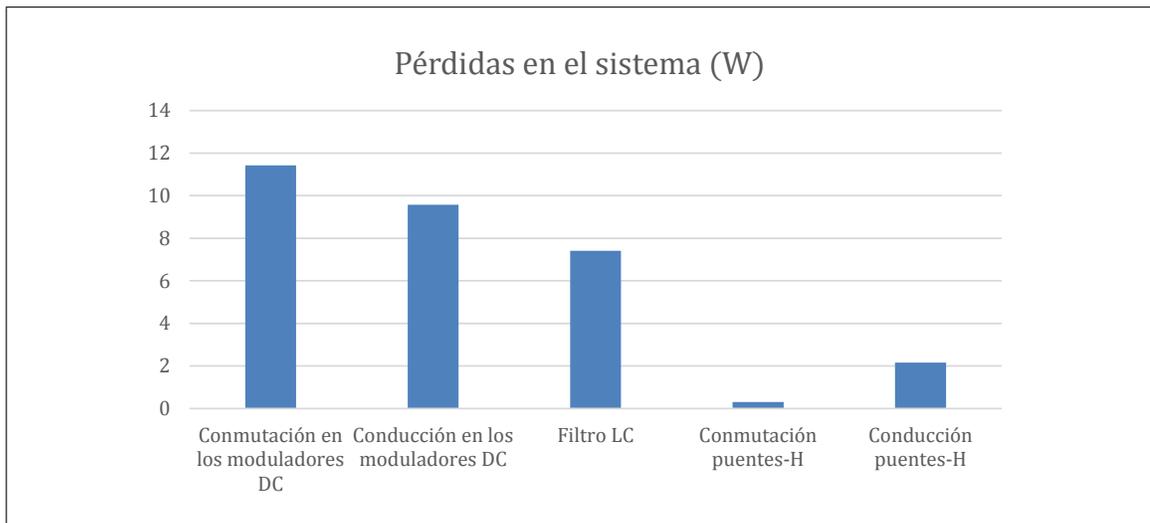


FIGURA 4.18. Pérdidas promedio por ciclo en el sistema de la topología de la Figura 2.9 y dos convertidores *Buck* sincrónicos como moduladores DC, modulada con *C-SVM*

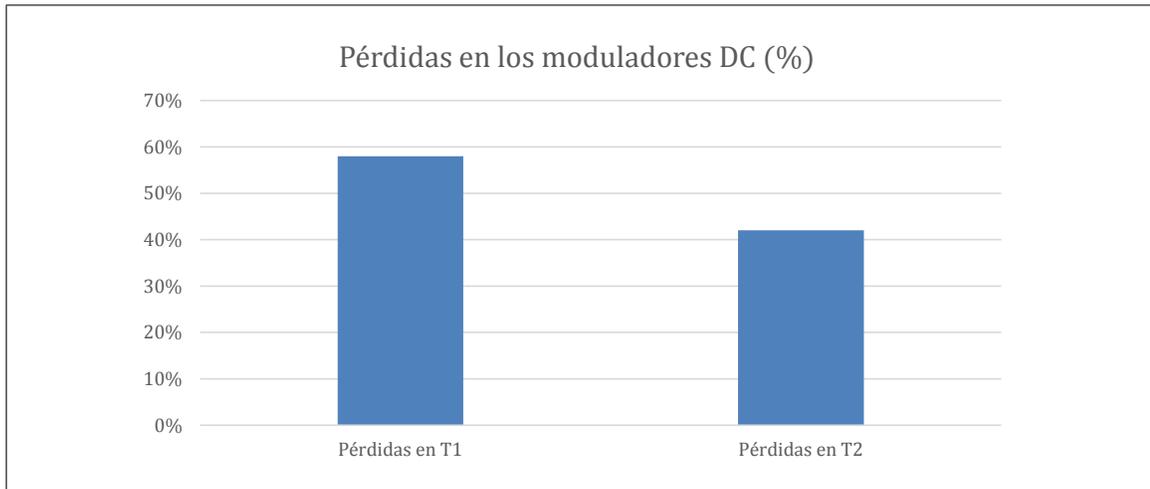


FIGURA 4.19. Pérdidas porcentuales en los transistores de los moduladores DC

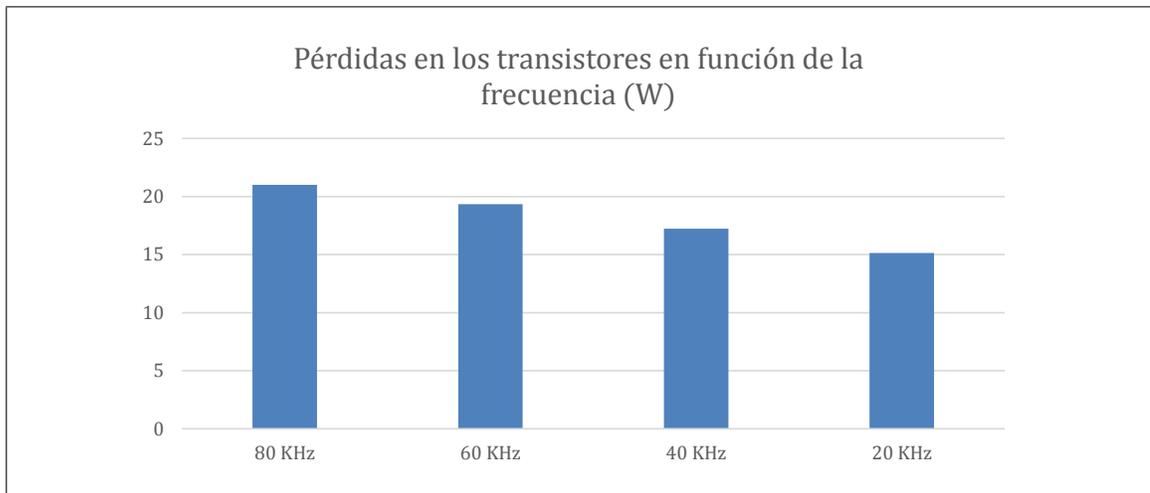


FIGURA 4.20. Pérdidas en los transistores de los moduladores DC para distintas frecuencias de conmutación

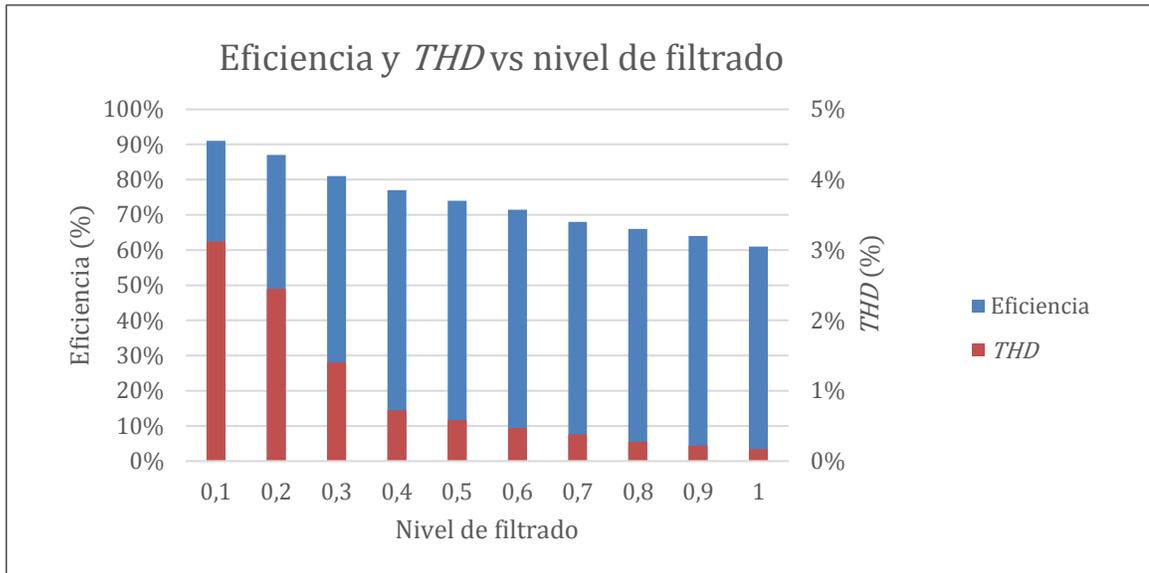


FIGURA 4.21. Eficiencia del sistema y  $THD$  del voltaje de salida para diferentes niveles de filtrado

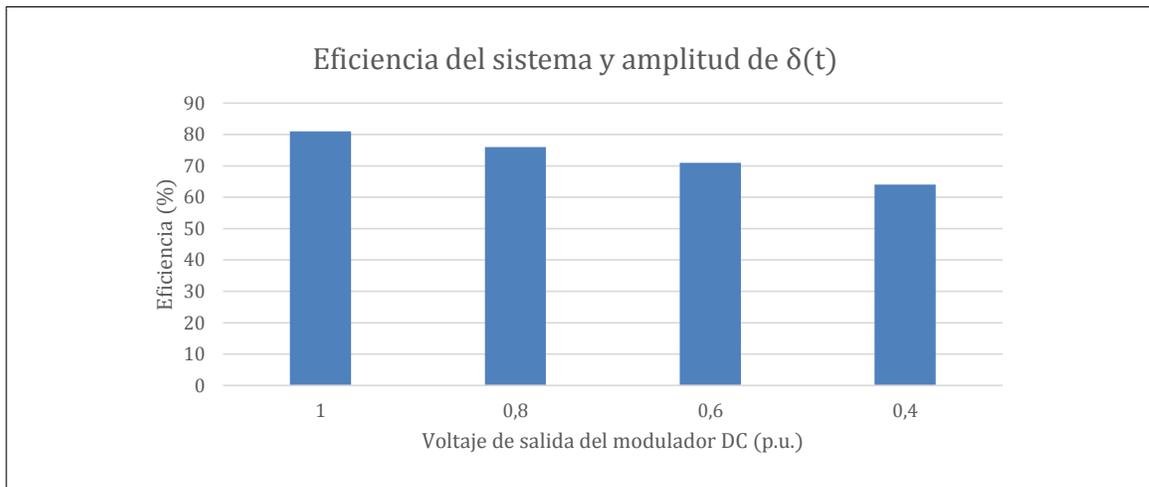


FIGURA 4.22. Eficiencia del sistema versus la amplitud de  $\delta(t)$

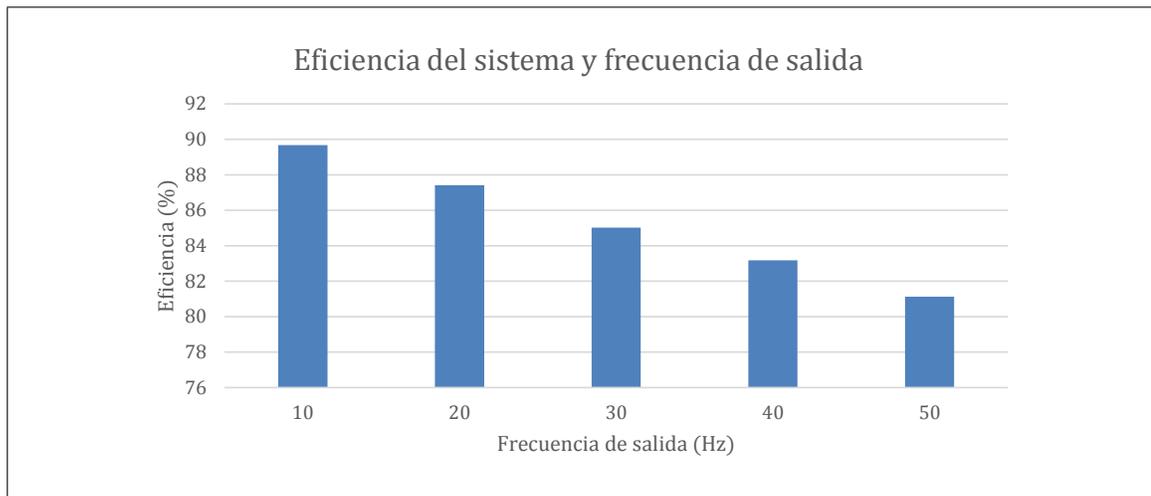


FIGURA 4.23. Eficiencia del sistema versus frecuencia de salida

## 5. IMPLEMENTACIÓN

Cuando se implementa un prototipo real de un circuito deben considerarse aspectos relacionados a las no idealidades de los componentes, tanto activos como pasivos. Al diseñar un circuito en un cuaderno, o en una plataforma computacional, aspectos tales como la resistencia de los cables e interferencias electromagnéticas en señales de control, entre otros factores, no son considerados. El presente capítulo busca repasar brevemente los aspectos más relevantes en la implementación de la nueva topología propuesta.

Los esquemáticos presentados en las Secciones previas son meramente conceptuales y están incompletos en lo que respecta a su implementación en laboratorio. Considérese la Figura 2.9, donde se ve la topología optimizada para la modulación *C-SVM* desarrollada en esta investigación. No se contemplan en dicha Figura elementos de protección para los transistores. Tampoco se detallan los mecanismos de disparo de los transistores. Así, se presentan a continuación los factores más relevantes en el proceso de implementación de un inversor de potencia.

### 5.1. Red amortiguadora

Los semiconductores de potencia son un elemento fundamental en el desarrollo de equipos de electrónica de potencia. Los circuitos de amortiguamiento, o *snubbers*, son elementos ubicados a través de los semiconductores para su protección y mejora de su desempeño. Un inversor tipo puente H, por ejemplo, no puede operar si uno de sus transistores de potencia falla. Los circuitos amortiguadores ayudan a minimizar los factores que pueden conllevar dichas fallas. Esta reducción de riesgo se alcanza a través de la disminución de altos  $\frac{di}{dt}$  y/o  $\frac{dv}{dt}$ , reducción de pérdidas por conmutación y la eliminación de picos de corriente y/o voltaje, entre otros aspectos.

Una de las principales razones para usar amortiguadores es la presencia de inductancias parásitas en los circuitos, lo que genera *peaks* de voltaje y resonancia a determinadas frecuencias. Altos valores de inductancia parásita implica más carga sobre el circuito de

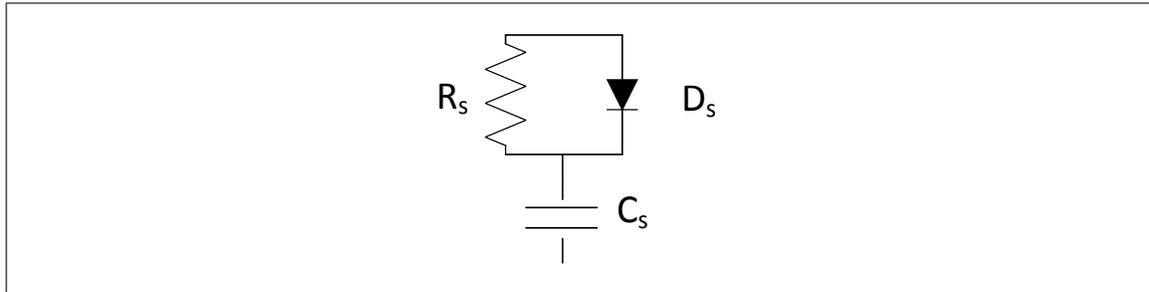


FIGURA 5.1. Circuito *RCD* de amortiguamiento utilizado en transistores de potencia

*snubber* además de mayor disipación. Existen una gran cantidad de circuitos *snubbers* diferentes [vom Dorp et al., 2011], sin embargo los más comunes son las redes RC (resistor y capacitor) y las redes *RCD* (resistor, capacitor y diodo).

Para aplicaciones en inversores, la red *RCD*, mostrada en la Figura 5.1, resulta óptima. Además de limitar los picos de voltaje, esta red reduce las pérdidas totales del circuito. Esto pasa principalmente por reducir las pérdidas por conmutación. De todos modos cabe considerar que el diodo en paralelo con el resistor  $R_S$  implica que la resistencia efectiva durante la carga del capacitor  $C_S$  es nula. Sin embargo, durante el apagado del semiconductor, el voltaje del interruptor crece controladamente a medida que la corriente decae. El pico de potencia asociado al máximo voltaje simultáneo con el máximo de corriente es eliminado. Esto resulta en menores pérdidas por conmutación y un menor estrés por el *peak* de voltaje. Considérese un circuito básico de prueba para la red amortiguadora *RCD*, mostrado en la Figura 5.2. A medida que  $C_S$  se hace más grande, el pico de potencia y las pérdidas por conmutación disminuyen. Ahora, una mayor capacitancia del capacitor de la red amortiguadora implica más pérdidas en  $R_S$  cuando la válvula se enciende, y, por tanto, el capacitor se descarga a través del resistor y del interruptor. Por tanto, existe un *trade-off* entre la eficacia del amortiguamiento y la eficiencia del sistema.

Es importante recalcar que resulta conveniente referirse al voltaje *drain-source* del transistor en el tiempo ( $V_{drain-source}(t)$ ) como  $E$  en el presente análisis, de modo de coincidir con la literatura existente. Así, el voltaje cuando el transistor no conduce,  $V_{drain-sourceOFF}$ , será  $E_0$ .

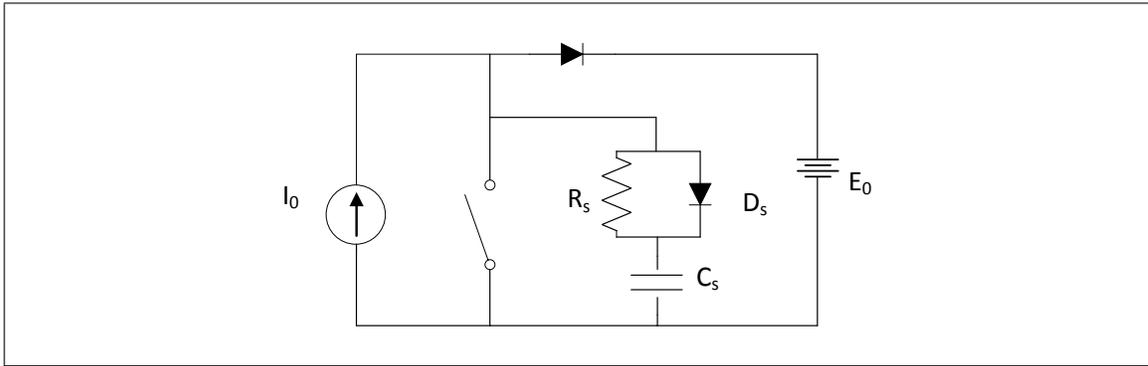


FIGURA 5.2. Circuito de prueba de la red *snubber* RCD conectada a un transistor de potencia

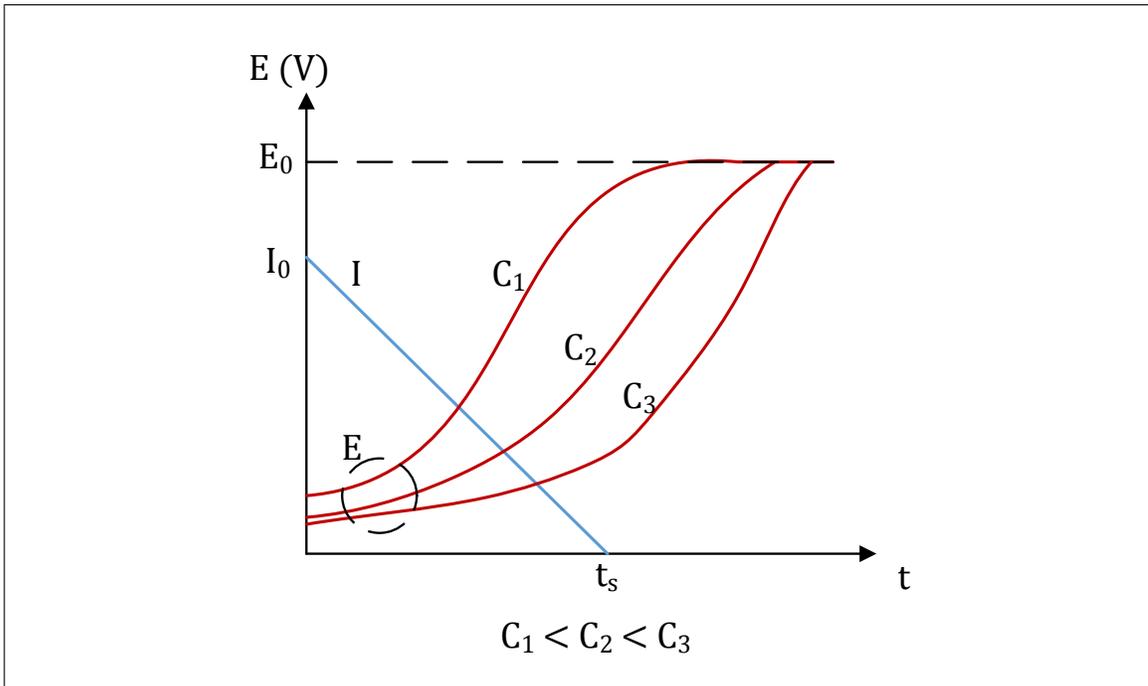


FIGURA 5.3. Gráfico de corriente versus voltaje en un transistor de potencia con red de amortiguamiento

Ahora, dependiendo del valor de  $C_s$ , el voltaje del transistor puede alcanzar  $E_0$  antes o después de que la corriente eléctrica alcance el valor cero. El caso en que  $E$  alcanza  $E_0$  en el mismo instante en que  $I = 0$  se define como el amortiguador óptimo. En tal caso se tiene que, de acuerdo a lo observado en la Figura 5.3:

$$C_{\text{Óptimo}} = \frac{I_0 t_S}{2E_0}, \quad (70)$$

donde  $t_S$  es el tiempo que la corriente demora en caer a cero.

Cuando se usa un capacitor pequeño ( $C_S < C_{\text{Óptimo}}$ ), las pérdidas por conmutación disminuyen rápidamente. Si  $C_S$  crece, las pérdidas por conmutación crecen, pero en menor medida del aumento de pérdidas en la red *snubber* misma.

En los casos en que se requiere disminuir las pérdidas totales de conmutación, el valor de  $C_S$  es usualmente la mitad de  $C_{\text{Óptimo}}$ . En tal caso  $R_S$  se selecciona para permitir que el voltaje en  $C_S$  caiga a un valor relativamente bajo durante el mínimo tiempo de encendido de la válvula. Esto, por cierto, hace sentido al considerar el *PWM* variable en el modulador DC. Entonces, la caída de voltaje mencionada es exponencial. En dos constantes de tiempo ( $\tau = R_S C_S$ ) el voltaje será alrededor del 14 % de  $E_0$ . Típicamente, este valor es aceptable para transistores de potencia en convertidores. Así, se tiene entonces que:

$$R = \frac{2}{t_{\text{ONMínimo}} C_S} \quad (71)$$

La selección de los componentes debe considerar el alto estrés de corriente eléctrica en el capacitor, tanto en los valores *peak* como en el valor *RMS*. Por su parte, es importante que el resistor tenga un bajo valor de autoinductancia. La inductancia en  $R_S$  va a aumentar el *peak* de voltaje en desmedro del desempeño de la red *snubber*. Cuando la autoinductancia de  $R_S$  es pequeña, un aumento de  $C_S$  va a contrarrestar su efecto, reduciendo los *peaks* de corriente durante el encendido.

## 5.2. Aislación y disparos

Tanto los inversores como los moduladores DC de la presente investigación basan su funcionamiento en los transistores que los componen. Se estudió la importancia de las redes amortiguadoras, pero no se ha entrado en mayor detalle en los mecanismos de disparo de los transistores.

Se han considerado transistores tipo *MOSFET* en esta investigación, los cuales son disparados por pulsos de voltaje ( $V_{GS}$ ). La Figura 2.12 ilustra la secuencia de selección de vectores de voltaje (así como la modulación DC) para la topología optimizada modulada con *C-SVM*. Esta secuencia de selección de vectores depende del ángulo de la referencia. La Figura 2.12 ilustra dicho proceso para medio ciclo de la referencia. Para el ciclo completo el proceso es análogo, y el efecto conjunto de la modulación DC y la selección de los vectores indicados asegura el éxito de la modulación *C-SVM*. La modulación DC está, en este nivel, apropiadamente estudiada y analizada, pero la selección de vectores ha sido mencionada de manera vaga. Esto es por dos razones: primero, el proceso de selección de vectores es sumamente simple en comparación a la modulación DC, y, segundo, la relevancia de este proceso solo sale a la luz al momento de construir el prototipo.

Los vectores de voltaje de los inversores son identificados mediante números, que dan cuenta de qué transistor conduce y cuál no. En los inversores tipo puente H, los tres vectores posibles son -1, 0 y 1. Sin embargo, yendo a un nivel más básico, cada vector de voltaje depende de la conducción o no conducción de los transistores del sistema. Y la conducción de un *MOSFET* depende de  $V_{GS}$ . En otros términos, la conducción de un *MOSFET* depende de una variable binaria (donde el 1 lógico corresponde al valor de  $V_{GS}$  que dispara al transistor). Por ende, el controlador del inversor va definiendo dichas variables binarias, para asegurar los vectores de voltaje en función de la modulación *C-SVM*. Estas señales lógicas (típicamente de 3,3 o 5 V) son la salida del controlador. Ahora, estas señales no están conectadas al transistor directamente. El controlador debe estar aislado eléctricamente del inversor, puesto que de no ser así el controlador se dañaría, al manejar niveles de potencia de diferente orden de magnitud. Por ende, se debe considerar algún elemento aislante entre el controlador y el inversor (etapa de potencia). Un elemento aislante utilizado típicamente es el optoacoplador, que es en esencia un diodo tipo *LED* y un fototransistor. Las señales binarias son así transmitidas a la etapa de potencia a través de un haz de luz, aislando el controlador de la etapa de potencia. Además, como se estudió previamente, existe un

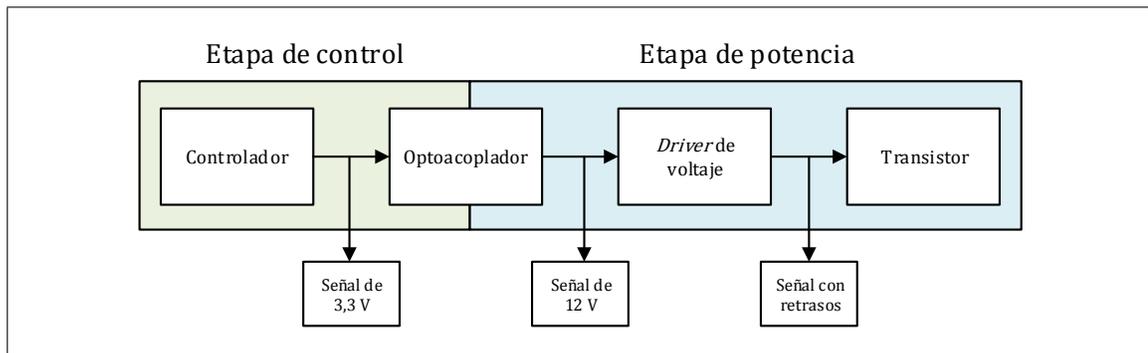


FIGURA 5.4. Secuencia de las señales de disparo de los transistores, considerando la aislación entre la etapa de control y la etapa de potencia

bloque *driver* de voltaje que genera retrasos en las señales de control para evitar cortocircuitos, considerando los tiempos de encendido y apagado de los transistores. La Figura 5.4 muestra la aislación y los bloques asociados al disparo de los transistores.

### 5.3. Otros aspectos a considerar

Un aspecto fundamental a considerar es el nivel del filtrado. Las consecuencias del nivel de filtrado son las altas corrientes demandadas a las fuentes DC (las cuales circulan por el filtro LC). Por ende, el dimensionamiento en potencia de los componentes del modulador DC, así como de la alimentación DC (sea un rectificador desde la red eléctrica, una batería o una fuente de laboratorio), es diferente al de los inversores. Al diseñar la placa *PCB* del modulador DC se deben considerar diversos factores de diseño eléctrico, como la disposición geométrica de los componentes, corrientes eléctricas que circularán e interferencias electromagnéticas en señales de control [Shah et al., 2008]. Además, debe considerarse que las pistas de cobre soportarán una corriente eléctrica mayor a la demandada por la carga (corrientes circulantes en la malla LC). Se propone una lista de factores de diseño a considerar para la presente investigación. Esto es pues el diseño eléctrico de un proyecto determina el éxito de este.

- Las corrientes circulantes en la malla LC, provenientes de las fuentes DC, imponen una capacidad mayor de manejo de corriente en los moduladores DC y las fuentes de voltaje continuo.
- Las fuentes de voltaje continuo, a su vez, deben manejar corrientes bidireccionales, en función de las corrientes circulantes en la malla LC (Figura 3.24).
- De acuerdo al análisis de pérdidas en el modulador DC, debe considerarse el calentamiento de los transistores. Por ende se deben dimensionar los disipadores térmicos apropiados para evitar dañar el circuito [Albina, 2005].
- El diseño de la de la red *snubber* de los transistores de los moduladores DC debe considerar el alto valor de  $f_{PWM}$  y las corrientes circulantes.
- La disposición de los componentes, el diseño de la placa PCB y la presentación del prototipo deben cumplir con el estándar ECMA-287. Esto contempla un análisis de las fuentes de voltaje a utilizar, el nivel de aislamiento y las protecciones presentes.

## 6. RESULTADOS EXPERIMENTALES

Se implementó la topología de la Figura 2.9 en laboratorio. Los moduladores DC utilizados fueron dos *choppers Buck* sincrónicos. Debido a las altas corrientes circulantes en las mallas LC de los moduladores DC, se utilizaron dos fuentes continuas de 20 V cada una. La carga utilizada fue un banco trifásico de resistencias de 20  $\Omega$ .

En los moduladores DC se utilizó un filtro con frecuencia de corte de 4 KHz (un inductor de 68  $\mu H$  y un capacitor de 22  $\mu F$ ). El controlador utilizado en el prototipo fue el modelo *dsPIC33FJ12GP 202* de la compañía *Microchip*. El osciloscopio utilizado para obtener estas mediciones fue el modelo *Fluke 190-104/S ScopeMeter*<sup>®</sup>, de la marca *Fluke*, y las imágenes fueron capturadas a través del *software FlukeView*.

El objetivo de esta implementación en laboratorio es demostrar que es posible generar una onda de voltaje sinusoidal trifásica con la modulación *C-SVM* en la nueva topología propuesta. Las siguientes Figuras muestran los resultados obtenidos, en donde se observa que se consiguió el objetivo: el sistema de la Figura 2.9, modulado con *C-SVM*, operando como fuente de voltaje en lazo abierto, es capaz de generar una onda de voltaje trifásico sinusoidal de alta calidad. Estos resultados se observan en las Figuras 6.3 y 6.4. Es más, los rizados de voltaje son prácticamente despreciables, lo cual se observa en la Figura 6.5. Se observan además las corrientes circulantes, y los voltajes en los moduladores DC y en los puentes H (Figuras 6.6, 6.1 y 6.2).

La Figura 6.7 muestra el voltaje y corriente en la fase *a* de la carga, donde puede verse el factor de potencia de esta.

Luego, en base al prototipo armado, se construyó un prototipo auxiliar compuesto solamente por los moduladores DC. En este caso, manteniendo la frecuencia de corte, se reemplazaron los componentes del filtro LC de modo de disminuir el nivel de filtrado (un inductor más grande y un capacitor más pequeño). En primera instancia se utilizó un inductor y un capacitor de 140  $\mu H$  y 11  $\mu F$  respectivamente. Los resultados obtenidos muestran un voltaje de salida (hemiciclos sinusoidales,  $V_{\text{Modulador DC}}(t)$ ) de peor calidad que en el caso anterior, con un nivel de rizado de voltaje mayor.

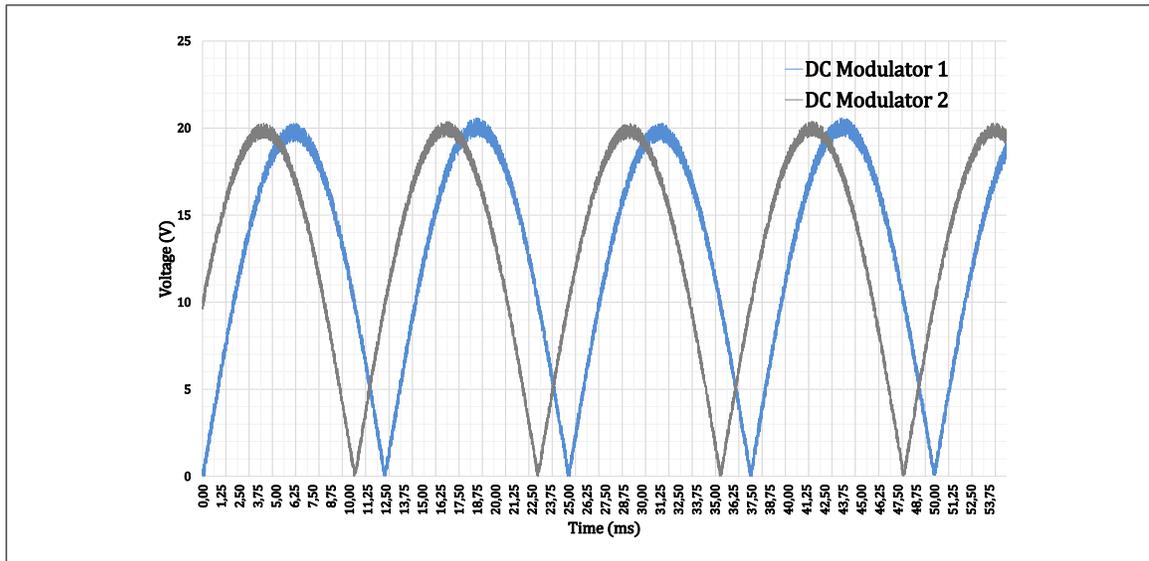


FIGURA 6.1. Voltaje en la salida de los moduladores DC ( $V_{\text{Modulador DC}}(t)$ )

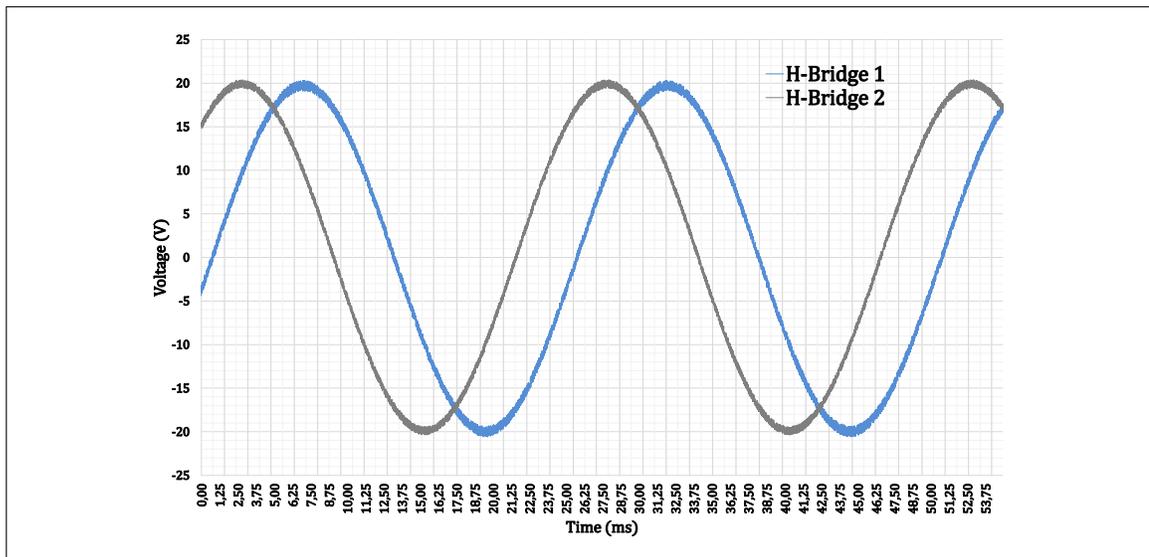


FIGURA 6.2. Voltaje en la salida de los puentes H

Posteriormente, se volvió a modificar el filtro LC del prototipo auxiliar, disminuyendo nuevamente el nivel de filtrado, utilizando un inductor de  $250 \mu H$  y un capacitor de  $6 \mu F$ . El voltaje de salida presentó un rizado considerablemente mayor que en los casos previos y la corriente circulante en la malla LC fue, por su parte, bastante menor. Los resultados de

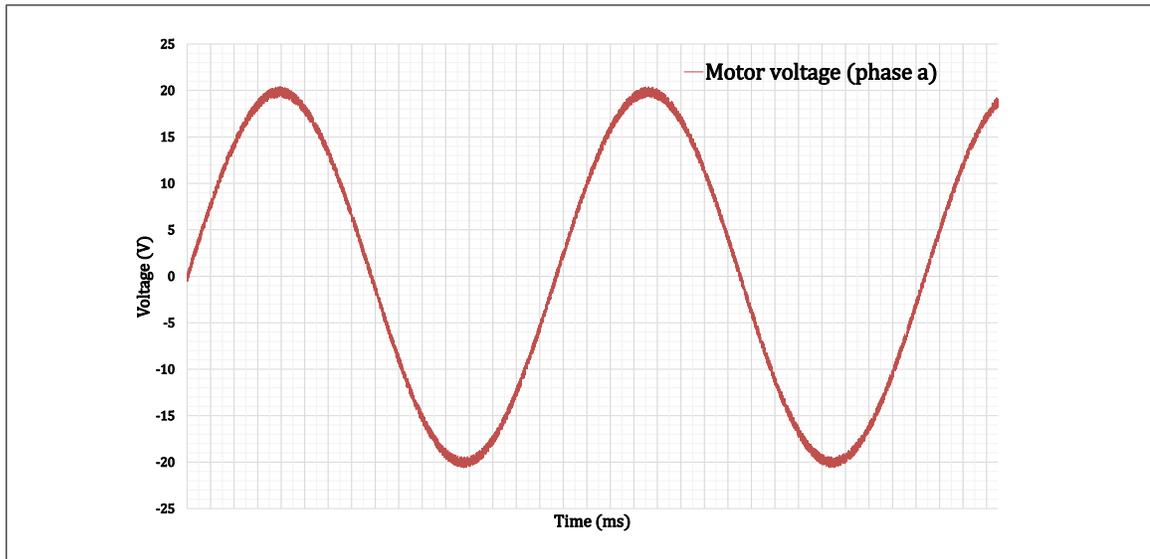


FIGURA 6.3. Voltaje en la fase *a* de la carga trifásica

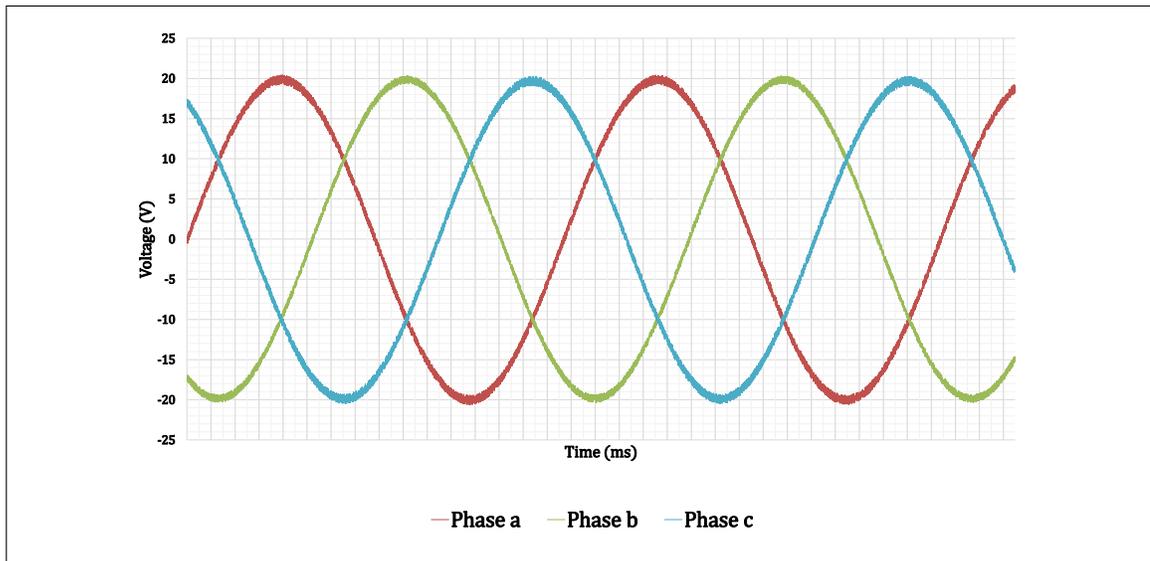


FIGURA 6.4. Voltaje trifásico en la carga

las pruebas al prototipo auxiliar se observan respectivamente en las Figuras 6.8, 6.9, 6.10 y 6.11.

Una breve contraposición de los tres niveles de filtrado probados en laboratorio se observa en la Figura 6.12, en donde se expone el rizado de  $V_{\text{Modulador DC}}(t)$  medido en cada caso, en función de la amplitud del voltaje de alimentación DC (el primer caso corresponde

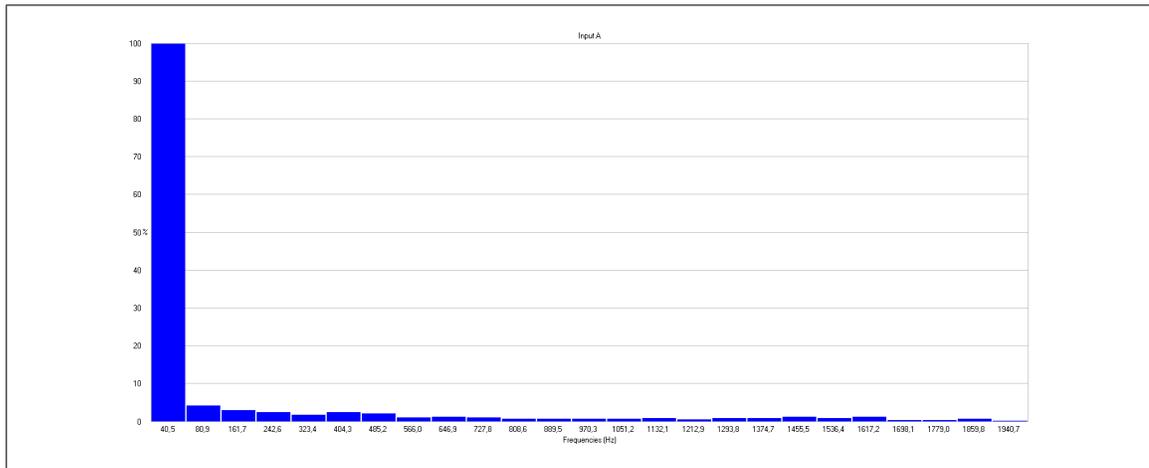


FIGURA 6.5. *FFT* del voltaje medida en la fase *a*

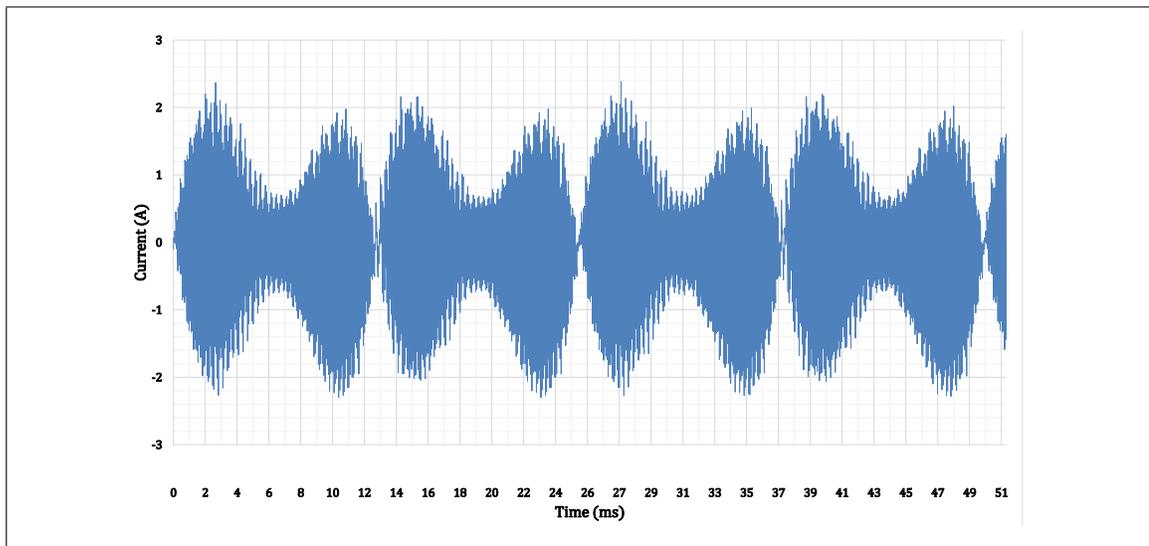


FIGURA 6.6. Corrientes circulantes en uno de los moduladores DC. El máximo *peak* medido fue de 2,2 A

al nivel de filtrado más alto, utilizado para implementar la topología completa de la Figura 2.9). Notar que las corrientes circulantes en la malla LC decrecen conforme disminuye el nivel de filtrado, lo cual es consecuente al *trade-off* estudiado en las Secciones previas.

Finalmente, las Figuras 6.13 y 6.14 muestran, en base a los resultado obtenidos en laboratorio, el *trade-off* estudiado entre el nivel de filtrado y las corrientes en la malla LC. Se observa claramente cómo un nivel de filtrado alto requiere de una corriente alta (*peak*

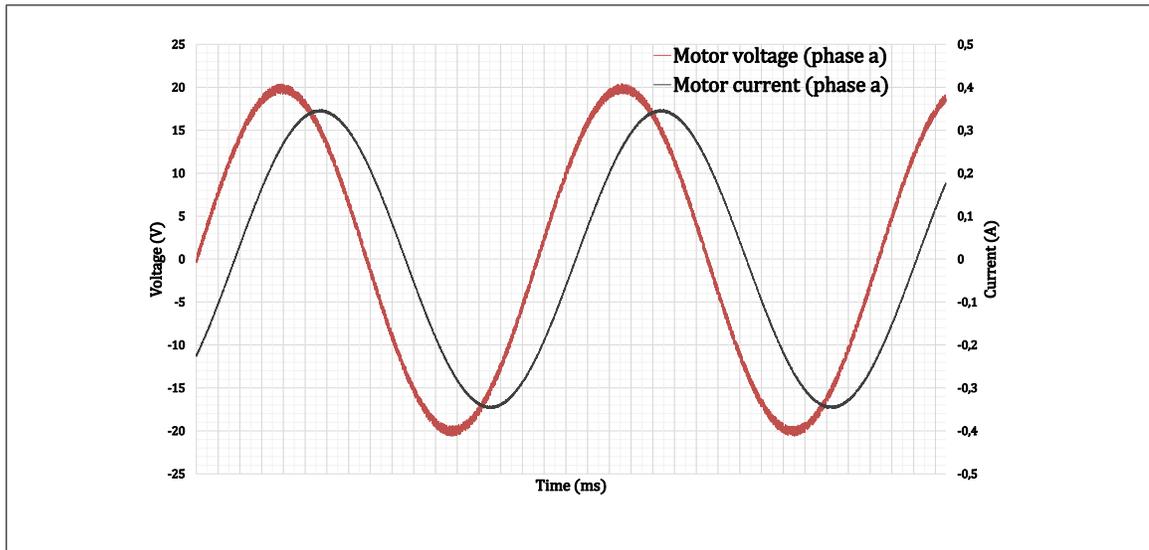


FIGURA 6.7. Voltaje y corriente en la fase *a* de la carga

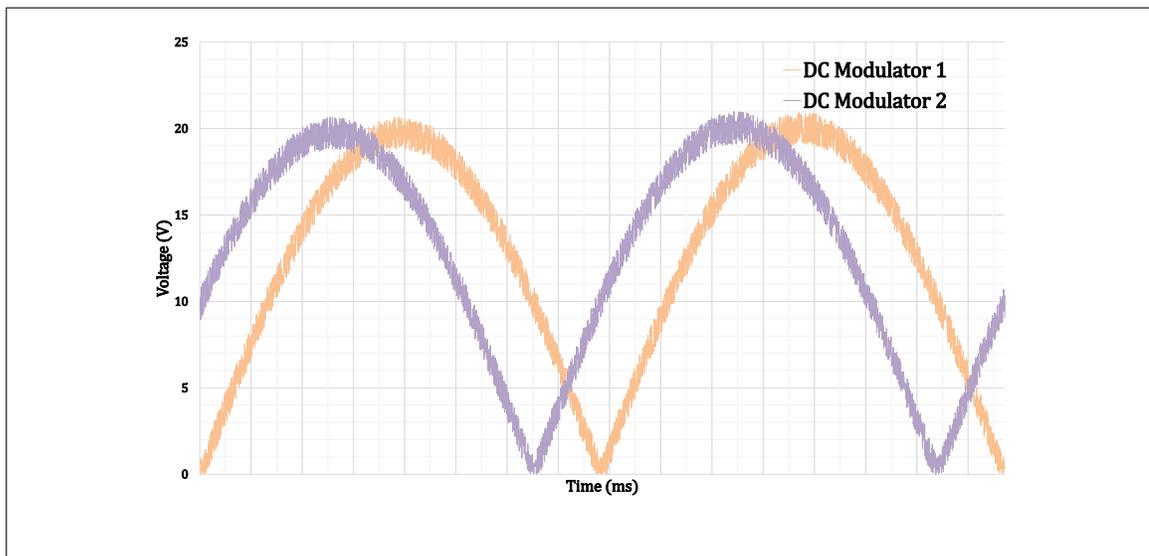


FIGURA 6.8. Voltaje en la salida de los moduladores DC ( $V_{\text{Modulador DC}}(t)$ ), con un nivel de filtrado intermedio (inductor y capacitor de  $140 \mu H$  y  $11 \mu F$  respectivamente)

de más de 2 A), mientras que al aumentar el inductor la corriente disminuye a menos de 200 mA. Por su parte el rizado pasa de ser despreciable, a superar el 40 %.

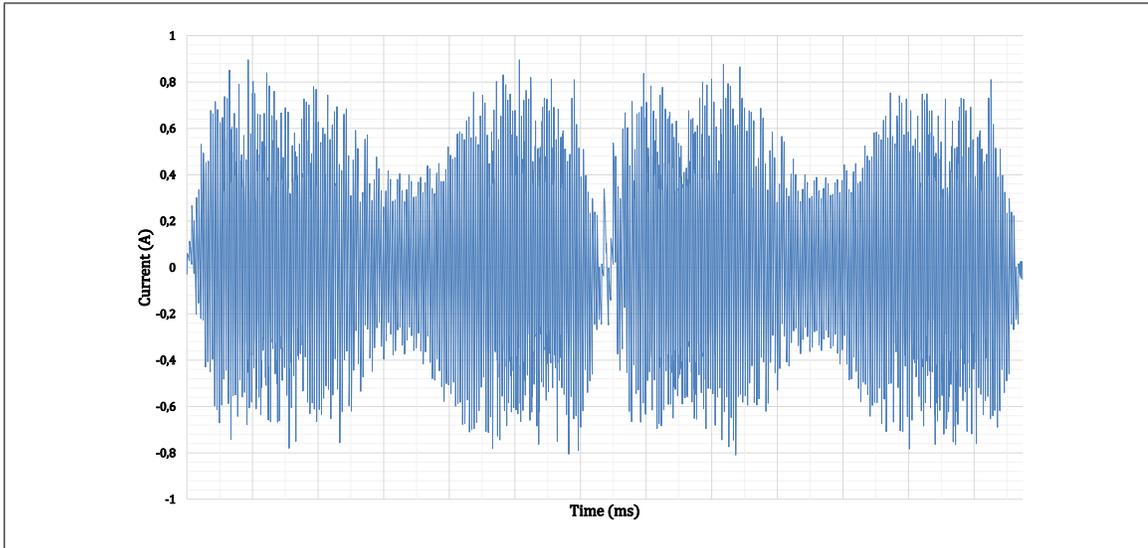


FIGURA 6.9. Corrientes circulantes en uno de los moduladores DC, con un nivel de filtrado intermedio (inductor y capacitor de  $140 \mu H$  y  $11 \mu F$  respectivamente). El máximo *peak* medido fue de 850 mA aproximadamente

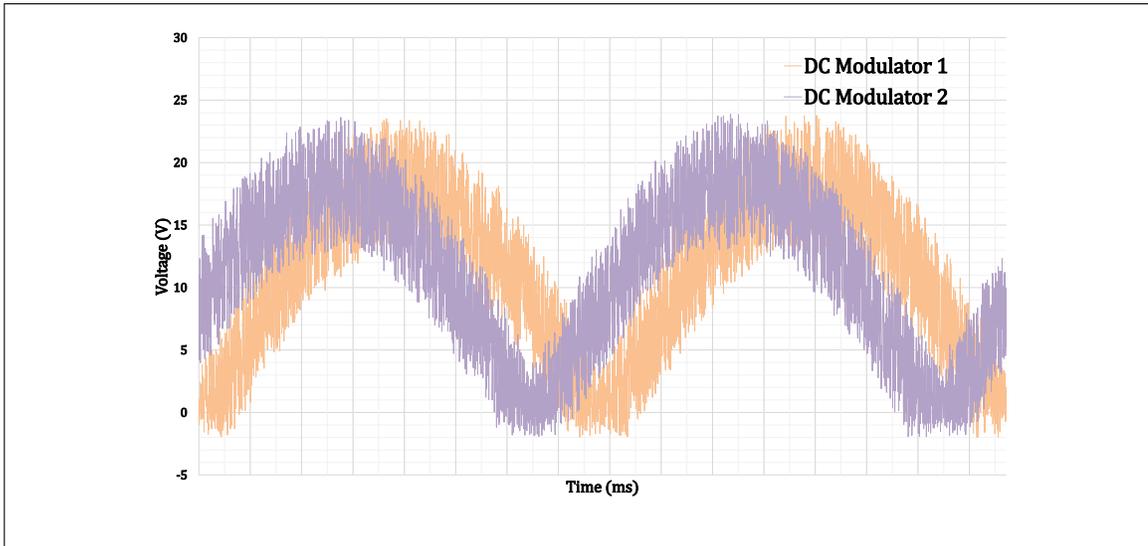


FIGURA 6.10. Voltaje en la salida de uno de los moduladores DC ( $V_{\text{Modulador DC}}(t)$ ), con un nivel de filtrado bajo (inductor y capacitor de  $250 \mu H$  y  $6 \mu F$  respectivamente)

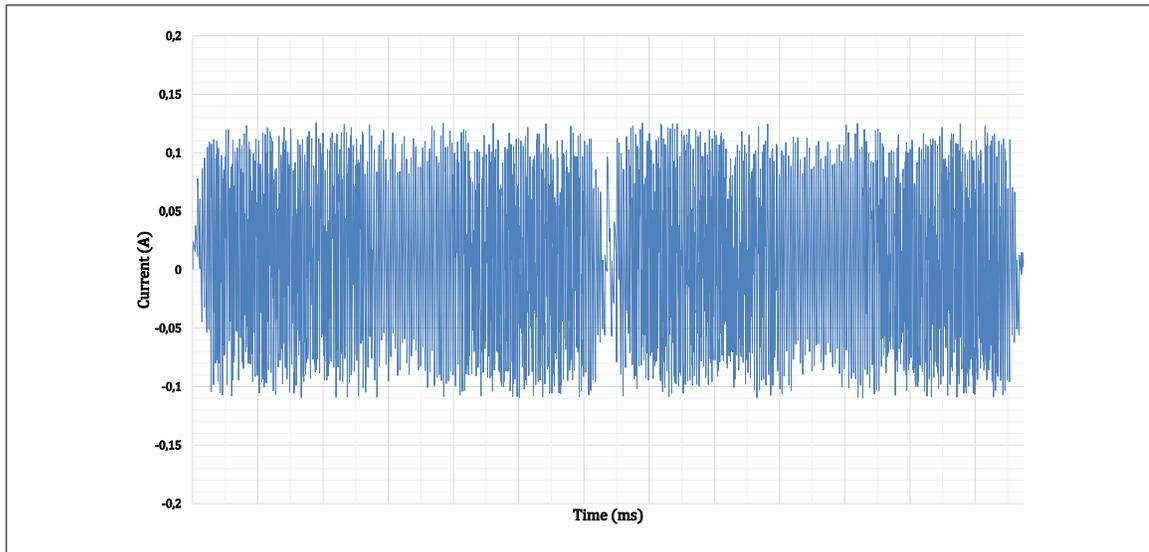


FIGURA 6.11. Corrientes circulantes en uno de los moduladores DC, con un nivel de filtrado bajo (inductor y capacitor de  $250 \mu H$  y  $6 \mu F$  respectivamente). El máximo *peak* medido fue de 120 mA aproximadamente

	Inductor ( $\mu H$ )	Capacitor ( $\mu F$ )	Peak de corriente (mA)	Máximo rizado de voltaje (%)
Caso 1	68	22	2200	1,5
Caso 2	140	11	850	5
Caso 3	250	6	120	43

FIGURA 6.12. Tabla comparativa de resultados para los tres niveles de filtrado implementados en laboratorio

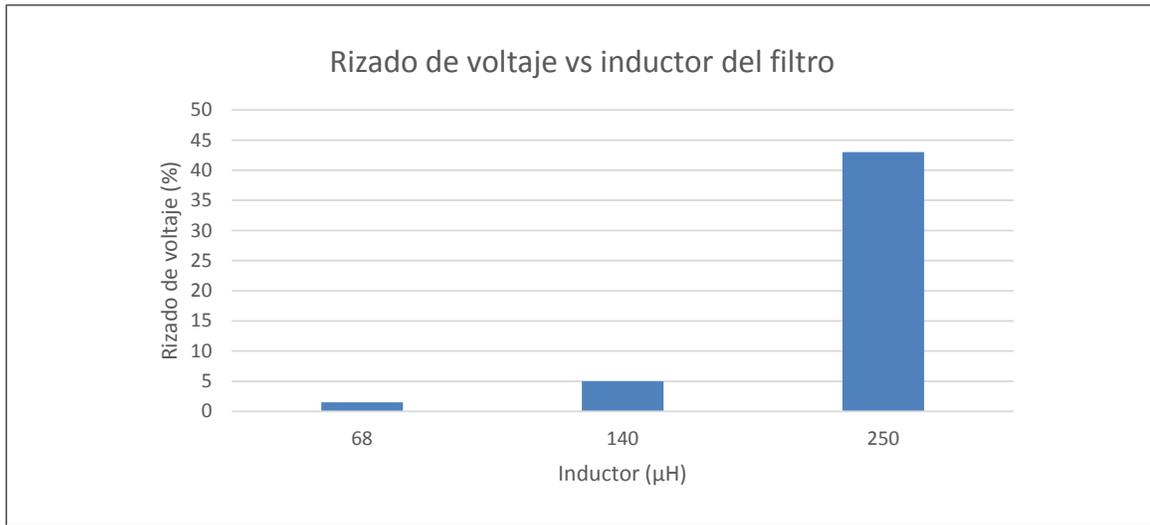


FIGURA 6.13. Rizado de voltaje ( $V_{\text{Modulador DC}}(t)$ ) vs el inductor del filtro LC

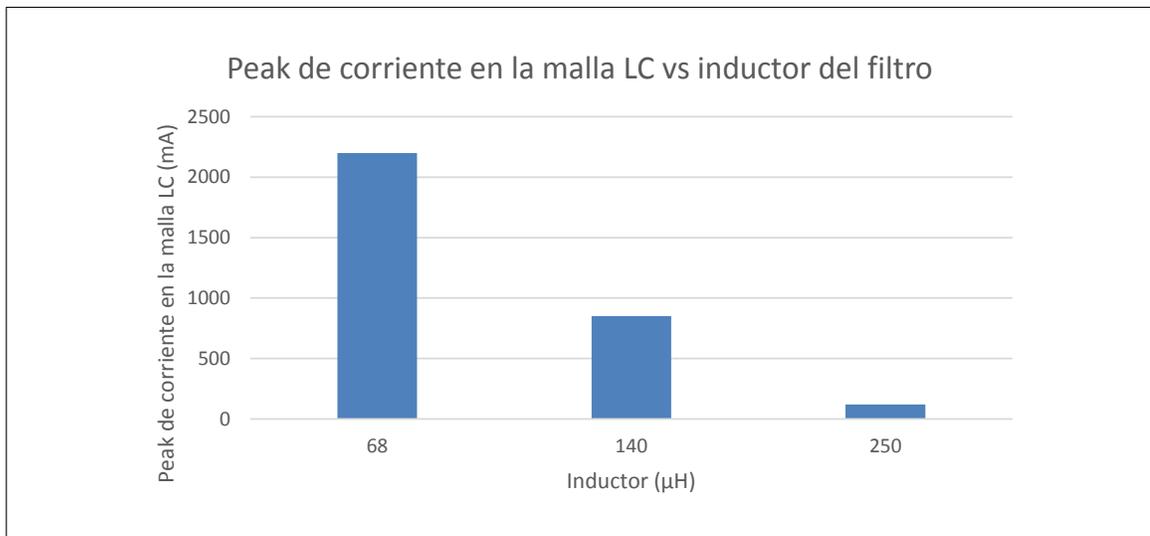


FIGURA 6.14. *Peak* de corriente en la malla LC vs el inductor del filtro LC

## 7. CONCLUSIONES

### 7.1. Comparación con topología equivalente

De acuerdo a los resultados obtenidos, cabe realizar en primera instancia una breve comparación con una topología equivalente que pueda obtener resultados similares. Esta investigación se centró en el control de inversores por medio de vectores de voltaje. Sin embargo, es posible concebir una topología que permita obtener voltajes cuasi sinusoidales de manera bastante simple, como se observa en la Figura 7.1. En dicha Figura, se observa un inversor trifásico de dos niveles con un filtro LC por fase conectado a la carga. Este prototipo es relativamente simple y de bajo costo. Por ende, cabe realizar una comparación con el prototipo desarrollado en la presente investigación.

- El prototipo desarrollado en la presente investigación utiliza dos filtros (uno en cada modulador DC), mientras que el prototipo de la Figura 7.1 utiliza tres.
- Los filtros LC del prototipo de la Figura 7.1 deben manejar voltajes negativos (a diferencia de  $V_{\text{Modulador DC}}(t)$ , que es siempre positivo). Por ende, no se pueden utilizar capacitores electrolíticos, lo que implica utilizar capacitores de tamaño considerablemente mayor.
- El prototipo de la Figura 7.1 solamente puede generar un voltaje de salida de magnitud fija, mientras que en el prototipo desarrollado en la presente investigación es posible modificar este parámetro (dentro de un margen que depende del diseño en cada caso).
- El prototipo de la Figura 7.1 no presenta el problema de pérdidas energéticas descrito en el presente trabajo. Por ende, en primera instancia es más atractivo para aplicaciones industriales. Sin embargo, el prototipo desarrollado en el presente trabajo tiene un potencial de desarrollo futuro considerable que puede hacerlo competitivo a nivel industrial, como se verá en la Sección de trabajo futuro propuesto. Esto último se debe principalmente a la novedad de la solución propuesta.

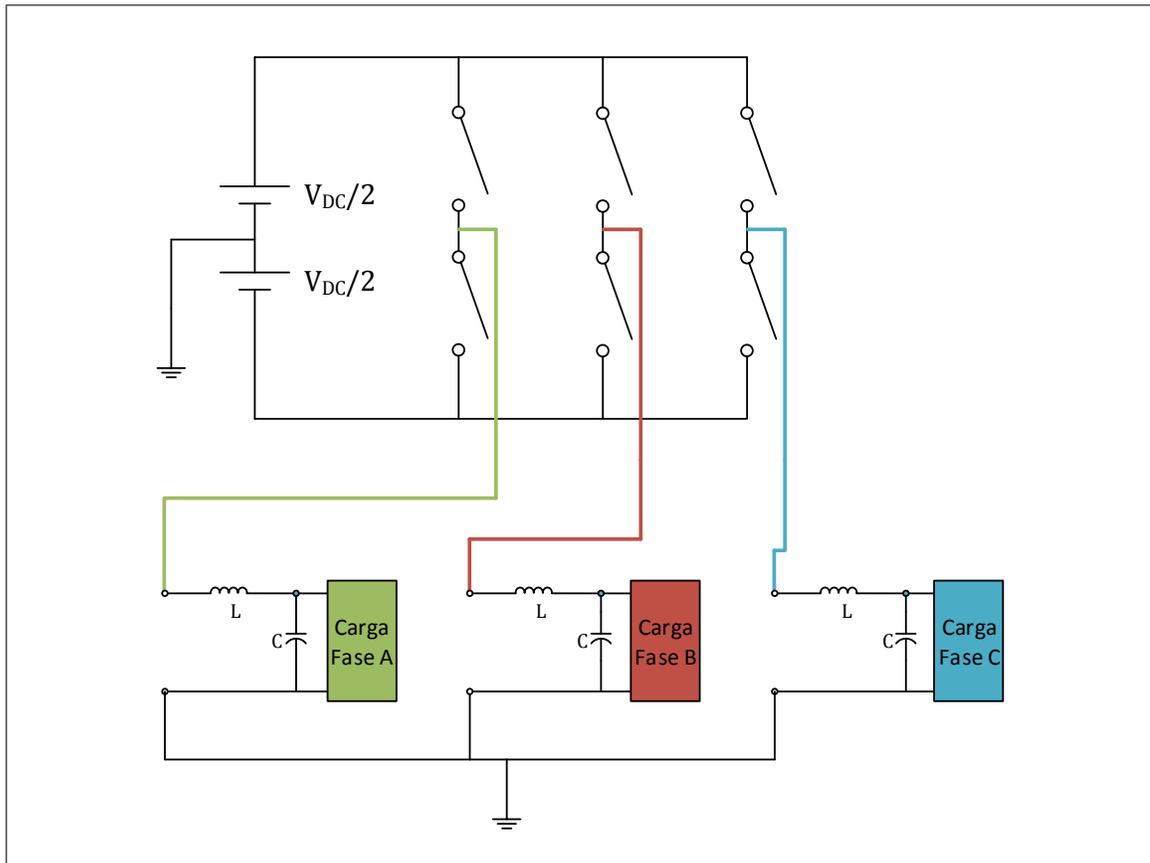


FIGURA 7.1. Topología compuesta por un inversor trifásico de dos niveles y una etapa de filtrada compuesta por tres filtros LC

## 7.2. Conclusiones y trabajo futuro propuesto

Los resultados obtenidos en la presente investigación, tanto en simulaciones computacionales como en el prototipo real, muestran que es posible modular inversores como fuente de voltaje obteniendo una onda sinusoidal de bajo contenido armónico. La piedra angular de esta investigación es el modulador DC. La modulación vectorial (conmutación de los transistores de los inversores tipo puente H) es relativamente simple, y depende exclusivamente de la alimentación variable, es decir, de los moduladores DC. La principal variable de decisión en el diseño es el convertidor DC-DC a utilizar. En esta investigación se utilizaron convertidores *Buck* sincrónicos, donde la principal variable de diseño fue el nivel de filtrado en función de la magnitud del voltaje de salida del inversor. Esto es porque

el nivel de filtrado determina el estrés sobre los moduladores DC (como se observa en las Figuras 6.12, 6.13 y 6.14). En segunda instancia, se debe considerar la frecuencia de conmutación de los transistores, la cual determinará las pérdidas por conmutación, que son la principal fuente de pérdidas energéticas.

El principal problema encontrado durante el presente trabajo fue la eficiencia. La modulación DC implicó operar los *choppers Buck* sincrónicos en zonas de bajo ciclo de trabajo y baja eficiencia. Además, el nivel de filtrado acrecentó esta disminución en la eficiencia del sistema. Potenciales aplicaciones del prototipo construido requerirán, desde luego, una solución a este problema. En otras palabras, la baja eficiencia (cercana al 80 %) es solamente aceptable para un prototipo de laboratorio con finalidad meramente científica. Esto implicó importantes complicaciones en el proceso de implementación del prototipo, razón por la cual se tomó la decisión de trabajar con un nivel de potencia relativamente bajo.

Ahora bien, en esencia se ha cumplido con el objetivo de la investigación. Se partió desde la modulación SVC en la topología de la Figura 1.9, donde el sistema propuesto operaba como fuente de voltaje en lazo abierto. Ahora, como se estudió en los capítulos previos, la principal limitante de este prototipo es su misma naturaleza discreta. La Figura 1.14 muestra los 64 vectores de voltaje posibles para la topología de la Figura 1.9. Esto se traduce en un voltaje sinusoidal escalonado en la carga. La modulación DC permitió reducir dichos escalones en desmedro de las corrientes en los *choppers* y de la eficiencia. Sin embargo, la presente investigación abre las puertas a futuros trabajos en donde se podrían atacar los *trade-off* previamente descritos. Se propuso la topología de la Figura 2.9 como un sistema optimizado para la modulación C-SVM, puesto que permite minimizar la cantidad de circuitería requerida. Esta optimización partió de la base del sistema de dos inversores trifásicos conectados en serie de la Figura 1.9. Sin embargo, una investigación futura podría optimizar dicha topología en cuanto a la minimización de sus pérdidas energéticas o del desgaste de los componentes del sistema. Como se mencionó en las Secciones previas, esto podría pasar en gran medida con una variación de la topología de los moduladores DC, sobretodo de los filtros. Redes LCL, así como filtros activos, permitirán mejorar los resultados obtenidos.

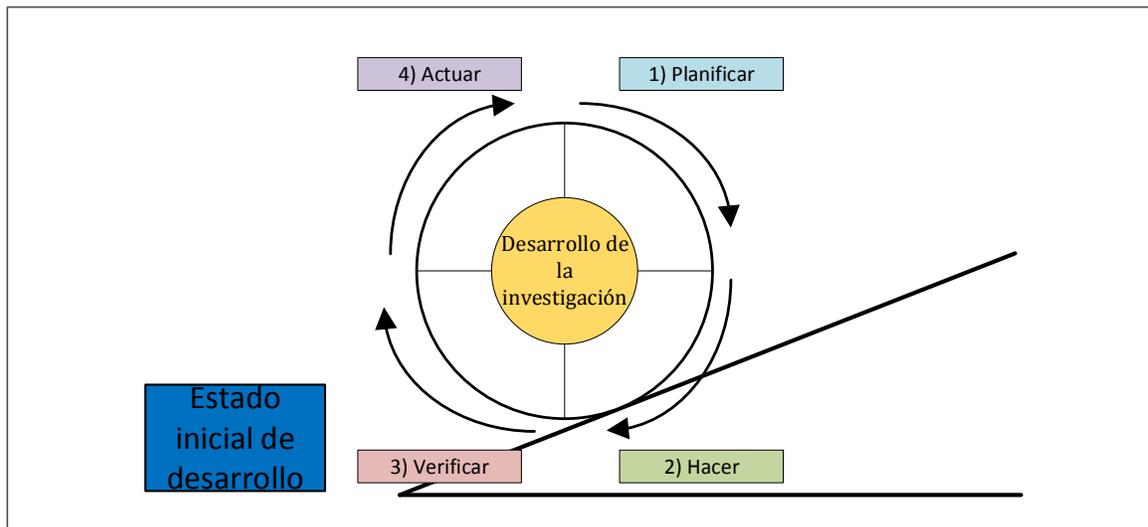


FIGURA 7.2. Ciclo de desarrollo *Plan-Do-Check-Act* propuesto para desarrollos futuros en base a la presente investigación

Adicionalmente, y no menos importante, investigaciones futuras pueden también aportar una estructura de avances. Esto es, tomando la presente investigación como punto de partida, es posible elaborar un plan de desarrollo y mejoramiento continuo basándose en metodologías ya existentes [Mesh and Hawker, 2013]. Una metodología especialmente atractiva en este caso es el ciclo *PDCA (Plan-Do-Check-Act)*, también conocido como Rueda de Deming [Ning et al., 2010, Apetrei et al., 2011]. Esta metodología permite establecer un protocolo de optimización de procesos, en base a un sistema de mejoramiento continuo en función de metas concretas. Como punto de partida podrían tomarse las corrientes circulantes en el modulador DC, considerando la presente investigación como un estado inicial de desarrollo. De este modo se podría ir avanzando en pos de la generación de un prototipo de electrónica de potencia altamente atractivo para la industria y para la comunidad científica, en base a un desarrollo continuo y metódico. La Figura 7.2 muestra un esquema del plan de trabajo propuesto.

En buenas cuentas, el trabajo propuesto queda a disposición de futuros investigadores en el laboratorio *PECLAB* del Departamento de Ingeniería Eléctrica de la Pontificia Universidad Católica de Chile, así como a interesados de otros centros de estudio, tanto dentro como fuera de Chile. Así, se puede sentar la base para importantes avances en aplicaciones

de energías renovables, como paneles solares y aerogeneradores, entre otras aplicaciones industriales [Xu and Chao, 2014]. La modernización de los sistemas eléctricos, que actualmente (2015) constituye un tema de alto interés económico y científico, tanto en Chile como en el resto del mundo [Ahmad and El Chaar, 2011], se vería altamente potenciada con avances como el propuesto en el presente trabajo [Wirasanti et al., 2012, Berrie et al., 2011].

## BIBLIOGRAFIA

Abu-Rub, H., Holtz, J., Rodriguez, J., and Baoming, G. (2010). Medium-voltage multilevel converters; state of the art, challenges, and requirements in industrial applications. *Industrial Electronics, IEEE Transactions on*, 57(8):2581–2596.

Ahmad, W. and El Chaar, L. (2011). Smart grid and electric vehicles for sustainable growth. In *Innovative Smart Grid Technologies - Middle East (ISGT Middle East), 2011 IEEE PES Conference on*, pages 1–5.

Ahmed, K., Massoud, A., Adam, G., and Zobaa, A. (2013). A state of the art review of control techniques for power electronics converter based distributed generation systems in different modes of operation. In *Renewable Energy Research and Applications (ICRERA), 2013 International Conference on*, pages 1042–1047.

Albina, C. (2005). Thermal effects in power mosfets. In *Semiconductor Conference, 2005. CAS 2005 Proceedings. 2005 International*, volume 2, pages 413–416 vol. 2.

Apetrei, D., Neurohr, R., Postolache, P., Silvas, I., Federenciuc, D., and Popescu, C. (2011). Considerations on using smart grids. In *Smart Measurements for Future Grids (SMFG), 2011 IEEE International Conference on*, pages 143–147.

Bahrani, B. and Grinberg, R. (2009). Investigation of harmonic filtering for the state-of-the-art variable speed drives. In *Power Electronics and Applications, 2009. EPE '09. 13th European Conference on*, pages 1–10.

Berrie, S., Kockar, I., and Galloway, S. (2011). Multi criteria decision analysis as a tool in planning and development of future power systems infrastructure. In *Universities' Power Engineering Conference (UPEC), Proceedings of 2011 46th International*, pages 1–5.

ChittiBabu, B., Samantaray, S., Saraogi, N., Ashwin Kumar, M., Sriharsha, R., and Karmaker, S. (2011). Synchronous buck converter based pv energy system for portable applications. In *Students' Technology Symposium (TechSym), 2011 IEEE*, pages 335–340.

Cipriano, E., Jacobina, C., da Silva, E., and Rocha, N. (2012). Single-phase to three-phase power converters: State of the art. *Power Electronics, IEEE Transactions on*, 27(5):2437–2452.

Dixon, J., Pereda, J., Castillo, C., and Bosch, S. (2010). Asymmetrical multilevel inverter for traction drives using only one dc supply. *Vehicular Technology, IEEE Transactions on*, 59(8):3736–3743.

Fratta, A., Guglielmi, P., Pellegrino, G., and Villata, F. (2000). Power loss analysis and measurement of a high efficiency dc-dc converter for ev traction ac drives. In *Industrial Technology 2000. Proceedings of IEEE International Conference on*, volume 2, pages 347–352 vol.1.

Hiraoka, Y., Matsumoto, S., and Sakai, T. (2001). Low on-resistance soi power mosfet using dynamic threshold (dt) concept for high efficient dc-dc converter. In *Power Semiconductor Devices and ICs, 2001. ISPSD '01. Proceedings of the 13th International Symposium on*, pages 267–270.

Huang, C., Melcher, P., Ferguson, G., and Ness, R. (2005). Loss estimation of capacitor in high rep-rate pulsed power system. In *Pulsed Power Conference, 2005 IEEE*, pages 1077–1080.

Jamil, M., Hussain, B., Abu-Sara, M., Boltryk, R., and Sharkh, S. (2009). Microgrid power electronic converters: State of the art and future challenges. In *Universities Power Engineering Conference (UPEC), 2009 Proceedings of the 44th International*, pages 1–5.

Jayaraman, M., Sreedevi, V., and Balakrishnan, R. (2013). Analysis and design of passive filters for power quality improvement in standalone PV systems. In *Engineering (NUiCONE), 2013 Nirma University International Conference on*, pages 1–6.

Kabalo, M., Blunier, B., Bouquain, D., and Miraoui, A. (2010). State-of-the-art of dc-dc converters for fuel cell vehicles. In *Vehicle Power and Propulsion Conference (VPPC), 2010 IEEE*, pages 1–6.

Kawamura, A., Pavlovsky, M., and Tsuruta, Y. (2008). State-of-the-art high power density and high efficiency dc-dc chopper circuits for hev and fcev applications. In *Power Electronics and Motion Control Conference, 2008. EPE-PEMC 2008. 13th*, pages 7–20.

Malamaki, K.-N. and Demoulias, C. (2013). A decentralized voltage regulation method in low-voltage feeders with pv systems and domestic loads. In *Power Engineering, Energy and Electrical Drives (POWERENG), 2013 Fourth International Conference on*, pages 461–467.

Mesh, E. and Hawker, J. (2013). Scientific software process improvement decisions: A proposed research strategy. In *Software Engineering for Computational Science and Engineering (SE-CSE), 2013 5th International Workshop on*, pages 32–39.

Nakayama, S. and Koizumi, H. (2013). A design of boost chopper circuit with thermoelectric generator for rechargeable battery and development of mppt algorithm. In *Power Electronics Conference (COBEP), 2013 Brazilian*, pages 630–635.

Ning, J., Chen, Z., and Liu, G. (2010). Pdca process application in the continuous improvement of software quality. In *Computer, Mechatronics, Control and Electronic Engineering (CMCE), 2010 International Conference on*, volume 1, pages 61–65.

Nowakowski, R. and Tang, N. Efficiency of synchronous versus nonsynchronous buck converters. *Analog Applications Journal*.

Panagis, P., Stergiopoulos, F., Marabeas, P., and Manias, S. (2008). Comparison of state of the art multilevel inverters. In *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, pages 4296–4301.

Pereda, J. and Dixon, J. (2011). High-frequency link: A solution for using only one dc source in asymmetric cascaded multilevel inverters. *Industrial Electronics, IEEE Transactions on*, 58(9):3884–3892.

Pereda, J. and Dixon, J. (2012). 23-level inverter for electric vehicles using a single battery pack and series active filters. *Vehicular Technology, IEEE Transactions on*, 61(3):1043–1051.

Pereda, J. and Dixon, J. (2013). Cascaded multilevel converters: Optimal asymmetries and floating capacitor control. *Industrial Electronics, IEEE Transactions on*, 60(11):4784–4793.

Shah, V., Patel, N., and Suthar, N. (2008). Development experience of designing electronic devices for substation environment with emphasis on electromagnetic field and interference suppression. In *Electromagnetic Interference Compatibility, 2008. INCEMIC 2008. 10th International Conference on*, pages 93–98.

Singh, S. and Williamson, S. (2014). Comprehensive review of pv/ev/grid integration power electronic converter topologies for dc charging applications. In *Transportation Electrification Conference and Expo (ITEC), 2014 IEEE*, pages 1–5.

Su, Y., Li, Q., and Lee, F. (2013). Design and evaluation of a high-frequency Itcc inductor substrate for a three-dimensional integrated dc/dc converter. *Power Electronics, IEEE Transactions on*, 28(9):4354–4364.

van der Broeck, C., De Doncker, R., Richter, S., and Von Bloh, J. (2015). Unified control of a buck converter for wide-load-range applications. *Industry Applications, IEEE Transactions on*, 51(5):4061–4071.

- vom Dorp, J., Berberich, S., Erlbacher, T., Bauer, A., Ryssel, H., and Frey, L. (2011). Monolithic rc-snubber for power electronic applications. In *Power Electronics and Drive Systems (PEDS), 2011 IEEE Ninth International Conference on*, pages 11–14.
- Weiss, H. (2014). Power electronics as key factor in generation, transmission, and usage of electric energy. In *ELEKTRO, 2014*, pages 20–20.
- Winterborne, D., Ma, M., Wu, H., Pickert, V., Widmer, J., Barrass, P., and Shah, L. (2013). Capacitors for high temperature dc link applications in automotive traction drives: Current technology and limitations. In *Power Electronics and Applications (EPE), 2013 15th European Conference on*, pages 1–7.
- Wirasanti, P., Ortjohann, E., Schmelter, A., and Morton, D. (2012). Clustering power systems strategy the future of distributed generation. In *Power Electronics, Electrical Drives, Automation and Motion (SPEEDAM), 2012 International Symposium on*, pages 679–683.
- Wu, T.-F. (2013). The origin of converters. In *Future Energy Electronics Conference (IFEEEC), 2013 1st International*, pages 611–617.
- Xu, Y. and Chao, S. (2014). The influence path analysis of ocb on innovation performance: Based on the intermediary role of knowledge management. In *Management Science Engineering (ICMSE), 2014 International Conference on*, pages 898–905.
- Zhou, G., Xu, J., and Wang, J. (2014). Constant-frequency peak-ripple-based control of buck converter in ccm: Review, unification, and duality. *Industrial Electronics, IEEE Transactions on*, 61(3):1280–1291.

## **8. ANEXOS**

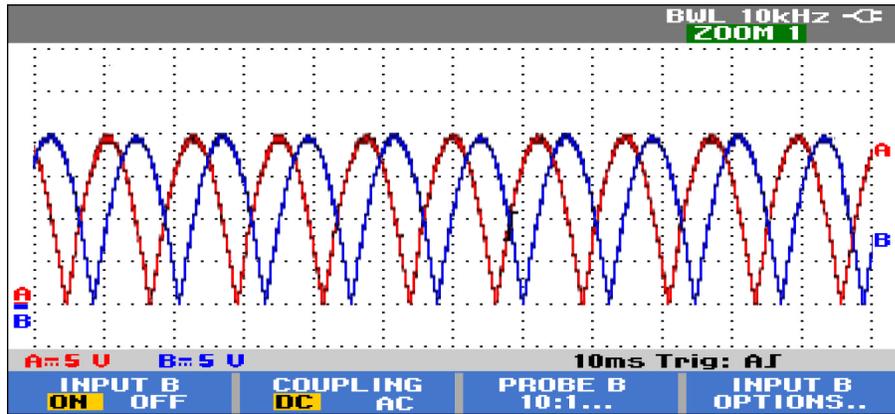


FIGURA 8.1. Imagen original de osciloscopio del voltaje de salida de los moduladores DC

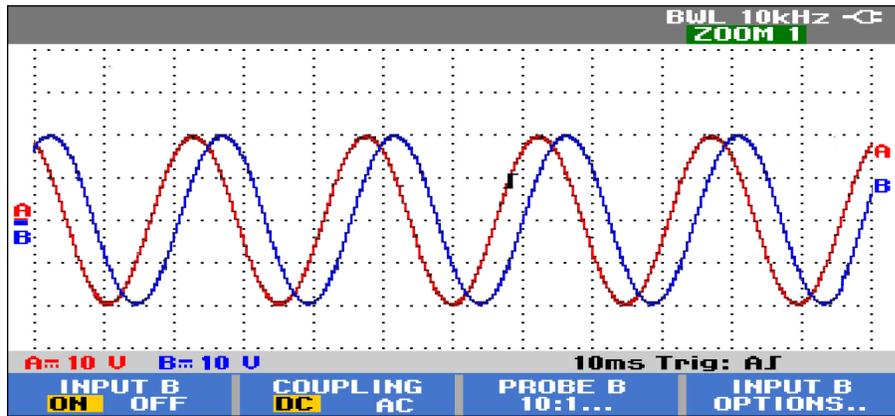


FIGURA 8.2. Imagen original de osciloscopio del voltaje de salida de los puentes-H del sistema

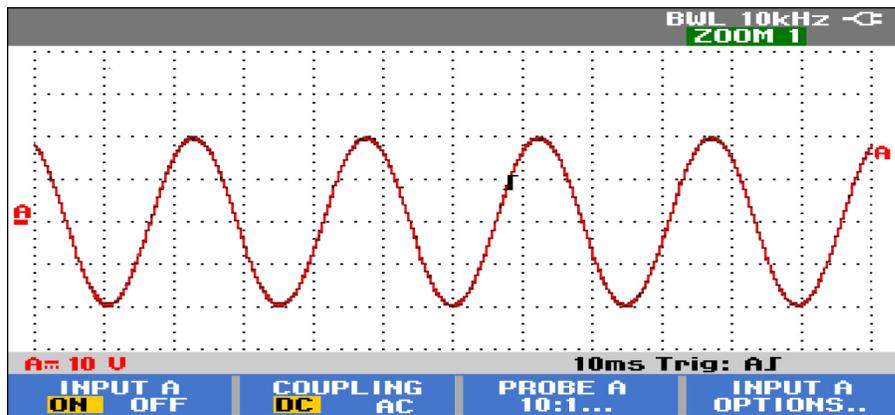


FIGURA 8.3. Imagen original de osciloscopio del voltaje en la fase a de la carga

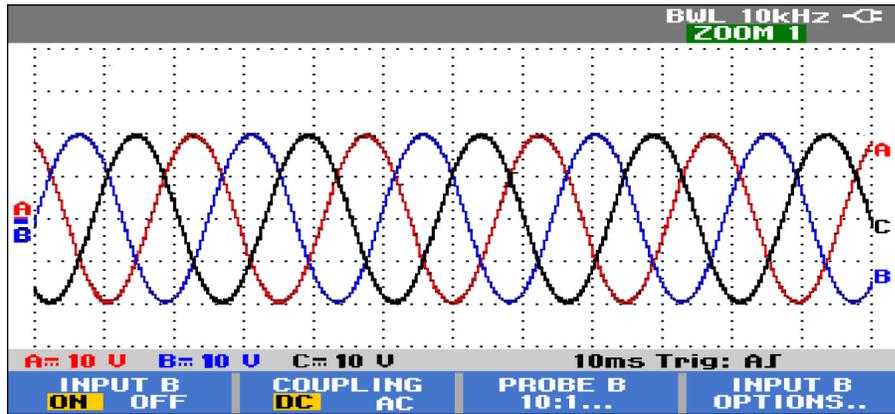


FIGURA 8.4. Imagen original de osciloscopio del voltaje trifásico en la carga

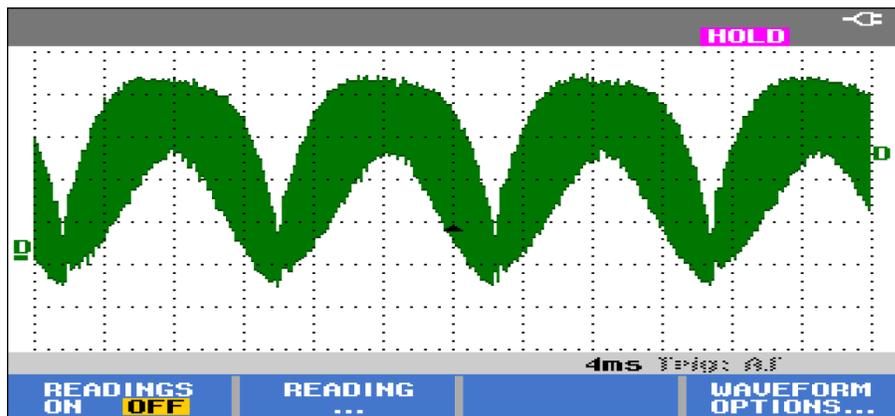


FIGURA 8.5. Imagen original de osciloscopio del voltaje de salida de un Modulador DC con un nivel de filtrado de 0,02

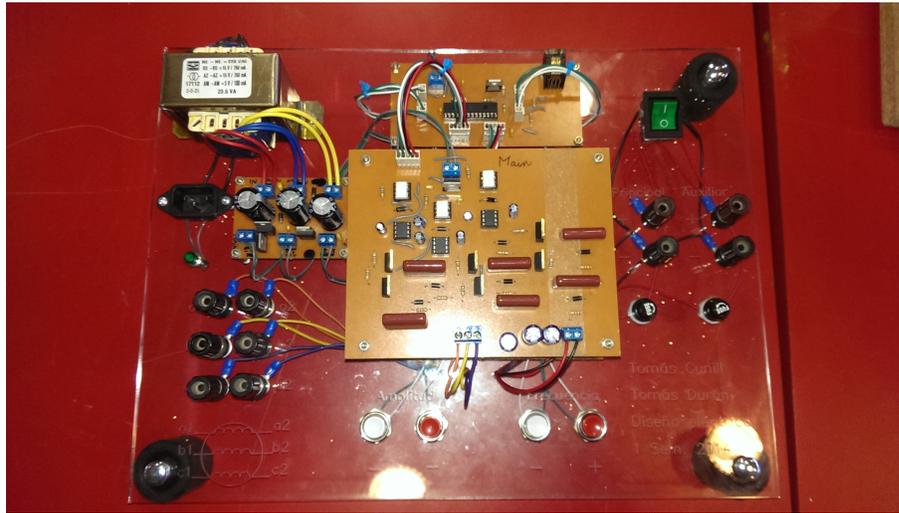


FIGURA 8.6. Prototipo utilizado para la implementación de la investigación. El alumno trabajó sobre el prototipo que desarrolló en el curso de diseño eléctrico, de pregrado de ingeniería UC, durante el primer semestre de 2014. Dicho prototipo era originalmente un inversor multinivel compuesto por dos inversores trifásicos de dos niveles en serie, como el inversor de la Figura 1.9. Se realizaron los cambios pertinentes para implementar la nueva topología desarrollada. Por su parte, los moduladores DC fueron conectados aparte

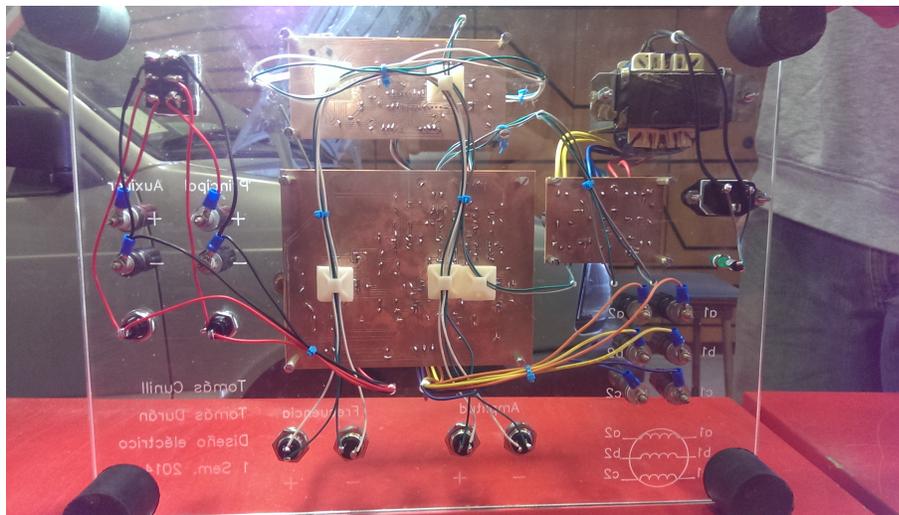


FIGURA 8.7. Imagen trasera del prototipo utilizado

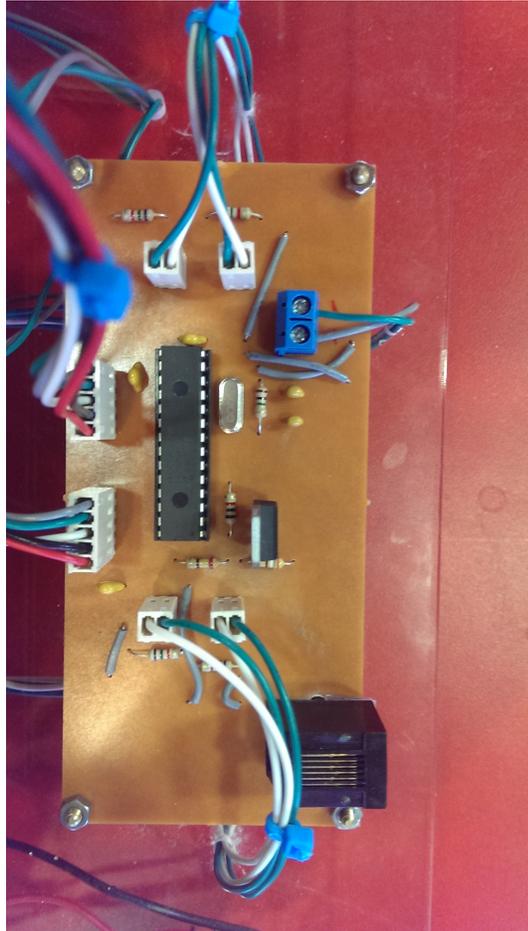


FIGURA 8.8. Imagen de la etapa de control prototipo utilizado, encargada de implementar la modulación *C-SVM*

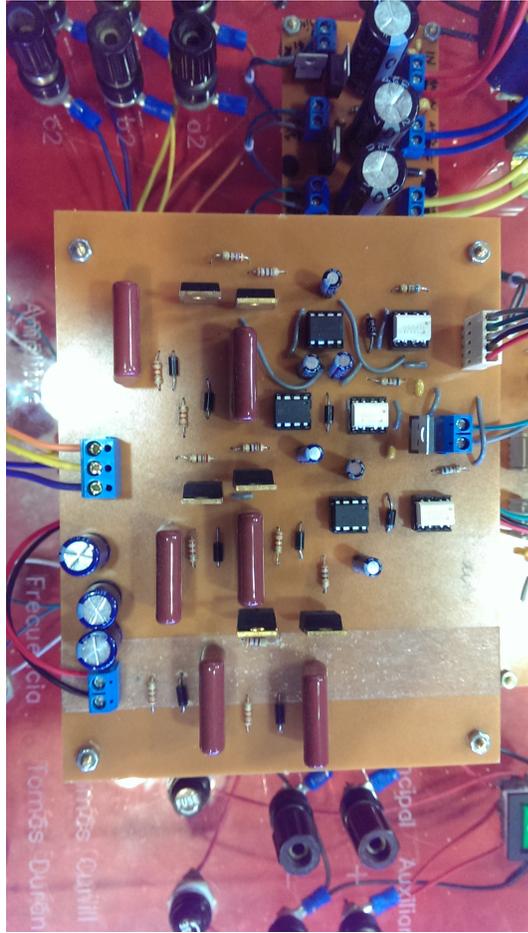


FIGURA 8.9. Imagen de uno de los puentes-H del prototipo