



PONTIFICIA UNIVERSIDAD CATOLICA DE CHILE
ESCUELA DE INGENIERIA

**COMPENSADOR MULTINIVEL
ACTIVO, REACTIVO Y ARMÓNICO
RESPALDADO POR PANELES
FOTOVOLTAICOS**

PATRICIO ARMANDO FLORES LARA

Tesis para optar al grado de
Magíster en Ciencias de la Ingeniería

Profesor Supervisor:
JUAN W. DIXON ROJAS

Santiago de Chile, Julio de 2008
© 2008, Patricio Flores Lara



PONTIFICIA UNIVERSIDAD CATOLICA DE CHILE
ESCUELA DE INGENIERIA

COMPENSADOR MULTINIVEL ACTIVO, REACTIVO Y ARMÓNICO RESPALDADO POR PANELES FOTOVOLTAICOS

PATRICIO ARMANDO FLORES LARA

Tesis presentada a la Comisión integrada por los profesores:

JUAN DIXON

LUIS MORÁN

MIGUEL TORRES

LUCIANO CHIANG

Para completar las exigencias del grado de
Magíster en Ciencias de la Ingeniería

Santiago de Chile, Julio de 2008

*A mi Madre, por su motivación;
a mi Padre, por su empuje;
a mis Hermanos, por su comprensión;
a Jorge, por su alegría;
a mis Abuelas y Abuelos, por su protección;
y a Anita, por completar mi felicidad.*

AGRADECIMIENTOS

Quiero agradecer a todos y cada uno de quienes han contribuido tanto a lo largo del desarrollo del presente trabajo, como a lo largo de mi vida. A mi Familia, por todos los años y por todo el apoyo y cariño que me han dado.

Agradezco a todos mis amigos, de manera especial a Pablo Barriuso y a Enzo Pizani, cuya amistad hizo más alegre la vida universitaria.

Agradezco a mi profesor guía, don Juan Dixon, y a su señora, por todo el apoyo académico y humano que me han brindado. También agradezco a los profesores Miguel Torres y Luis Morán, por su apoyo durante el desarrollo del presente trabajo.

Agradezco especialmente a todos mis compañeros del Laboratorio, tanto a los que estuvieron como a los que están, por siempre ayudarme a resolver las dificultades o a relajarme frente a ellas, especialmente a Micah Ortúzar, Rodrigo Carmi, Juan Pablo Echenique, Alexander Varschavsky, Javier Pereda, Maximiliano Mura, Sebastián Bosch y Eduardo Cea.

Finalmente, agradezco a mi polola, Anita María, por todo el apoyo incondicional y por todo su cariño y amor.

INDICE GENERAL

DEDICATORIA	ii
AGRADECIMIENTOS	iii
INDICE DE TABLAS	vi
INDICE DE FIGURAS.....	vii
RESUMEN.....	x
ABSTRACT	xi
1. INTRODUCCIÓN Y OBJETIVOS.....	1
2. DESCRIPCIÓN GENERAL DEL SISTEMA.....	7
3. ARREGLO FOTOVOLTAICO Y PROCESO DE TOMA DE DATOS.....	11
3.1. Instalación y Configuración.....	11
3.2. Pruebas de Carga usando Celdas Fotovoltaicas.....	14
4. CONFIGURACIÓN DEL SISTEMA	18
5. SINTONIZACIÓN DE BLOQUES DE CONTROL	21
5.1. Sintonización de bloque de control PI de corriente de red	24
5.2. Sintonización del bloque de control PI de corriente de batería	34
6. SIMULACIONES.....	51
6.1. Cambio de corriente de batería ($0 A_{DC}$ a $30 A_{DC}$).....	59
6.2. Cambio de corriente reactiva de red ($0 A$ a $10 A$)	60
6.3. Falla en banco de baterías ($160 V_{DC}$ a $150 V_{DC}$)	61
6.4. Estado de baterías pasa de inyección a carga ($30 A_{DC}$ a $-5 A_{DC}$).....	62
6.5. Análisis de Contenido Armónico.....	63
7. RESULTADOS EXPERIMENTALES	67
7.1. Implementación y Configuración del Sistema de Control	67
7.2. Resultados Experimentales Obtenidos.....	68
8. CONCLUSIONES	73
BIBLIOGRAFÍA	76
ANEXOS	80
Anexo A: Circuitos involucrados en el Sistema de Control	81
A.1. Circuito pre-procesador de Datos para canal ADC	81

A.2. Circuito de Interconexión entre Tarjeta de dsPIC e Inversor	83
Anexo B: Hojas de Datos Técnicos	87
LM348 (Amplificador Operacional Cuádruple)	88
Anexo C: Diagrama de Flujo del Sistema de Señalización y Control Automático	104
Anexo D: Imágenes del Sistema	106

INDICE DE TABLAS

Tabla 2.1 Modos de operación del sistema	10
Tabla 3.1 Características de una Celda Solar "Main 1530"	11
Tabla 3.2 Valores relevantes de carga de Baterías usando Arreglo Fotovoltaico	15
Tabla A.1 Descripción de terminales de la Figura A.3	84

INDICE DE FIGURAS

Figura 1.1 Puente “H” de tres niveles	3
Figura 1.2 Filtro Activo y SVC con capacidad de generar y absorber potencia activa	5
Figura 2.1 Inversor de tres etapas, 27 niveles	8
Figura 2.2 Conexión del sistema en paralelo a la red	9
Figura 3.1 Arreglo de Paneles Solares instalado en techo de Edificio DIE-PUC	12
Figura 3.2 Esquema de conexión de arreglo fotovoltaico a MPPT	13
Figura 3.3 Conectores del MPPT	14
Figura 3.4 Voltaje y Corriente en arreglo fotovoltaico	16
Figura 3.5 Voltaje y Corriente en banco de baterías	16
Figura 3.6 Potencia en arreglo fotovoltaico (<i>PV</i>) y banco de baterías (<i>Batt</i>)	17
Figura 4.1 Diagrama de bloques del sistema	20
Figura 5.1 Sistema Inversor – Controlador	21
Figura 5.2 Control de Inversor	22
Figura 5.3 Diagrama de Bloques del Inversor	23
Figura 5.4 Sintonización de bloque PI de control de corriente de línea	24
Figura 5.5 Diagrama de Flujo, Función de Transferencia <i>Inet/Signal</i>	25
Figura 5.6 LGR y respuesta a escalón unitario; sin control PI	27
Figura 5.7 LGR y respuesta a escalón unitario; $K_P = -1$	28
Figura 5.8 Comportamiento con control $K_P = -1$	29
Figura 5.9 LGR y respuesta a escalón unitario con control PI	30
Figura 5.10 Comportamiento con control PI.	30
Figura 5.11 Espectro de frecuencia de la señal de corriente de línea, $I_{REF} = 30 A$	31
Figura 5.12 Detalle de contenido armónico, $I_{REF} = 30 A$	31
Figura 5.13 Espectro de frecuencia de la señal de corriente de línea, $I_{REF} = 5 A$	32
Figura 5.14 Detalle de contenido armónico, $I_{REF} = 5 A$	32
Figura 5.15 Comportamiento ante cambio a corriente reactiva.	33
Figura 5.16 Comportamiento ante aumento de corriente reactiva.	34

Figura 5.17 Sintonización del bloque PI de corriente DC de batería.....	35
Figura 5.18 LGR y respuesta al escalón unitario sin control PI.....	40
Figura 5.19 LGR y respuesta a escalón unitario con ganancia negativa unitaria	41
Figura 5.20 Corriente de batería y referencia con ganancia negativa unitaria.....	41
Figura 5.21 Comportamiento con control $K_P = -1$	42
Figura 5.22 LGR y respuesta al escalón unitario; $K_P = -0.1$, $K_I = -100$	43
Figura 5.23 Corriente de batería y referencia; $K_P = 0.1$, $K_I = 100$	43
Figura 5.24 Comportamiento con control PI.	44
Figura 5.25 Contenido armónico de corriente de red, $I_{DC,REF} = 0 A$	45
Figura 5.26 Detalle de contenido armónico de corriente de red, $I_{DC,REF} = 0 A$	45
Figura 5.27 Contenido armónico de corriente de red, $I_{DC,REF} = 30 A$	46
Figura 5.28 Detalle de contenido armónico de corriente de red, $I_{DC,REF} = 30 A$	46
Figura 5.29 LGR y respuesta al escalón, $FP = 0.01$	48
Figura 5.30 LGR y respuesta al escalón, $FP = 0.0347$	48
Figura 5.31 LGR y respuesta al escalón, $FP = 0.048$	49
Figura 6.1 Diagrama de conexión del sistema al conjunto red-carga no lineal	51
Figura 6.2 Diagrama de conexiones del sistema inversor-control automático	52
Figura 6.3 Sistema de control automático.....	53
Figura 6.4 Diagrama esquemático del inversor multietapa de 27 niveles.....	54
Figura 6.5 Simulación del sistema ante cambio de referencias.	55
Figura 6.6 Simulación del sistema ante cambios de referencias.....	56
Figura 6.7 Simulación del sistema ante cambios de referencias.....	58
Figura 6.8 Señales relevantes ante aumento de corriente de batería.....	59
Figura 6.9 Señales relevantes ante aumento de corriente reactiva de red	60
Figura 6.10 Señales relevantes ante disminución de voltaje de banco de baterías	61
Figura 6.11 Señales relevantes ante cambio de baterías desde inyección a carga	62
Figura 6.12 Contenido armónico de la corriente de red durante $0 s < t < 0.1 s$	63
Figura 6.13 Contenido armónico de la corriente de red, $0.1 s < t < 0.2 s$	64
Figura 6.14 Contenido armónico de la corriente de red, $0.2 s < t < 0.3 s$	64

Figura 6.15 Contenido armónico de la corriente de red, $0.3 s < t < 0.4 s$	65
Figura 6.16 Contenido armónico de la corriente de red, $0.4 s < t < 0.5 s$	65
Figura 7.1 Sistema en régimen de carga de baterías.	68
Figura 7.2 Sistema ante cambio en la carga DC.	69
Figura 7.3 Sistema en régimen de inyección desde las baterías.	71
Figura 7.4 Sistema en régimen de inyección desde las baterías.	71
Figura 7.5 Sistema en régimen de inyección desde las baterías.	72
Figura 8.1 Detalle de error de corriente instantánea.	74
Figura 8.2 Corriente de carga (verde) y error de corriente de línea (negro)	74
Figura A.1 Circuito de pre-procesamiento de señales análogas	81
Figura A.2 Layout de circuito de pre-procesamiento de señales análogas	82
Figura A.3 Circuito de pre-procesamiento de señales analógicas	83
Figura A.4 Disposición de señales en conector de entrada a inversor	84
Figura A.5 Identificación de cada IGBT dentro del puente H	84
Figura A.6 Esquemático de circuito de interconexión dsPIC – inversor	85
Figura A.7 Layout de circuito de interconexión dsPIC – inversor	86
Figura A.8 Circuito de interconexión dsPIC – inversor.....	86
Figura C.1 Diagrama de Flujo del Sistema de Señalización y Control Automático	105
Figura D.1 Prototipo de Inversor multietapa de 81 Niveles.....	106
Figura D.2 Placa de desarrollo para microcontrolador dsPIC.....	106
Figura D.3 Disposición General del Sistema	107

RESUMEN

El presente trabajo de Tesis describe la implementación de un filtro activo y compensador estático de reactivos con capacidad de inyección de potencia activa, utilizando un inversor multietapa de 27 niveles. Cada fase del inversor está compuesta por tres puentes "H", todos los cuales están conectados a la misma barra DC, mientras que sus salidas están conectadas a transformadores escalados en potencias de tres. El filtro puede compensar corrientes de carga con alto contenido armónico y bajo factor de potencia, lo que resulta en entrega de corrientes sinusoidales desde la red. Para tomar mayor ventaja de este compensador, la barra DC, en vez de un condensador, utiliza un banco de baterías, el que es cargado a través de un arreglo fotovoltaico conectado a las baterías a través de un MPPT (Maximum Power Point Tracker). Esta topología combinada hace posible la producción de potencia activa, e incluso la alimentación de las cargas durante apagones prolongados. Se muestran resultados de simulaciones de esta aplicación, así como algunos experimentos realizados con un prototipo de inversor de 3 kVA.

Palabras Clave: convertidor multinivel, energías renovables, filtro activo, compensador de reactivos.

ABSTRACT

An active power filter and static VAR compensator with active power generation capability, has been implemented using a 27-level inverter. Each phase of this inverter is composed of three "H" bridges, all of them connected to the same DC link and their outputs connected through output transformers scaled in power of three. The filter can compensate load currents with high harmonic content and low power factor, resulting in sinusoidal currents from the source. To take advantage of this compensator, the DC link, instead of a capacitor, uses a battery pack, which is charged from a photovoltaic array connected to the batteries through a Maximum Power Point Tracker. This combined topology makes it possible to produce active power and even to feed the loads during prolonged voltage outages. Simulation results for this application are shown and some experiments with a 3 kVA device are displayed.

Keywords: Multilevel converters, renewable energies, active power filter, var compensator.

1. INTRODUCCIÓN Y OBJETIVOS

Los dispositivos de electrónica en general, y de electrónica de potencia de primera generación en particular (convertidores con diodos y tiristores), en la actualidad representan un alto porcentaje de la carga de cualquier sistema eléctrico de potencia (SEP). Ello implica un alto porcentaje de contaminación armónica introducida a la red, lo que afecta su calidad de servicio por completo, tanto en el mencionado nivel armónico como en el factor de potencia, muy importante para un eficiente manejo de los flujos de potencia.

Una muy buena solución al problema de contaminación armónica es un filtro activo, el cual se encarga de mantener al SEP con un contenido armónico bastante bajo. Por lo general, es un dispositivo que actúa en el mismo sitio donde se produce la contaminación, evitando que se propague al resto de la red. Del mismo modo, el problema de factor de potencia también es más fácil de solucionar donde se produce. Históricamente, el enfoque ha sido solucionar dicho problema con bancos de condensadores, debido a su menor costo. Sin embargo, las nuevas aplicaciones son bastante más complejas en cuanto a variabilidad horaria, por lo que un banco de capacidad compensatoria fija deja de ser una opción óptima. De ahí nace la necesidad de utilizar los llamados compensadores estáticos de reactivos (static VAR compensator, SVC), que pueden controlar su capacidad compensatoria en un rango continuo. Lógicamente, se pueden combinar ambas prestaciones (bancos de condensadores y SVCs) en un solo dispositivo.

Las primeras soluciones activas a los problemas mencionados anteriormente (contaminación armónica y compensación de reactivos) se basaban en los inversores de modulación de ancho de pulso (pulse width modulation, PWM) de 2 niveles investigados por Akagi (1998), y Bose (1993), cuya topología es simple y barata; su gran defecto es el que, para mejorar la calidad de la corriente de salida, se debe operar a

una mayor frecuencia de conmutación, lo que no sólo es una gran exigencia para las compuertas semiconductoras, sino que también implican una pésima forma de onda de voltaje. El siguiente paso fue el desarrollo de la tecnología multinivel, que consiste en la generación de ondas escalonadas aproximadas a una sinusoidal. Las primeras aproximaciones estaban basadas en diodos o condensadores, como las investigadas en los trabajos de Draou et al. (2001), Rodríguez et al. (2002) y Zheng Peng (2001), haciéndolas bastante complejas. Los trabajos de Manjrekar et al. (2000), Dixon & Morán (2006) y Chen & He (2006) desarrollan la tecnología multietapa, en donde la más optimizada utiliza fuentes de distintos niveles de voltaje, lo cual ayuda a generar más escalones o niveles utilizando el mismo número de fuentes y (lo más importante) con el mismo número de semiconductores. La mayor desventaja de esta topología es la necesidad de utilizar una fuente para cada nivel. Al estar conectadas todas las salidas de los puentes H en serie, como en el trabajo de Peng et al. (1995), el uso de una única fuente produciría cortocircuitos que impedirían su correcto funcionamiento. No obstante, si se genera una onda de frecuencia constante, es posible reducir todas las fuentes a una sola, incluso si se trata de un inversor trifásico, utilizando transformadores, con los primarios conectados en paralelo a las salidas de los puentes H y los secundarios conectados en serie. Esto es suficiente para generar el efecto de fuentes aisladas, pero esta solución sólo debe utilizarse a frecuencia fija para evitar la saturación de los núcleos de los transformadores.

La variación de etapas de forma binaria propuesta por Mohan & Kamath (1995) probó ser un importante avance. Estas topologías, al operar generando más de 20 niveles, son capaces de generar ondas de voltaje y corriente con factores de distorsión armónica (total harmonic distortion, THD) casi despreciables. Además, a diferencia del sistema PWM de dos niveles, presentan la importante ventaja de poder funcionar como moduladores tanto de amplitud como de ancho de pulso.

Como se observa en los trabajos de Chen & He (2006), Ortúzar et al. (2006), Dixon & Morán (2005), Kang, Park, Lee & Kim (2005), y Kang et al. (2005), la topología multietapa más eficiente en cuanto a número de semiconductores y de fuentes utilizadas es la que utiliza puentes “H” escalados en potencias de tres, que tiene la importante ventaja de operar a muy bajas frecuencias de conmutación. De hecho, el puente principal (el de fuente de mayor voltaje) opera a frecuencia fundamental (50 o 60 Hz), y además maneja el 80% de la potencia, según lo demostrado por Kouro et al. (2007) y Rotella & Dixon (2006), por lo que un inversor multietapa de este tipo es capaz de manejar grandes bloques de potencia, en comparación a otros inversores que estén basados en las mismas compuertas. Esto, además, permite disminuir importantemente las pérdidas por conmutación, y particularmente en el caso de fuentes escaladas mediante transformadores, disminuye también las pérdidas en ellos. Es importante mencionar que este tipo de topología no impide la aplicación de estrategias PWM para disminuir aún más el contenido armónico de la corriente, según lo visto en los trabajos de Rodríguez et al. (2007), Gupta & Khambadkone (2006) y Rech & Pinheiro (2007).

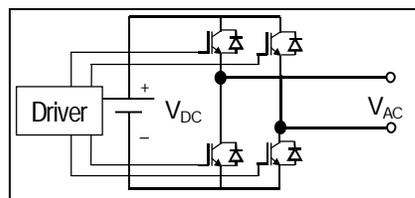


Figura 1.1 Puente “H” de tres niveles

Hasta el momento, el prototipo de inversor multietapa existente en el Laboratorio de Tracción y Energía Eléctrica desarrollado por Bretón (2003) ha sido utilizado sólo en las aplicaciones mencionadas (filtro activo & SVC). Para ello, el inversor utiliza como fuente DC un único condensador, común para todos los puentes H de las tres fases, el cual, mediante un control adecuado, se mantiene cargado con una mínima cantidad de energía y realiza la operación de interés. Esto requiere que el inversor esté construido en base a IGBTs u otras compuertas que permitan el flujo bidireccional de potencia. Sin

embargo, dadas las crecientes necesidades de generación de energía, surge el interés por hacer funcionar, adicionalmente, a este filtro y SVC, como fuente de potencia activa, que permita apoyar en cierta medida al SEP. Para ello, se hace necesario reemplazar al mencionado condensador, por una fuente capaz de almacenar una mayor cantidad de energía, como una batería. Dado que el inversor puede manejar flujos bidireccionales de potencia, es posible cargar la batería desde el mismo SEP que se está apoyando, por ejemplo, durante la noche (recorte de punta); pero también es posible cargar a las baterías directamente desde una fuente auxiliar, como un generador eólico, o un arreglo de paneles fotovoltaicos. Un arreglo como el mencionado, asumiendo como fuente auxiliar un panel fotovoltaico, se ilustra en la Figura 1.2. El sistema mostrado en la figura es el motivo principal de esta Tesis y será explicado y desarrollado en los capítulos siguientes.

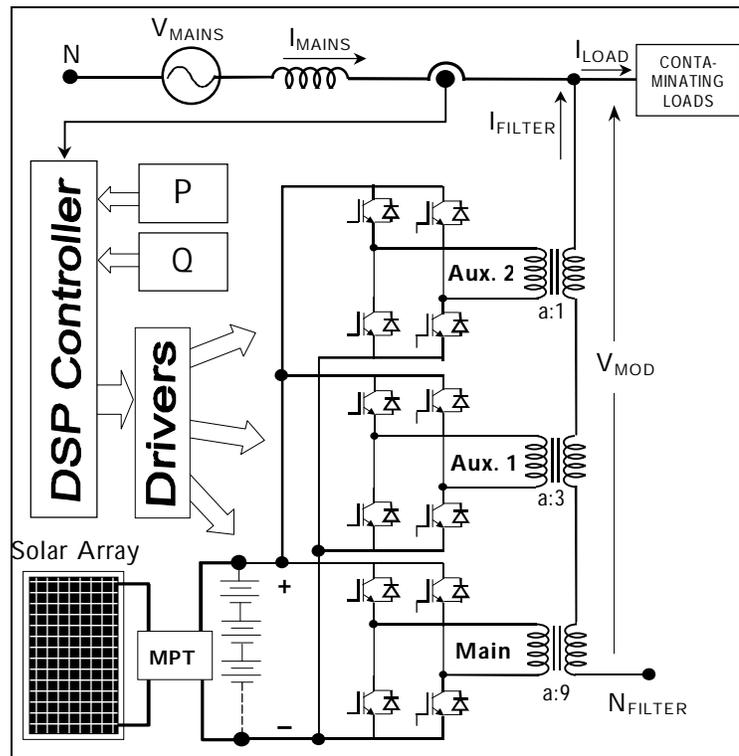


Figura 1.2 Filtro Activo y SVC con capacidad de generar y absorber potencia activa

Los objetivos principales de este trabajo de tesis son:

- Desarrollar la topología de la Fig. 1.2, orientada a lograr la operación del inversor multietapa como generador de potencia, filtro activo y SVC;
- Diseñar y desarrollar un sistema de control que permita la operación del sistema mencionado (generador-filtro-SVC), utilizando como fuente principal un banco de baterías, y como fuente auxiliar un arreglo de paneles fotovoltaicos, controlando principalmente la cantidad de potencia que se inyecta desde las baterías;
- Implementar el sistema completo (topología y control), utilizando como base el prototipo de inversor multietapa trifásico de 81 niveles del Laboratorio de Vehículos Eléctricos del Departamento de Ingeniería Eléctrica de la Pontificia Universidad Católica de Chile (DIE-PUC), operando a 27 niveles (eliminación del nivel más pequeño).

Cabe señalar que un sistema tan versátil como el propuesto necesita de una plataforma de control muy poderosa, la cual se puede implementar en un dispositivo de tipo DSP (digital signal processor), que permite rápidas modificaciones al control, según lo realizado por Román et al. (2006).

2. DESCRIPCIÓN GENERAL DEL SISTEMA

En resumen, el sistema consta de las siguientes partes: arreglo fotovoltaico, inversor multietapa trifásico, banco de baterías, convertidor DC-DC de algoritmo localizador de punto de potencia máxima (Maximum Power Point Tracker, MPPT), y control automático. Las operaciones del arreglo fotovoltaico y del control automático serán descritas en detalle en capítulos posteriores.

Como ya fue mencionado, el inversor es de tipo multietapa trifásico de 27 niveles en base a IGBTs, de fuente única y transformadores escalados en potencia de tres, cuya barra DC, en este caso, corresponde a un banco de baterías de plomo-ácido de tracción. Dicho banco puede ser alimentado desde dos fuentes: el mismo inversor operando como rectificador, o a partir de una fuente auxiliar, que en este caso corresponde a un arreglo de paneles fotovoltaicos, cuya entrega de energía es gestionada mediante el uso de un dispositivo MPPT de la empresa Brusa Elektronik AG. El arreglo fotovoltaico será descrito en el siguiente capítulo. La Figura 2.1 ilustra el diagrama general de un inversor multietapa de 27 niveles.

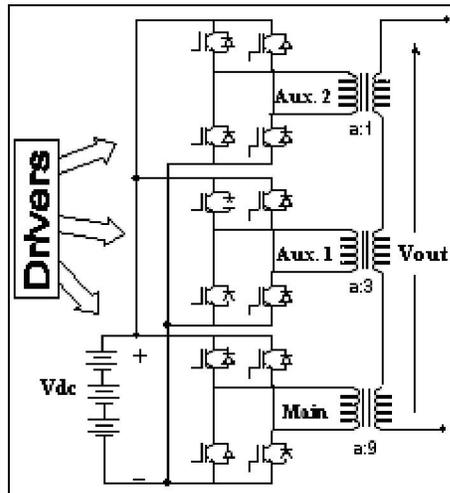


Figura 2.1 Inversor de tres etapas, 27 niveles

Para que el inversor opere como rectificador, debe existir flujo inverso de energía desde la red trifásica, el cual es uno de los tres modos de operación. Los otros dos modos son el de fuente de energía, y un modo “de espera”, en el que el sistema no inyecta ni consume energía de la red. La activación de cada uno de estos tres modos de operación depende del estado de carga (state of charge, SOC) de las baterías, según detalle indicado más adelante. En cualquiera de los tres casos, el sistema opera naturalmente como filtro activo de armónicas, y puede operar como compensador estático de reactivos, ya que esto no implica consumo o entrega de energía por parte de la barra DC del inversor, asegurando la calidad del servicio eléctrico en la zona aguas arriba de la carga contaminante. Cabe señalar que, en estricto rigor, el sistema no puede operar sin consumir energía alguna, ya que necesita activar el funcionamiento de los IGBTs y del sistema de control; sin embargo, esta energía puede considerarse como despreciable. La Figura 2.2 ilustra un esquema general de la conexión del sistema a la red.

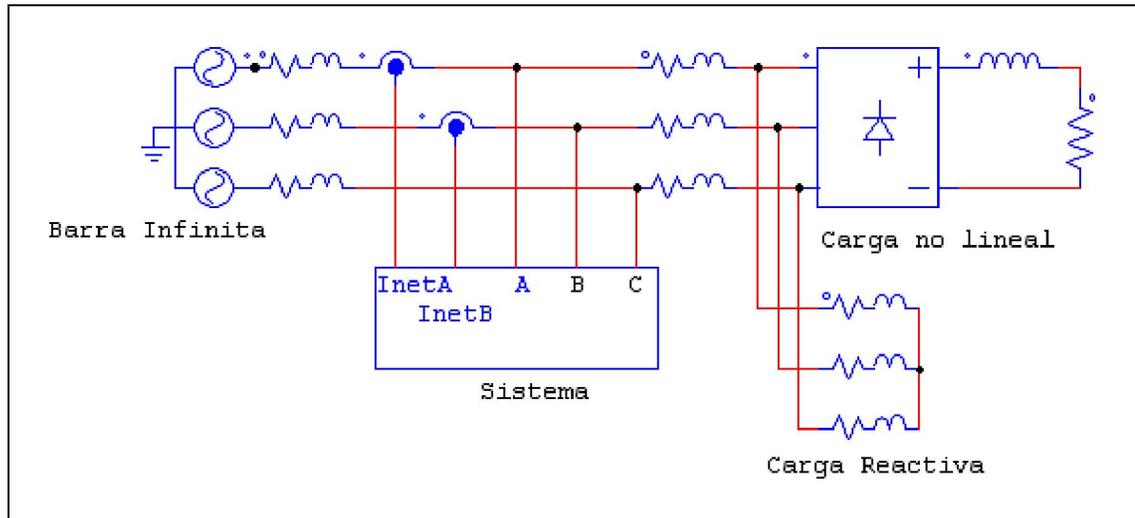


Figura 2.2 Conexión del sistema en paralelo a la red

Es importante que la conexión del sistema sea en paralelo, justo en el punto aguas arriba de la carga contaminante (carga no lineal –puente Graetz– y carga reactiva RL). Se observa que se mide la corriente entre el inversor y la barra infinita, lo que se debe a que es dicha corriente la que se quiere mantener libre de armónicas y con un cierto desfase respecto al voltaje de barra infinita; por lo tanto, el control automático está basado en ella. El bloque “sistema” será explicado en detalle más adelante.

La barra DC, donde está conectada la batería de la Fig. 2.1, tiene un funcionamiento que determina el modo en que puede operar el sistema, mediante el cálculo del estado de carga de las baterías (State Of Charge, SOC). La Tabla 2.1 indica los modos de operación según el SOC.

Tabla 2.1 Modos de operación del sistema

Rango	Modo
SOC > 70%	Inyección de Energía
60% < SOC < 70%	"Espera"
SOC < 60%	Carga de Energía

El SOC de las baterías, como es lógico, depende tanto de la energía que se ha entregado a la red, como de la energía que recibe de la fuente auxiliar o de la misma red. Es por ello que es importante un buen cálculo del SOC, ya que una caída del nivel de carga implica una caída de voltaje del banco; dicha caída puede ser corregida mediante el mismo control del sistema, pero no es lo óptimo; además, afecta a la vida útil de las baterías, dado que el número de ciclos de descarga depende exponencialmente del porcentaje de profundidad de descarga.

3. ARREGLO FOTOVOLTAICO Y PROCESO DE TOMA DE DATOS

Dado que la base del presente trabajo es la de hacer funcionar al inversor multietapa con alimentación parcial de fuentes renovables de generación DC, se trabajó en base al desempeño horario de un arreglo fotovoltaico de 300 celdas solares MAIN 1530, dispuestas en 6 paneles de 50 celdas cada uno. Dichos paneles fueron instalados el día 5 de Octubre de 2006, y por motivos de deterioro de los mismos, fueron retirados el día 5 de Enero de 2007.

Tabla 3.1 Características de una Celda Solar “Main 1530”

Tipo	Policristalina
Voltaje [V]	0.5
Potencia [W]	2
Eficiencia máxima	15%
Dimensiones [mm²]	100 x 150

3.1. Instalación y Configuración

Los paneles fueron colocados sobre una estructura metálica instalada en el techo del Edificio del DIE-PUC, de 3 pisos y una altura aproximada de 10 metros. Cada uno de los paneles tiene un área de $84 \times 110.6 \text{ cm}^2$, y fueron dispuestos en configuración 3x2, con el fin de alimentar a un banco de 12 baterías de Plomo-Ácido marca “Sonneschein” de 13 V (aprox.) y 50 Ah, ubicado en el Laboratorio de Tracción y Electrónica, en el primer piso del Edificio DIE-PUC.

Dado que la ciudad de Santiago se encuentra en Latitud 33° Sur, la inclinación de los paneles fue la adecuada para lograr que éstos recibieran los rayos solares de manera óptima, es decir oscilando a lo largo del año entre +23,27° y -23,27° respecto a la

perpendicular, en orientación Norte. La estructura fue anclada mecánicamente al techo, aprovechando la estructura interna de éste. Los paneles fueron conectados en 2 conjuntos paralelos de 3 paneles en serie cada uno, siendo conectados al banco utilizando el siguiente material: un cable tripolar de intemperie, encargado del transporte de la energía desde los paneles ubicados en el tercer piso al Laboratorio en el primer piso; un par de diodos RURG8060 (80 A, 600 V) en conexión de cátodo común, encargados de la confluencia de la energía en un punto común; y el dispositivo MPPT (Maximum Power Point Tracker) modelo N15 de la empresa "Brusa Elektronik AG", encargado de administrar la energía de los paneles de la manera más eficiente posible. La Figura 3.1 muestra la instalación del panel en el techo del edificio.



Figura 3.1 Arreglo de Paneles Solares instalado en techo de Edificio DIE-PUC

La conexión, como ya fue mencionado, se realizó mediante un cable tripolar. Dos de los polos conectan a cada uno de los bornes positivos de los conjuntos, mientras que el tercero opera como retorno negativo común. Esto se realizó así con el fin de tener información más detallada respecto del estado de la superficie de los paneles,

específicamente de si algún panel se encontraba tapado por algún objeto obstructor. Por su parte, los diodos cumplen el objetivo tanto de equalizar los voltajes de entrada al MPPT, como de protección del mismo, evitando que los paneles consuman energía. El MPPT cumple la función de operar siempre al punto de máxima potencia posible (Maximum Power Point Tracker). Por tanto, los paneles solares se conectan al MPPT a través de dos puntos: el cátodo común de los diodos, y el retorno negativo de los paneles. La Figura 3.2 muestra la conexión descrita.

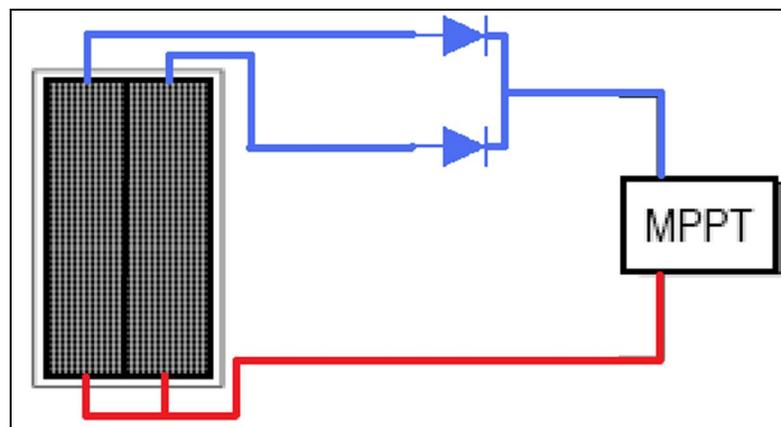


Figura 3.2 Esquema de conexión de arreglo fotovoltaico a MPPT

El dispositivo MPPT posee los siguientes bornes: 4 entradas DC positivas, 4 entradas DC negativas, 2 salidas DC positivas, 2 salidas DC negativas y 1 par de entradas para alimentación desde rectificador conectado a fuente AC. Dichos bornes están dispuestos de la forma indicada en la Figura 3.3:



Figura 3.3 Conectores del MPPT

La salida del MPPT conecta al banco de 12 baterías, las cuales están conectadas en serie, alcanzando un voltaje de, aproximadamente, $158 V_{DC}$.

3.2. Pruebas de Carga usando Celdas Fotovoltaicas

El conjunto baterías-MPPT-arreglo fotovoltaico fue probado y se realizaron mediciones de voltajes de entrada a cada diodo, salida de cátodo común (entrada a MPPT), de banco de baterías (salida del MPPT), de corrientes de salida de cátodo común (entrada a MPPT) y entrada al banco de baterías (salida del MPPT). Dichas mediciones fueron realizadas a intervalos de 5 minutos, lo que permitió tener una medición acertada de la curva de potencia instantánea y de la eficiencia promedio del sistema de carga de las baterías desde el arreglo fotovoltaico. Además, permitió calcular la energía total entregada a las baterías. A continuación, la Tabla 3.2 presenta los valores relevantes de la toma de datos realizada:

Tabla 3.2 Valores relevantes de carga de Baterías usando Arreglo Fotovoltaico

	Inicio (11:30)	Fin (18:00)
Voltaje Baterías en Vacío [V]	149	158
Corriente MPPT de entrada [A]	5.58	2.74
Corriente MPPT de salida [A]	2.01	1.09
Voltaje MPPT de entrada [V]	56.2	63.9
Voltaje MPPT de salida [V]	152.1	158.4
Potencia a Baterías [W]	306	173
Potencia desde Paneles [W]	313.6	175.1
Eficiencia MPPT	97.6%	98.8%
Eficiencia promedio MPPT	97.9%	
Eficiencia máxima MPPT	98.8%	
Energía Total [Wh]	2091.4	

Las Figuras 3.4 y 3.5 muestran las señales de voltaje y corriente en el arreglo fotovoltaico y en el banco de baterías, respectivamente, mientras la Figura 3.6 ilustra las potencias de entrada y salida del MPPT (desde el arreglo fotovoltaico y hacia el banco de baterías):

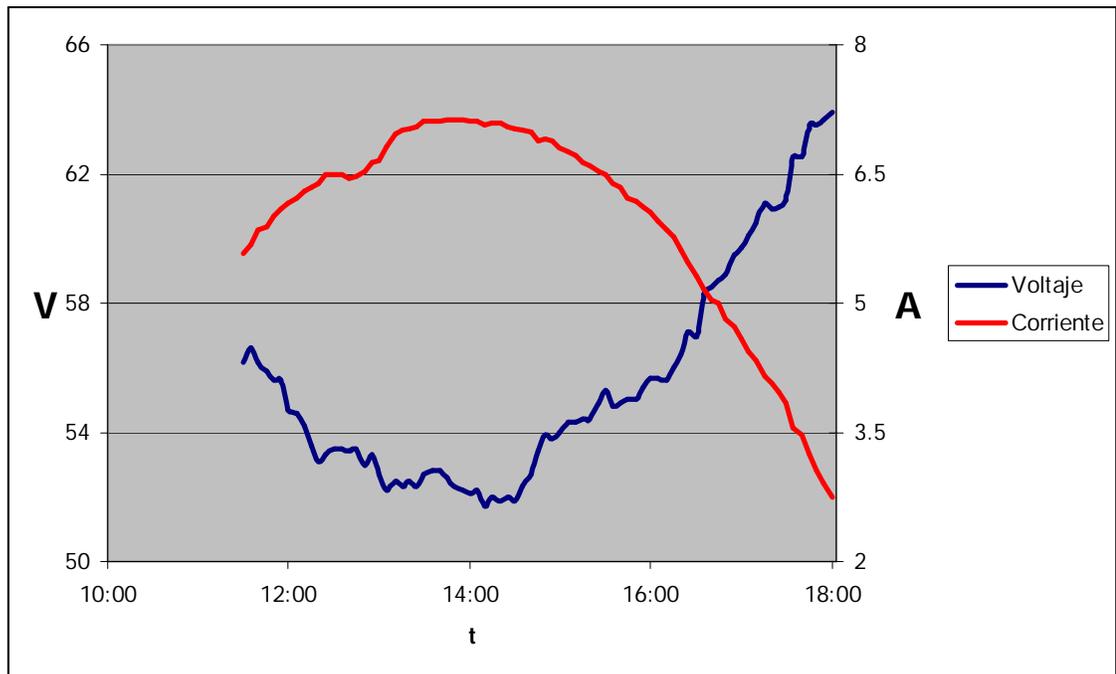


Figura 3.4 Voltaje y Corriente en arreglo fotovoltaico

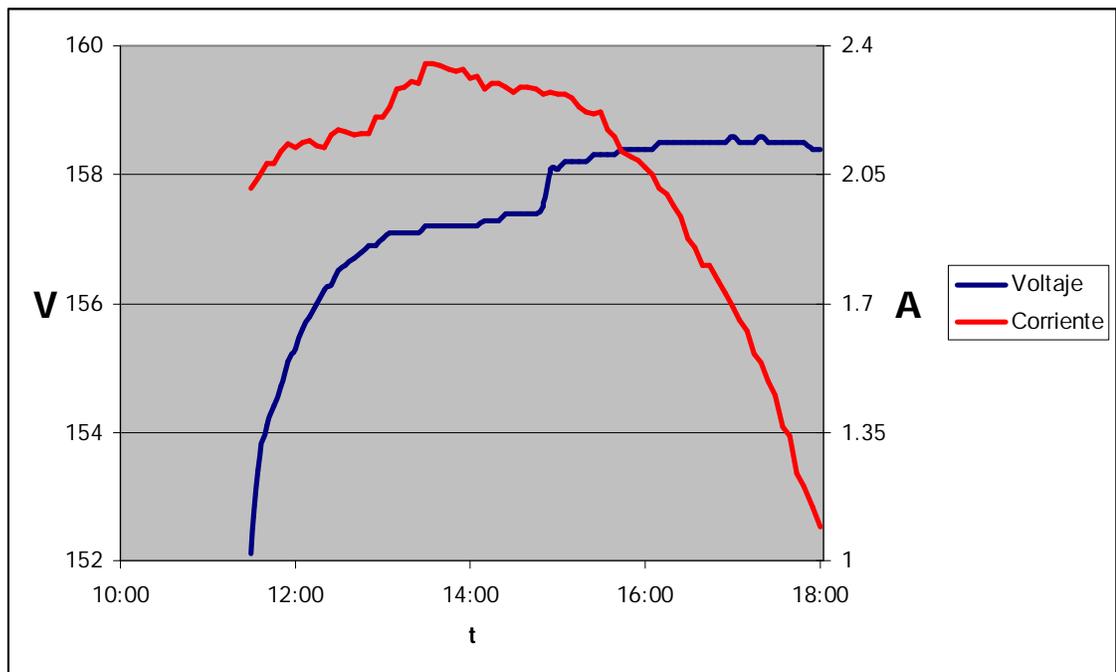


Figura 3.5 Voltaje y Corriente en banco de baterías

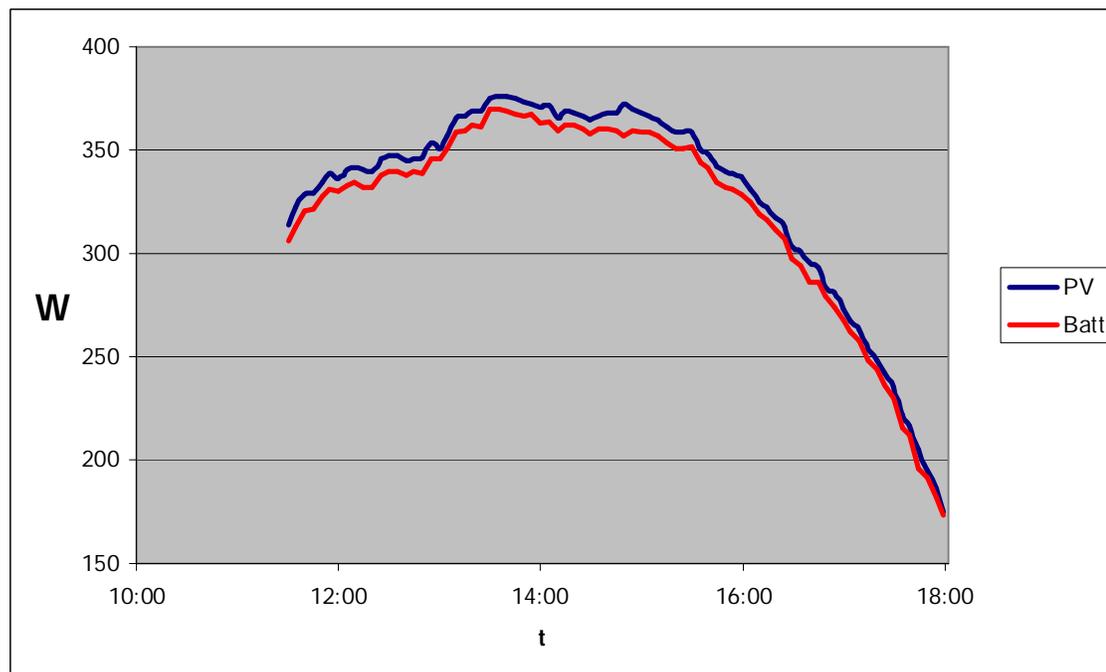


Figura 3.6 Potencia en arreglo fotovoltaico (PV) y banco de baterías (Batt)

Como muestra la Figura 3.4, la acción del MPPT es notoria, al modificar el voltaje de los paneles solares haciendo que su forma sea inversa a lo esperado, según la línea de tiempo. La potencia observada en la Figura 3.6 sí tiene una forma acorde a la hora correspondiente, lo cual va en directo beneficio de la carga de las baterías, cuyo voltaje es permanentemente creciente y solo decrece en los minutos finales del experimento, cerca del atardecer. Las corrientes, como se ve en las figuras 3.4 y 3.5, tienen formas similares. Por otra parte, la energía total inyectada durante las 6.5 horas del experimento fue de 2091.4 Wh, aproximadamente un 27% de la energía total del banco de baterías, por lo que el uso de un arreglo fotovoltaico es una buena opción como fuente auxiliar de energía. Si se considera un tiempo de uso entre 9:00 y 19:00 hrs., se podría contar con un apoyo de alrededor del 33% de la energía total del banco, aunque solo en los meses de verano. Lógicamente en invierno se tendría un apoyo bastante menor. Sin embargo, es importante señalar que se puede reemplazar la fuente auxiliar fotovoltaica por una de tipo eólico, o por cualquier otro tipo de fuente DC.

4. CONFIGURACIÓN DEL SISTEMA

El objetivo del sistema es el de inyectar potencia activa a la red, a la vez que se controla el factor de potencia y se elimina la presencia de armónicos en el punto de conexión. En la figura 2.2 se observa que existen tres corrientes alternas principales: la corriente entre la barra infinita y el punto de conexión (denominada I_{NET}), entre el inversor y el punto de conexión (denominada I_{INV}), y entre la carga contaminante y el punto de conexión (denominada I_{LOAD}). La corriente que interesa mantener libre de armónicos y con un desfase (respecto del voltaje de barra infinita) controlado es la corriente I_{NET} , porque así se mantiene a la barra infinita sin armónicos y con un buen factor de potencia; por tanto, I_{NET} corresponde a una variable controlada. La corriente I_{LOAD} debe tener su forma de onda para el correcto funcionamiento de la carga, por lo que es la corriente I_{INV} la que debe proveer de los armónicos que necesita la carga, liberando a la barra infinita de dicha responsabilidad. Para ello, basta con tener un voltaje sinusoidal en el punto de conexión (V_{CXN}), ya que la barra infinita se supone de voltaje sinusoidal, la corriente I_{NET} no tiene más opción que ser sinusoidal. Además, el mismo voltaje V_{CXN} sirve para controlar la fase y la amplitud de la corriente I_{NET} , mediante los mismos parámetros mencionados. Es por ello que el voltaje V_{CXN} corresponde a la acción de control.

Ahora bien, si el inversor simplemente actúa como filtro activo y SVC, la barra infinita es la que entrega la potencia que necesita la carga; el disminuir la amplitud de la corriente I_{NET} implicaría que la potencia faltante debiese ser entregada por el inversor, lo cual es justamente el objetivo de este trabajo. Sin embargo, en un dispositivo de poca potencia (en comparación al SEP), no es conveniente manejar directamente la corriente I_{NET} , ya que esto evitaría conocer cuanta corriente está siendo entregada por parte de las baterías, lo que puede ser peligroso si se sobrepasan sus límites. Es por ello que la amplitud de la corriente I_{NET} debe tener un valor en función al valor de la amplitud de la

corriente de baterías que se quiere entregar, es decir, se debe generar automáticamente en base a funciones matemáticas.

Por su parte, el factor de potencia se puede controlar si se considera que la potencia total, "S", corresponde a la suma vectorial de las potencias activa y reactiva, "P" y "Q". Dichas potencias son el producto algebraico del voltaje por la componente activa y reactiva de la corriente, respectivamente. Por tanto, la potencia activa puede controlarse manipulando la amplitud de la corriente activa, como ya fue mencionado, mientras que la potencia reactiva puede controlarse manipulando la amplitud de la corriente reactiva, siendo la corriente instantánea I_{NET} la suma algebraica de ambas corrientes instantáneas. Si se quiere tener un factor de potencia unitario, basta con mantener la componente reactiva de la corriente I_{NET} igual a cero.

El SOC de la batería condicionará el funcionamiento del sistema sólo en cuanto al parámetro de amplitud de corriente activa, dado que ni la corriente reactiva ni el filtrado de armónicos requieren de energía. La Figura 4.1 presenta un diagrama de bloques del sistema completo, incluyendo el sistema de control propuesto.

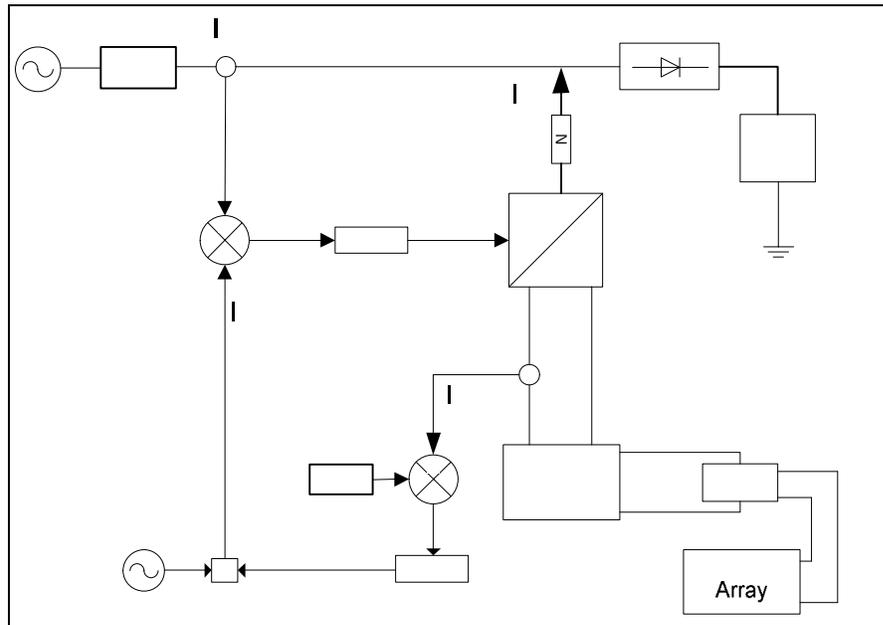


Figura 4.1 Diagrama de bloques del sistema

Se observan dos bloques de control PI (proporcional-integral): uno se encarga de generar la referencia de amplitud de corriente activa para I_{NET} , controlando la corriente que se quiere tener en las baterías (denominada I_{BAT}); el segundo controla la corriente I_{NET} en base a la referencia generada de corriente activa y a la referencia impuesta de corriente reactiva, las cuales se suman para componer la referencia de I_{NET} . En el siguiente punto, se explicará el proceso algebraico desarrollado para determinar el valor de los parámetros numéricos de los bloques.

5. SINTONIZACIÓN DE BLOQUES DE CONTROL

El presente capítulo fue realizado con la asistencia de los software *MATLAB* (lugar geométrico de las raíces y sintonización de bloques PI) y *PSIM* (simulaciones). El bloque “sistema” indicado en la figura 2.1 posee la configuración interna que ilustra la Figura 5.1:

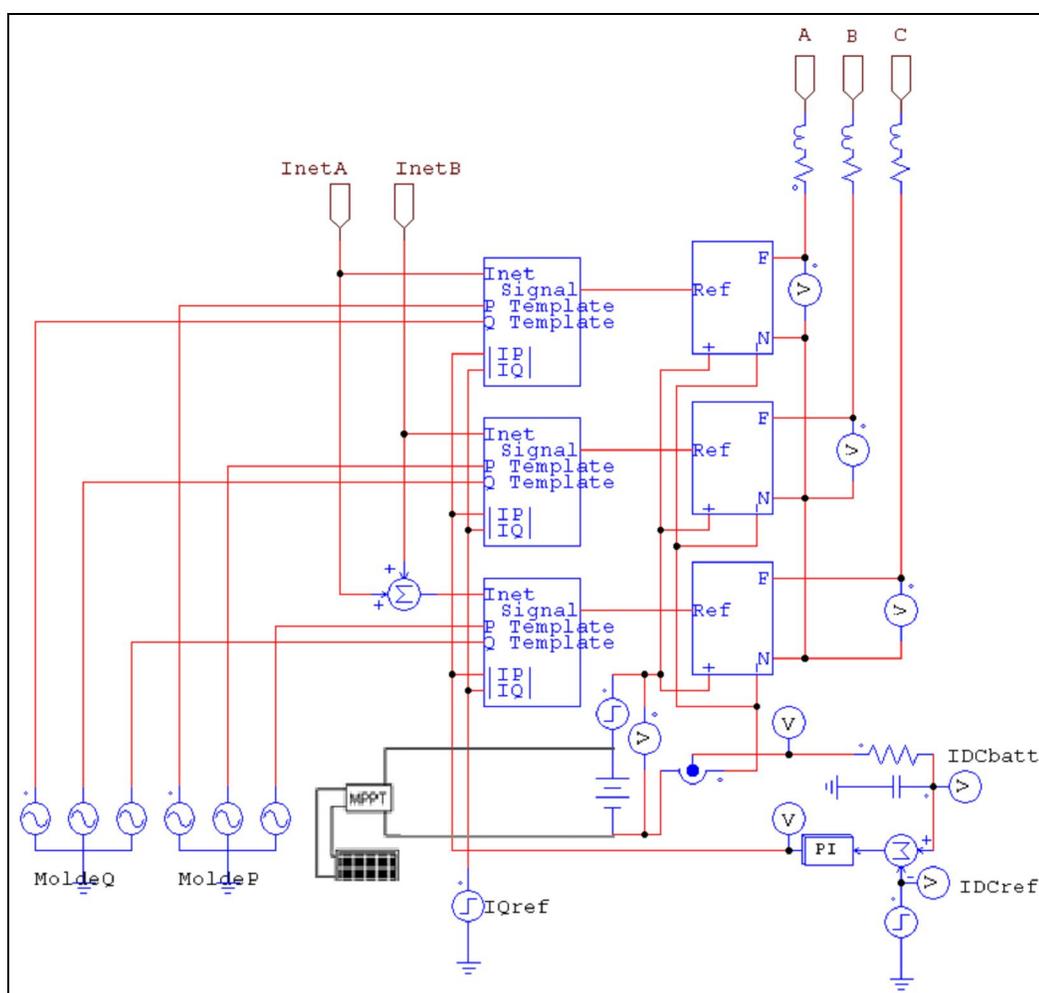


Figura 5.1 Sistema Inversor – Controlador

El sistema de control de la Figura 5.1 puede resumirse en los siguientes bloques por fase, de izquierda a derecha: molde de corriente reactiva (“MoldeQ”, desfasado 90°

en adelante respecto del voltaje de red), molde de corriente activa ("MoldeP" en fase con el voltaje de red); control de inversor; conjunto arreglo fotovoltaico-MPPT-baterías; referencia de amplitud de corriente reactiva "IQref"; inversor multietapa; impedancia de transformadores de inversor y de línea de conexión entre inversor y red eléctrica; control de corriente activa de batería (el cual genera la referencia de amplitud de corriente activa). El control de inversor tiene 5 entradas y una salida, las cuales son, respectivamente: corriente de línea (corriente real); moldes de corriente activa y reactiva (ambos sinusoidales); referencias de amplitud de corriente activa y reactiva (ambas escalares). Cabe señalar que la entrada de corriente de línea de la fase "C" es determinada matemáticamente a partir de las corrientes de las otras dos fases, para ahorrar un sensor de corriente. La salida es la señal de activación del inversor multietapa. Cada uno de los bloques de control de los inversores son idénticos, en la realidad; la única diferencia radica en las entradas de moldes de corriente, dado que deben representar el desfase angular propio de un sistema trifásico. Lo mismo cada uno de los bloques de inversor; en la realidad, cada uno representa a una fase del inversor trifásico. El control de inversor es ilustrado por la Figura 5.2:

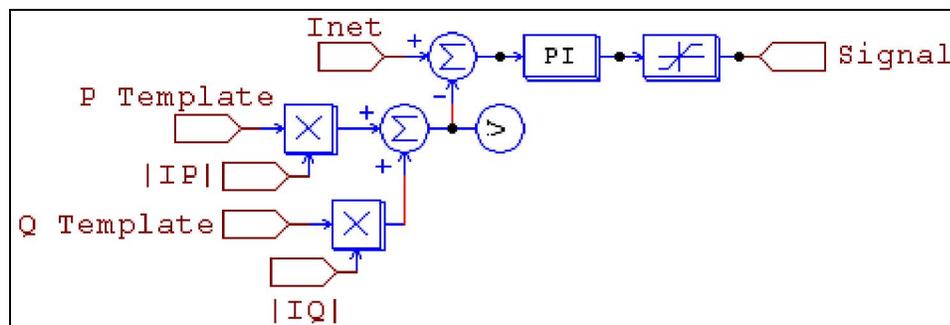


Figura 5.2 Control de Inversor

El sistema puede ser representado por el diagrama de bloques que se presenta en la Figura 4.1, el cual es la base para el proceso algebraico desarrollado a continuación. La Figura 5.3 ilustra nuevamente el mencionado diagrama de bloques.

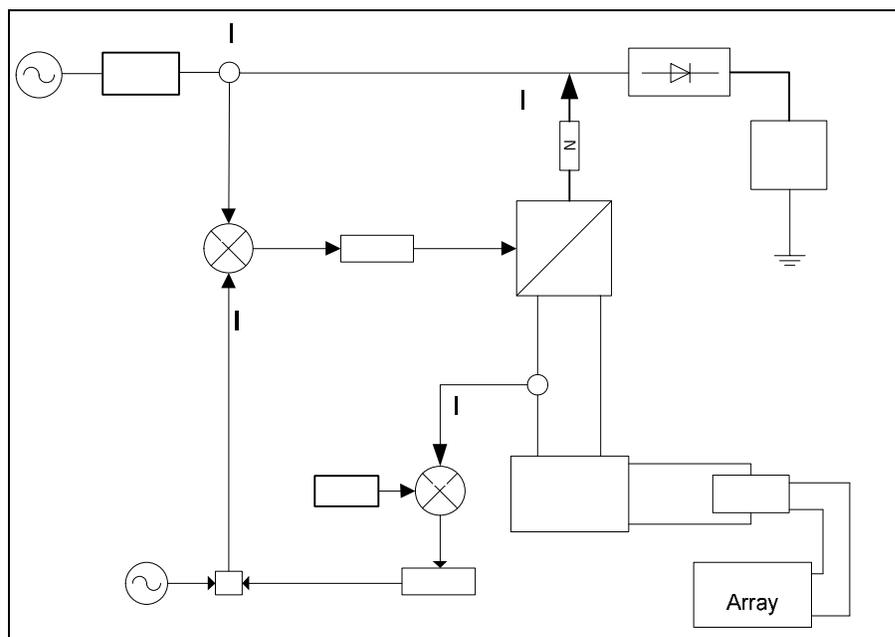


Figura 5.3 Diagrama de Bloques del Inversor

Los parámetros de referencia son, por tanto, la corriente activa que entrega la batería ($I_{batt_{REF}}$ en la Figura 5.3), y la corriente reactiva que se quiere en la línea de conexión ($|I_Q|$ en la Figura 5.3); todo esto mientras se mantiene una corriente sinusoidal libre de armónicas en la red, lo cual se produce debido a los moldes para las corrientes ($P\ Template$ y $Q\ Template$ en la Figura 5.3). El primer parámetro responde a la necesidad de pensar en la capacidad de apoyo de la batería antes que en las necesidades de la red; el segundo ofrece la posibilidad de mejorar el factor de potencia del resto de la red apoyándola con reactivos capacitivos; al mismo tiempo, el comportamiento natural del sistema es el de generar un voltaje sinusoidal en el punto de conexión, eliminando los armónicos (o reduciéndolos a valores aceptables). La referencia de corriente, por tanto, consiste de la suma algebraica de dos sinusoidales desfasadas en 90° , la cual constituye a su vez una sinusoidal con cierto desfase respecto del voltaje de red, el que depende de las magnitudes de ambas referencias.

5.1. Sintonización de bloque de control PI de corriente de red

Se diseñarán los bloques de control PI utilizando la herramienta *sisotool* de *Matlab*, software desarrollado por Mathworks (2004), sintonizando primero el bloque PI de control directo de corriente de red de manera independiente, para luego agregar el resto del sistema y sintonizar el bloque PI de control de corriente de batería con el otro bloque como parte de la planta. El proceso algebraico de sintonización del primer bloque estará basado en el diagrama de bloques ilustrado en la Figura 5.4.

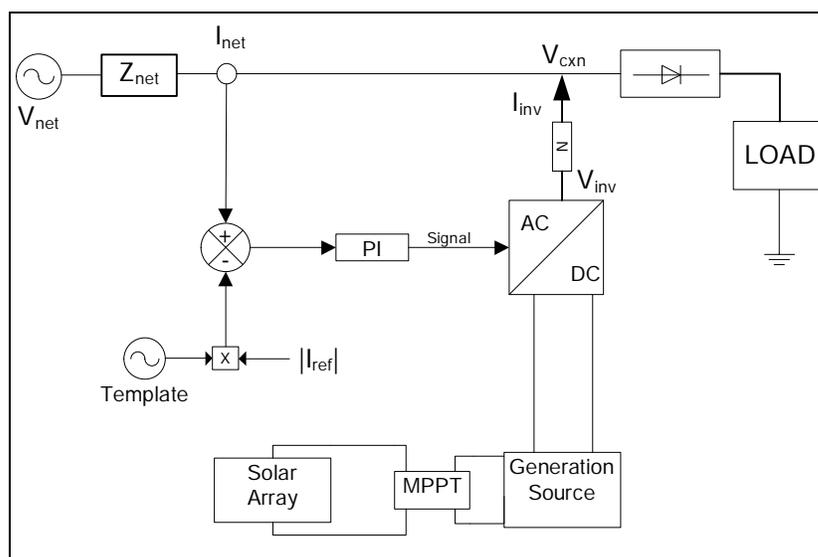


Figura 5.4 Sintonización de bloque PI de control de corriente de línea

Es importante señalar que, en el siguiente proceso algebraico, se utilizarán indistintamente ecuaciones de régimen y ecuaciones de tipo dinámicas, lo que podría considerarse como un error. Sin embargo, el objetivo no es el de determinar exactamente los parámetros numéricos para sintonizar los bloques PI, sino que el de determinar rangos de desempeño de estabilidad aceptable, para luego elegir los parámetros dentro de dichos rangos.

El bloque inversor, denominado AC/DC en el diagrama, puede considerarse como un bloque proporcional de ganancia K_{inv} , la que depende del voltaje de las baterías y de la razón de transformación de los transformadores (las cuales son fijas). Por tanto, la función de transferencia de la planta a controlar se obtiene del diagrama de flujo ilustrado en la Figura 5.5:

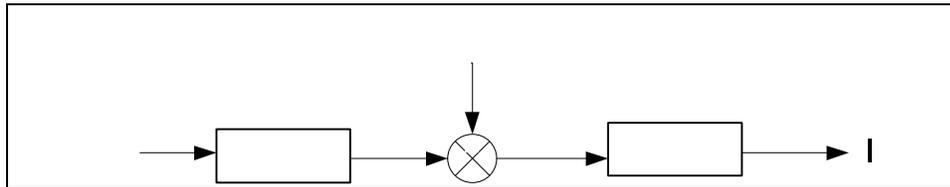


Figura 5.5 Diagrama de Flujo, Función de Transferencia $I_{net}/Signal$

Relación entre el voltaje de red y el voltaje del punto de conexión:

$$V_{net} = V_{cnn} + Z_{net} \cdot I_{net} \quad (5.1)$$

Relación entre el voltaje de inversor y el voltaje del punto de conexión:

$$V_{inv} = V_{cnn} + Z_{inv} \cdot I_{inv} \quad (5.2)$$

Combinando relaciones 5.1 y 5.2:

$$V_{net} - V_{inv} = Z_{net} \cdot I_{net} - Z_{inv} \cdot I_{inv} \quad (5.3)$$

El voltaje de inversor corresponde a una señal de activación multiplicado por una ganancia (según lo explicado anteriormente):

$$V_{inv} = K_{inv} \cdot signal \quad (5.4)$$

Impedancia de la red (modelo dinámico):

$$Z_{net} = R_{net} + L_{net} \cdot \frac{d}{dt} \quad (5.5)$$

Impedancia de línea de conexión de inversor a red (modelo dinámico):

$$Z_{inv} = R_{inv} + L_{inv} \cdot \frac{d}{dt} \quad (5.6)$$

Reemplazando 5.4, 5.5 y 5.6 en 5.3:

$$V_{net} - K_{inv} \cdot signal = I_{net} \cdot R_{net} + L_{net} \cdot \frac{d}{dt} I_{net} - I_{inv} \cdot R_{inv} - L_{inv} \cdot \frac{d}{dt} I_{inv} \quad (5.7)$$

A continuación se linealiza el sistema. La corriente de salida del inversor se considera como constante, dado que es una consecuencia de la señal impuesta al inversor, sin embargo, es necesaria de considerar para la correcta modelación del sistema. Por su parte, el voltaje de red se asume como constante. Linealizando la ecuación 5.7 en torno a un punto de operación dado para $signal$, I_{net} e $\frac{dI_{net}}{dt}$:

$$-K_{inv} \cdot \Delta signal = R_{net} \cdot \Delta I_{net} + L_{net} \cdot \Delta \frac{d}{dt} I_{net} \quad (5.8)$$

En el dominio de Laplace:

$$-K_{inv} \cdot signal(s) = R_{net} \cdot I_{net}(s) + s \cdot L_{net} \cdot I_{net}(s) \quad (5.9)$$

Despejando la ecuación 5.9, La función de transferencia queda como:

$$\frac{I_{net}(s)}{signal(s)} = -\frac{K_{inv}}{s \cdot L_{net} + R_{net}} \quad (5.10)$$

Ésta es la función de la planta que debemos compensar con un controlador PI. Ingresando la planta a *Matlab*, obtenemos el lugar geométrico de raíces de la Figura 5.6, con su respectiva respuesta al escalón:

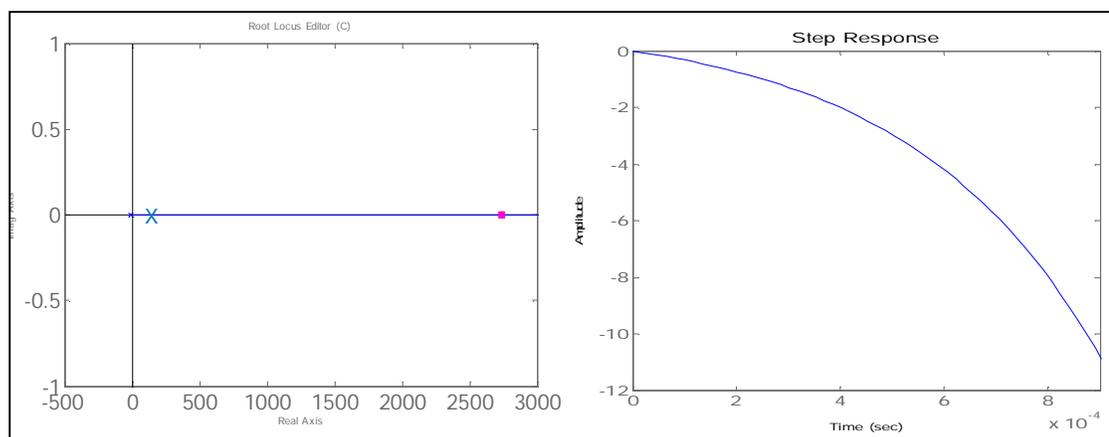


Figura 5.6 LGR y respuesta a escalón unitario; sin control PI

Claramente el sistema es inestable. Sin embargo, esto se debe a que la señal de activación es la siguiente:

$$signal = I_{net} - I_{REF} \quad (5.11)$$

La teoría de control clásica expresa que una señal de corrección debe ser la referencia menos la señal real; sin embargo, en este caso se expresa como la señal real menos la referencia. Esto tiene el siguiente motivo: si la corriente de la red es mayor que la referencia (sea activa, reactiva, o compuesta), se debe a que la diferencia de voltaje entre barra infinita e inversor es mayor de lo que debiese, por lo que es necesario incrementar el voltaje de inversor para reducir la diferencia de voltajes y, por tanto, reducir también la corriente de red. Es por ello que la ganancia del sistema debe ser

negativa. Al implementar un sistema lineal con ganancia negativa se obtiene lo siguiente:

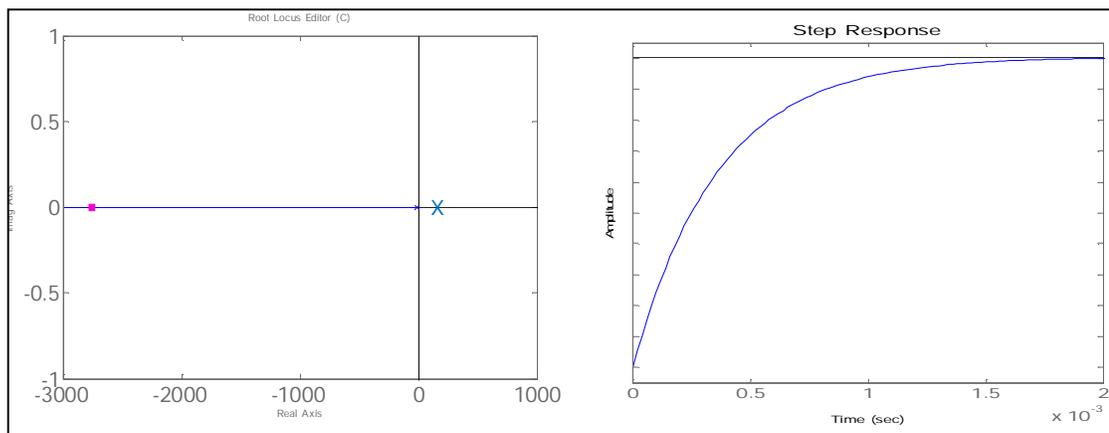


Figura 5.7 LGR y respuesta a escalón unitario; $K_p = -1$

El comportamiento de la corriente de red es el siguiente:

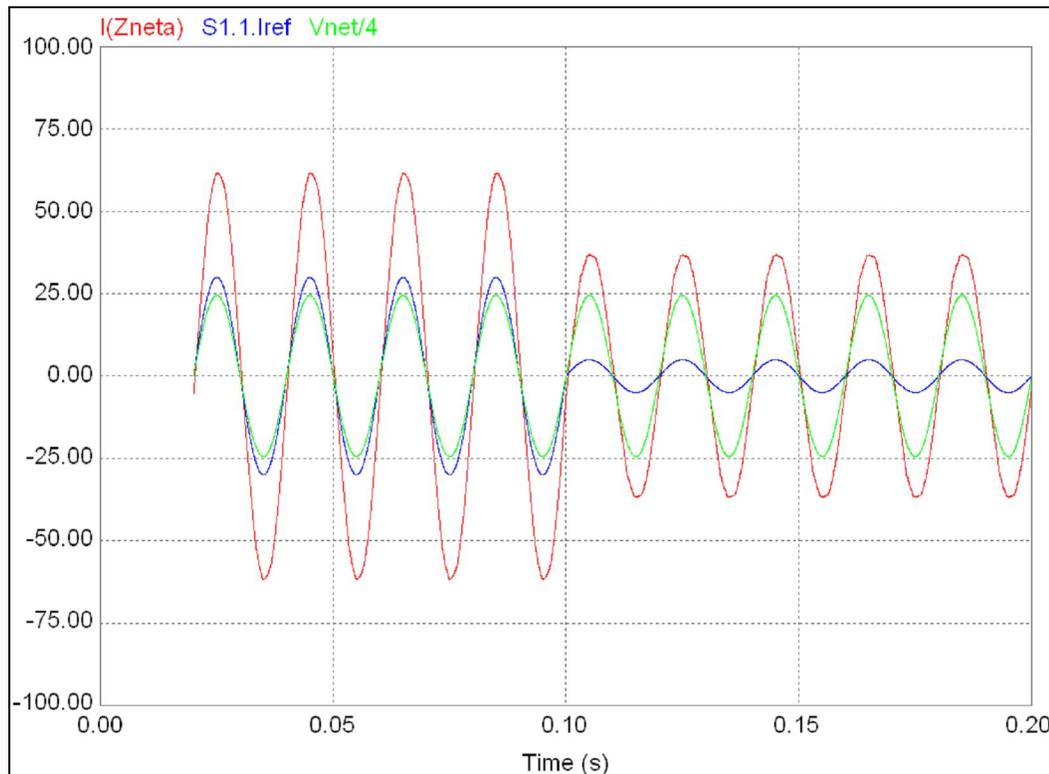


Figura 5.8 Comportamiento con control $K_p = -1$.

Corriente de red (rojo), Referencia (azul) y Voltaje de red (verde)

El sistema es estable; sin embargo, se observa un comportamiento deficiente en la red, con un error permanente bastante alto. Esto, a pesar de que el tiempo de respuesta es bastante rápido, aproximadamente de un tercio de un ciclo. Es por ello que se implementará un control PI.

El control óptimo está dado por los siguientes parámetros: $K_p = -4.8$, $K_I = -32000$

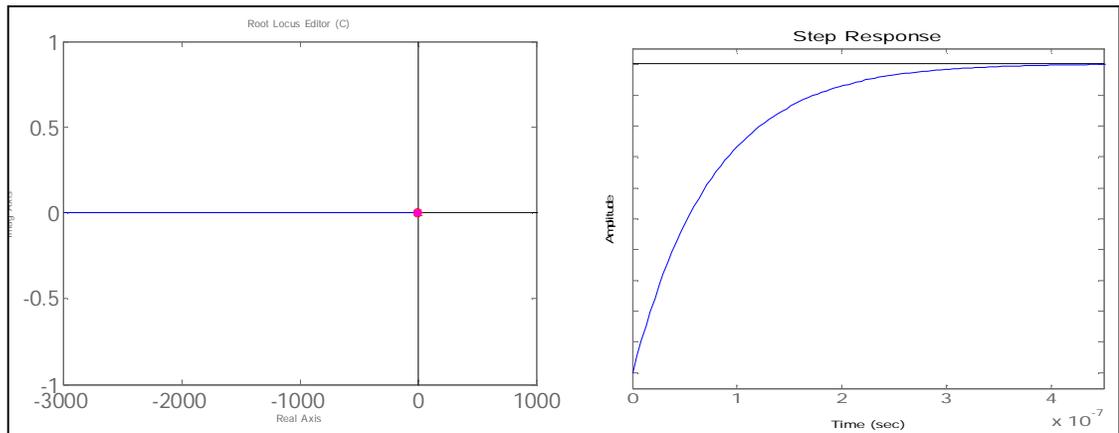


Figura 5.9 LGR y respuesta a escalón unitario con control PI

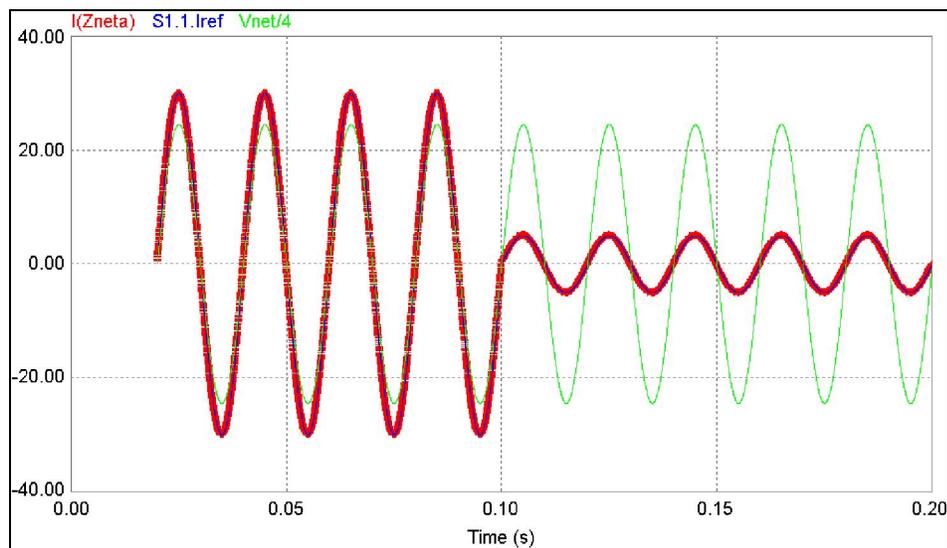


Figura 5.10 Comportamiento con control PI.

Corriente de red (rojo) y Referencia en fase (azul)

Como se puede ver, la respuesta del sistema es bastante buena. Un análisis de Fourier entrega el siguiente resultado de contenido armónico:

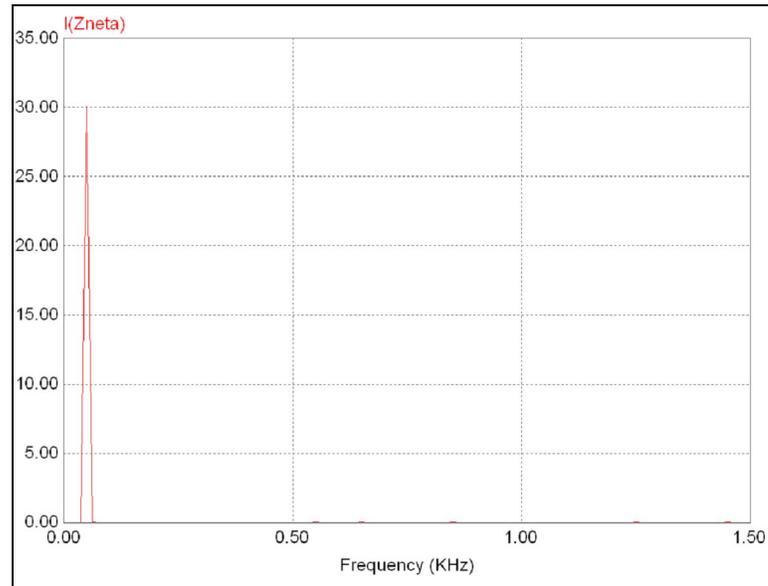


Figura 5.11 Espectro de frecuencia de la señal de corriente de línea, $I_{REF} = 30 A$

$(0 < t < 0.1 s)$

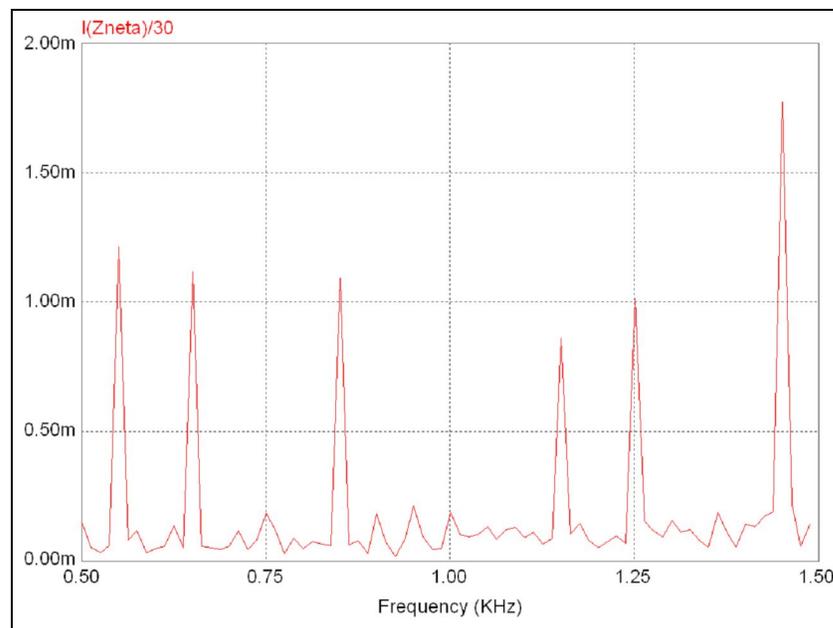


Figura 5.12 Detalle de contenido armónico, $I_{REF} = 30 A$

$(0 < t < 0.1 s)$

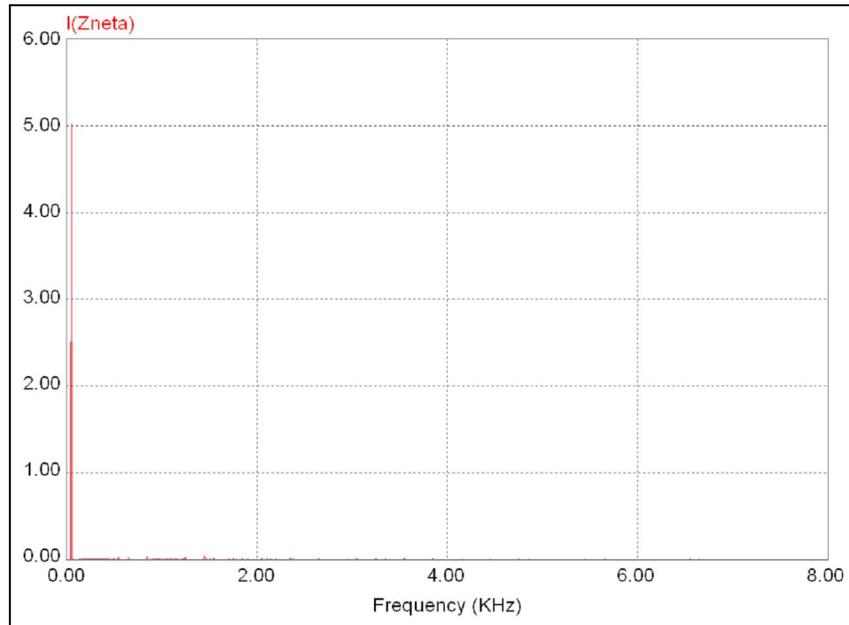


Figura 5.13 Espectro de frecuencia de la señal de corriente de línea, $I_{REF} = 5 A$

$(0.1 s < t < 0.2 s)$

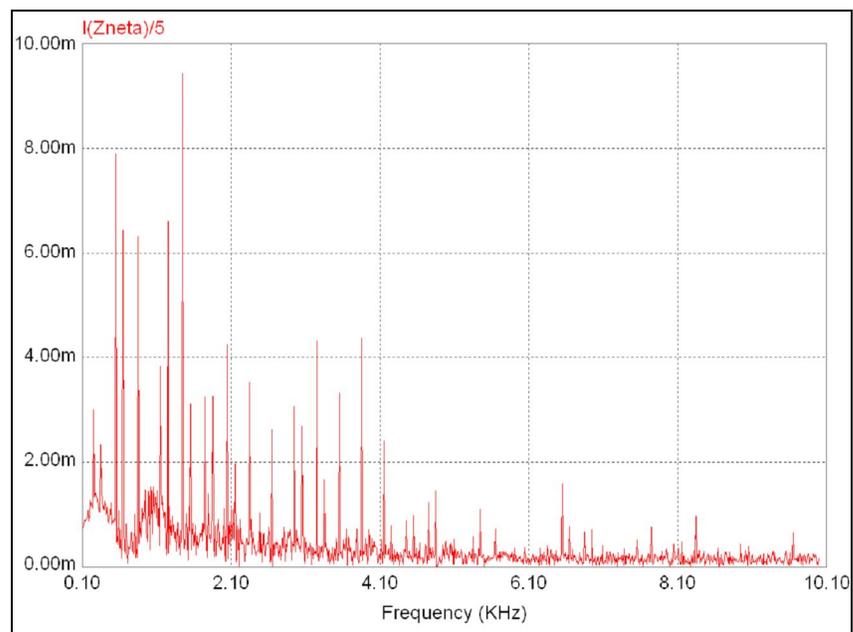


Figura 5.14 Detalle de contenido armónico, $I_{REF} = 5 A$

$(0.1 s < t < 0.2 s)$

Se observan pequeñas componentes inferiores al 1%. En las Figuras 5.15 y 5.16, se verifica el comportamiento ante cambios en la fase de la referencia de corriente, de en fase a en cuadratura respecto del voltaje de red, y de en fase a desfasada 45° en adelante respecto del voltaje de red, respectivamente.

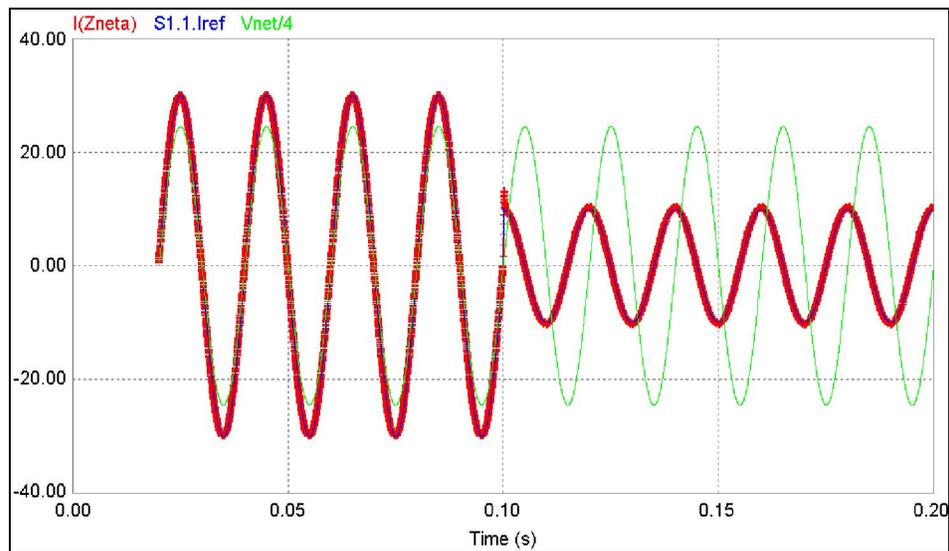


Figura 5.15 Comportamiento ante cambio a corriente reactiva.

Corriente de red (rojo), Referencia (azul) y voltaje de red (verde)

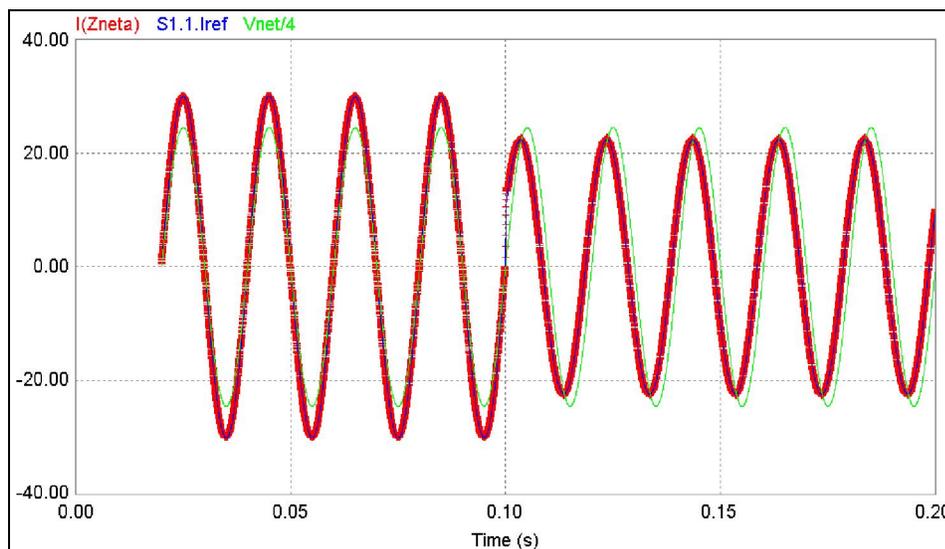


Figura 5.16 Comportamiento ante aumento de corriente reactiva.

Corriente de red (rojo), Referencia (azul) y voltaje de red (verde)

El comportamiento del sistema es bastante bueno, como se esperaba. Cabe señalar que las gráficas presentadas consideran una conexión de inversor a la red cercana a la ideal, lo cual no ocurre en la realidad, debido a la presencia de los transformadores. En el capítulo de simulaciones se mostrará el efecto que tienen las condiciones reales sobre el desempeño del sistema, que sin embargo no modifican sustancialmente el desempeño del sistema.

5.2. Sintonización del bloque de control PI de corriente de batería

Ahora se procede a sintonizar el controlador PI de la corriente de batería, considerando el controlador PI de la corriente de red como parte de la planta.

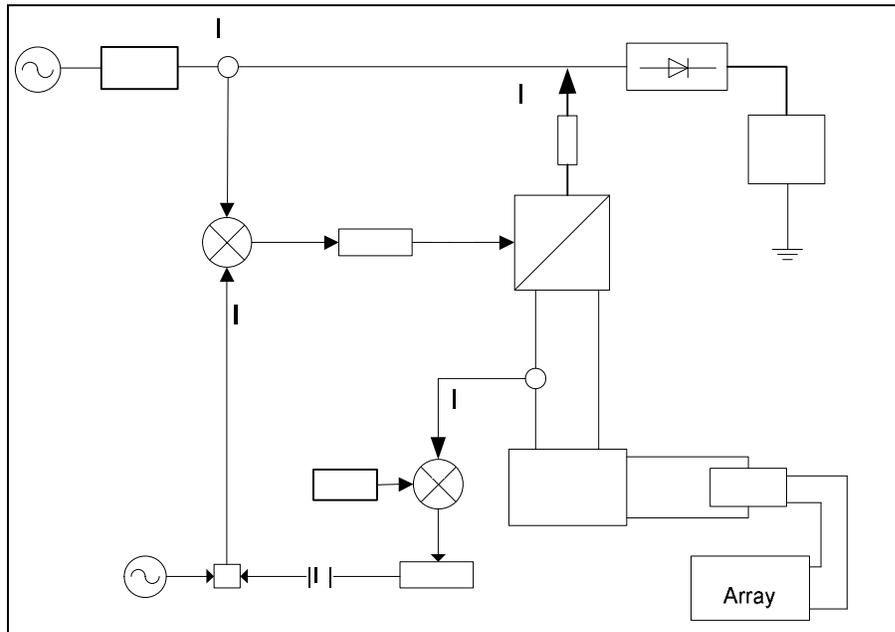


Figura 5.17 Sintonización del bloque PI de corriente DC de batería

La sintonización del bloque de control de corriente de batería expande el proceso de sintonización del control de corriente de red, cambiando el término de voltaje de salida de inversor. La relación entre los voltajes de red y de inversor se obtiene a partir de las siguientes ecuaciones, varias de las cuales ya han sido desarrolladas y/o explicadas en la Sección 5.1:

La señal de entrada es la salida del bloque PI de control de corriente de red:

$$signal = \left(KP_{net} + KI_{net} \cdot \int dt \right) \cdot (I_{net} - I_{REF}) \quad (5.12)$$

La corriente del inversor puede ser obtenida a partir del equilibrio de potencias activas a ambos lados del inversor, siendo la potencia entregada por la batería igual a la entregada por el inversor a la red más las pérdidas del inversor (que se asumen constantes con un valor de P_L):

$$V_{batt} \cdot I_{batt} = 3 \rightarrow \quad (5.13)$$

Reemplazando 5.5, 5.6, 5.12 y 5.13 en 5.3:

$$\begin{aligned} V_{net} - K_{inv} \cdot \left(KP_{net} \cdot (I_{net} - I_{REF}) + KI_{net} \cdot \int (I_{net} - I_{REF}) dt \right) \\ = R_{net} \cdot I_{net} \end{aligned} \quad (5.14)$$

$$-\frac{1}{3} \cdot \frac{V_{batt} \cdot \left(R_{inv} \cdot I_{batt} + L_{inv} \cdot \frac{d}{dt} I_{batt} \right) - R_{inv} \cdot P_L}{K_{inv} \cdot \left(KP_{net} \cdot (I_{net} - I_{REF}) + KI_{net} \cdot \int (I_{net} - I_{REF}) dt \right) \cdot \cos \emptyset}$$

Se observa que la expresión del voltaje de inversor no es incluida en la derivada por la inductancia L_{inv} , lo cual puede ser considerado un error. Sin embargo, esto tiene la siguiente explicación: dicha señal corresponde a la salida del bloque PI de control de la corriente AC de línea, la cual tiene una constante de tiempo mucho más rápida que la del bloque PI de control de corriente DC de batería que se está configurando ahora, por lo que se puede decir que, desde el punto de vista de la corriente de batería, la corriente de red ya ha sido controlada, por tanto puede considerarse como constante y su derivada puede ser considerada nula. Lo mismo vale para la derivada de corriente de red debido a la inductancia L_{lin} . Expandiendo las integrales y derivadas de la ecuación 5.14:

$$\begin{aligned} V_{net} - K_{inv} \cdot \left(\begin{aligned} & KP_{net} \cdot I_{net} - KP_{net} \cdot I_{REF} + \\ & KI_{net} \cdot \int I_{net} dt - KI_{net} \cdot \int I_{REF} dt \end{aligned} \right) \\ = R_{net} \cdot I_{net} \end{aligned} \quad (5.15)$$

$$-\frac{1}{3} \cdot \frac{V_{batt} \cdot R_{inv} \cdot I_{batt} + V_{batt} \cdot L_{inv} \cdot \frac{d}{dt} I_{batt} - R_{inv} \cdot P_L}{K_{inv} \cdot \left(KP_{net} \cdot I_{net} - KP_{net} \cdot I_{REF} + KI_{net} \cdot \int I_{net} dt - KI_{net} \cdot \int I_{REF} dt \right) \cdot \cos \emptyset}$$

Dado que al expandir la ecuación 5.15 se obtendrán expresiones cuadráticas para las variables de estado, es necesario linealizar. Considerando que en el equilibrio, las derivadas e integrales evaluadas son nulas, la linealización de la ecuación 5.15 queda como:

$$\begin{aligned}
& \Delta I_{REF} \cdot \left(\begin{array}{c} -K_{inv} \cdot \cos \emptyset \cdot V_{net} \cdot KP_{net} \\ +2 \cdot K_{inv}^2 \cdot KP_{net}^2 \cdot \cos \emptyset \cdot I_{net,0} \\ -2 \cdot K_{inv}^2 \cdot KP_{net}^2 \cdot \cos \emptyset \cdot I_{REF,0} \\ +R_{net} \cdot K_{inv} \cdot KP_{net} \cdot \cos \emptyset \cdot I_{net,0} \end{array} \right) \\
& + \Delta \int I_{REF} dt \cdot \left(\begin{array}{c} -K_{inv} \cdot KI_{net} \cdot \cos \emptyset \cdot V_{net} \\ -2 \cdot K_{inv}^2 \cdot KP_{net} \cdot KI_{net} \cdot \cos \emptyset \cdot I_{net,0} \\ -2 \cdot K_{inv}^2 \cdot KP_{net} \cdot KI_{net} \cdot \cos \emptyset \cdot I_{REF,0} \\ +R_{net} \cdot K_{inv} \cdot KI_{net} \cdot \cos \emptyset \cdot I_{net,0} \end{array} \right) \\
& + \Delta I_{net} \cdot \left(\begin{array}{c} K_{inv} \cdot KP_{net} \cdot \cos \emptyset \cdot V_{net} \\ -2 \cdot K_{inv}^2 \cdot KP_{net}^2 \cdot \cos \emptyset \cdot I_{net,0} \\ +2 \cdot K_{inv}^2 \cdot KP_{net}^2 \cdot \cos \emptyset \cdot I_{REF,0} \\ -2 \cdot R_{net} \cdot K_{inv} \cdot KP_{net} \cdot \cos \emptyset \cdot I_{net,0} \\ +R_{net} \cdot K_{inv} \cdot KP_{net} \cdot \cos \emptyset \cdot I_{REF,0} \end{array} \right) \\
& + \Delta \int I_{net} dt \cdot \left(\begin{array}{c} K_{inv} \cdot KI_{net} \cdot \cos \emptyset \cdot V_{net} - \\ 2 \cdot K_{inv}^2 \cdot KP_{net} \cdot KI_{net} \cdot \cos \emptyset \cdot I_{net,0} \\ +2 \cdot K_{inv}^2 \cdot KP_{net} \cdot KI_{net} \cdot \cos \emptyset \cdot I_{REF,0} - \\ R_{net} \cdot K_{inv} \cdot KI_{net} \cdot \cos \emptyset \cdot I_{net,0} \end{array} \right) \\
& + \frac{1}{3} \cdot V_{batt} \cdot L_{inv} \cdot \Delta \frac{d}{dt} I_{batt} + \frac{1}{3} \cdot V_{batt} \cdot R_{inv} \cdot \Delta I_{batt} = 0
\end{aligned} \tag{5.16}$$

En el equilibrio, la corriente de red es igual a la corriente de referencia ($I_{REF} = I_{net0}$), por lo que la ecuación 5.16 queda como:

$$\begin{aligned}
& \Delta I_{REF} \cdot \left(\begin{array}{c} -K_{inv} \cdot \cos \emptyset \cdot V_{net} \cdot KP_{net} \\ +R_{net} \cdot K_{inv} \cdot KP_{net} \cdot \cos \emptyset \cdot I_{net,0} \end{array} \right) \\
& + \Delta \int I_{REF} dt \cdot \left(\begin{array}{c} -K_{inv} \cdot KI_{net} \cdot \cos \emptyset \cdot V_{net} \\ +R_{net} \cdot K_{inv} \cdot KI_{net} \cdot \cos \emptyset \cdot I_{net,0} \end{array} \right) \\
& + \Delta I_{net} \cdot \left(\begin{array}{c} K_{inv} \cdot KP_{net} \cdot \cos \emptyset \cdot V_{net} \\ -R_{net} \cdot K_{inv} \cdot KP_{net} \cdot \cos \emptyset \cdot I_{net,0} \end{array} \right) \\
& + \Delta \int I_{net} dt \cdot \left(\begin{array}{c} K_{inv} \cdot KI_{net} \cdot \cos \emptyset \cdot V_{net} \\ -R_{net} \cdot K_{inv} \cdot KI_{net} \cdot \cos \emptyset \cdot I_{net,0} \end{array} \right) \\
& + \frac{1}{3} \cdot V_{batt} \cdot L_{inv} \cdot \Delta \frac{d}{dt} I_{batt} + \frac{1}{3} \cdot V_{batt} \cdot R_{inv} \cdot \Delta I_{batt} = 0
\end{aligned} \tag{5.17}$$

Trasladando la ecuación 5.17 al dominio de Laplace:

$$\begin{aligned}
& -3 \cdot s \cdot K_{inv} \cdot \cos \emptyset \cdot V_{net} \cdot KP_{net} \cdot I_{REF}(s) \\
& + 3 \cdot s \cdot R_{net} \cdot K_{inv} \cdot KP_{net} \cdot \cos \emptyset \cdot I_{net,0} \cdot I_{REF}(s) \\
& - 3 \cdot K_{inv} \cdot KI_{net} \cdot \cos \emptyset \cdot V_{net} \cdot I_{REF}(s) \\
& + 3 \cdot R_{net} \cdot K_{inv} \cdot KI_{net} \cdot \cos \emptyset \cdot I_{net,0} \cdot I_{REF}(s) \\
& + 3 \cdot s \cdot K_{inv} \cdot KP_{net} \cdot \cos \emptyset \cdot V_{net} \cdot I_{net}(s) \\
& - 3 \cdot s \cdot R_{net} \cdot K_{inv} \cdot KP_{net} \cdot \cos \emptyset \cdot I_{net,0} \cdot I_{net}(s) \\
& + 3 \cdot K_{inv} \cdot KI_{net} \cdot \cos \emptyset \cdot V_{net} \cdot I_{net}(s) \\
& - 3 \cdot R_{net} \cdot K_{inv} \cdot KI_{net} \cdot \cos \emptyset \cdot I_{net,0} \cdot I_{net}(s) \\
& + s^2 \cdot V_{batt} \cdot L_{inv} \cdot I_{batt}(s) + s \cdot V_{batt} \cdot R_{inv} \cdot I_{batt}(s) = 0
\end{aligned} \tag{5.18}$$

De la ecuación 5.19 se obtiene la función de transferencia de la planta:

$$\frac{I_{batt}(s)}{I_{REF}(s)} = \frac{\begin{pmatrix} 3 \cdot s \cdot K_{inv} \cdot KP_{net} \cdot \cos \Phi \cdot V_{net} \\ -3 \cdot s \cdot R_{net} \cdot K_{inv} \cdot KP_{net} \cdot \cos \Phi \cdot I_{net,0} \\ +3 \cdot K_{inv} \cdot KI_{net} \cdot \cos \Phi \cdot V_{net} \\ -3 \cdot R_{net} \cdot K_{inv} \cdot KI_{net} \cdot \cos \Phi \cdot I_{net,0} \end{pmatrix}}{s^2 \cdot V_{batt} \cdot L_{inv} + s \cdot V_{batt} \cdot R_{inv}} \quad (5.19)$$

Factorizando la ecuación 5.19:

$$\frac{I_{batt}(s)}{I_{REF}(s)} = \frac{3 \cdot K_{inv} \cdot \cos \Phi \cdot (V_{net} - R_{net} \cdot I_{net,0}) \cdot (s \cdot KP_{net} + KI_{net})}{s \cdot V_{batt} \cdot (s \cdot L_{inv} + R_{inv})} \quad (5.20)$$

Se observa que el valor de equilibrio de la corriente de red, al estar multiplicado por el valor de la resistencia de red (equivalente a 0.01Ω), es despreciable en comparación al voltaje de barra infinita, por lo cual también se desprecia, quedando la ecuación 5.20 como:

$$\frac{I_{batt}(s)}{I_{REF}(s)} = \frac{3 \cdot K_{inv} \cdot \cos \Phi \cdot V_{net} \cdot (s \cdot KP_{net} + KI_{net})}{s \cdot V_{batt} \cdot (s \cdot L_{inv} + R_{inv})} \quad (5.21)$$

La función de transferencia queda relacionada proporcionalmente al factor de potencia. Primero, se sintonizará el sistema para factor de potencia unitario, y luego se verificará la estabilidad reduciendo el factor de potencia hasta 0. Ingresando la planta a *MATLAB*, obtenemos lo siguiente:

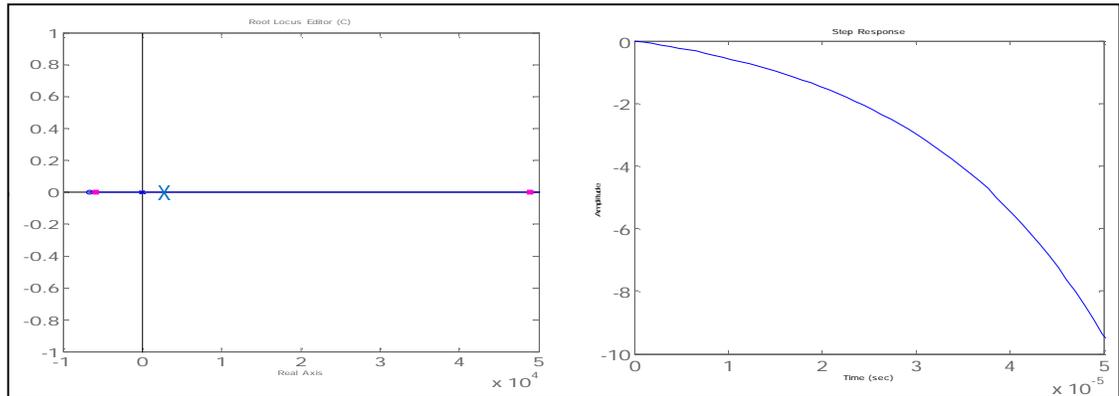


Figura 5.18 LGR y respuesta al escalón unitario sin control PI

Nuevamente, obtenemos un sistema inestable, que se debe, como en el caso anterior, a que la señal de activación real (descartando momentáneamente la referencia reactiva) es la siguiente:

$$I_{REF} = I_{DC.batt} - I_{DC.REF} \quad (5.22)$$

El motivo es similar al anterior: en el caso de que la corriente de referencia sea menor que la corriente de la batería, lo que ocurre es que la batería está entregando más corriente que la que debiese ya que la red entrega menos de la necesaria, por lo que se debe aumentar la referencia de corriente activa de la corriente de red. Es por ello que la ganancia se deja como negativa. A continuación, se muestran resultados con ganancia negativa unitaria:

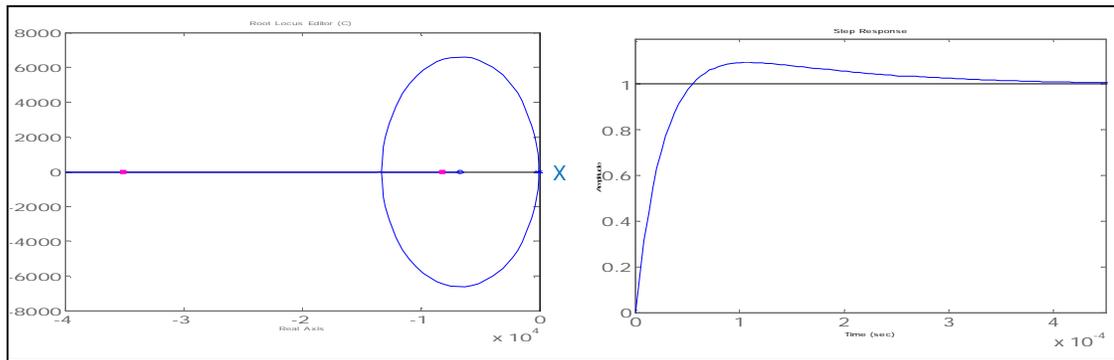


Figura 5.19 LGR y respuesta a escalón unitario con ganancia negativa unitaria

El comportamiento de la corriente de batería es el siguiente:

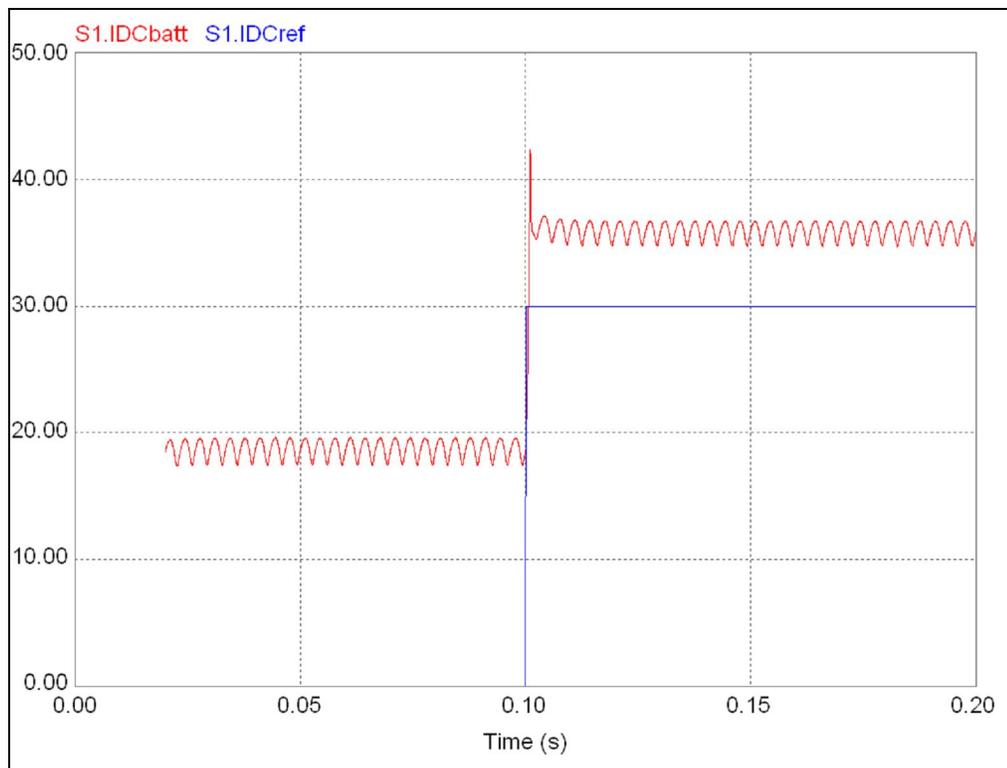


Figura 5.20 Corriente de batería y referencia con ganancia negativa unitaria

El comportamiento de la corriente de red es el siguiente:

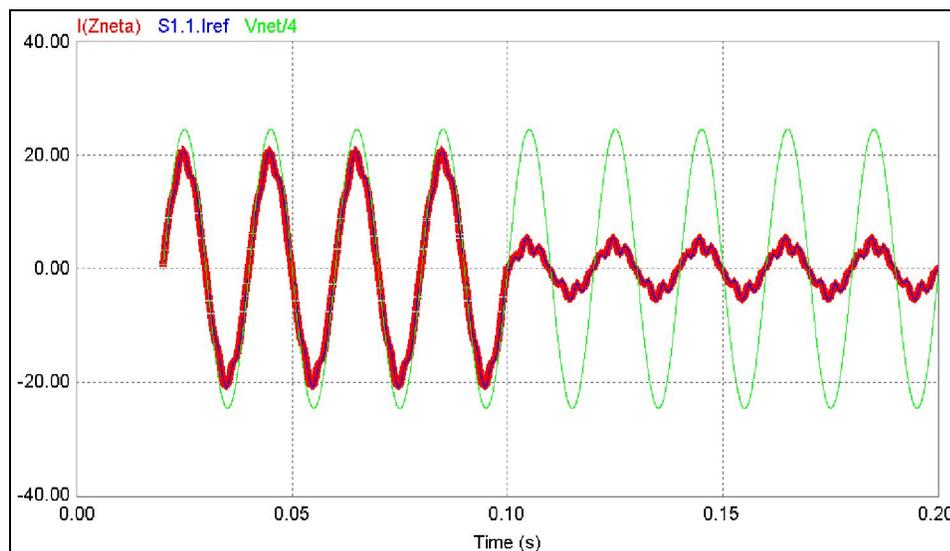


Figura 5.21 Comportamiento con control $K_P = -1$.

Corriente de red (rojo), Referencia (azul) y Voltaje de red (verde)

La corriente dista mucho de ser sinusoidal, lo que se debe, sin lugar a dudas, al alto nivel de rizado de la señal de corriente continua de la batería, el que se produce tanto por la compensación de reactivos como, eventualmente, por desbalances en los voltajes de la barra infinita (en caso de que no se trate de un sistema ideal). Dado que para obtener la componente DC de la batería (la que interesa) se utiliza un filtro RC, se podría corregir el problema del rizado disminuyendo la frecuencia de corte del filtro. Sin embargo, esto no es recomendable debido a que implicaría un retardo que inestabilizaría al sistema. La solución es disminuir la ganancia proporcional de la señal, a la vez que se aplica acción integral para corregir el error permanente. El control óptimo está dado por $K_P = -0.1$, $K_I = -100$:

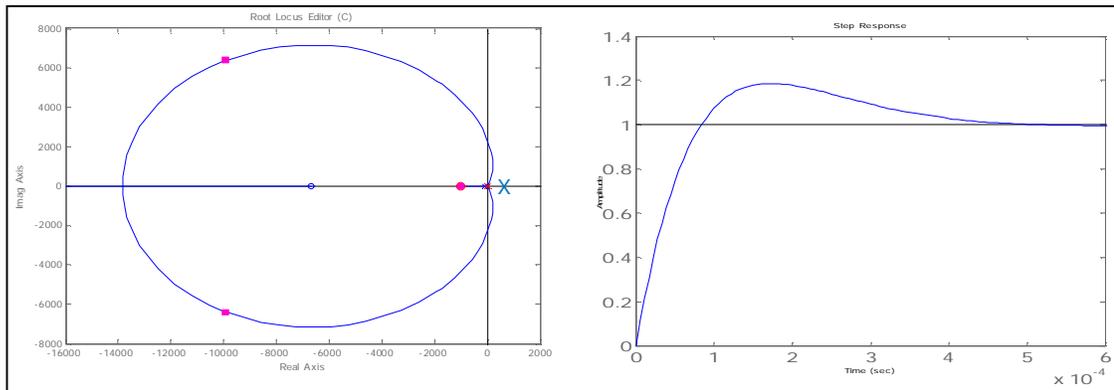


Figura 5.22 LGR y respuesta al escalón unitario; $K_p = -0.1$, $K_I = -100$

El comportamiento de la corriente de batería es el siguiente:

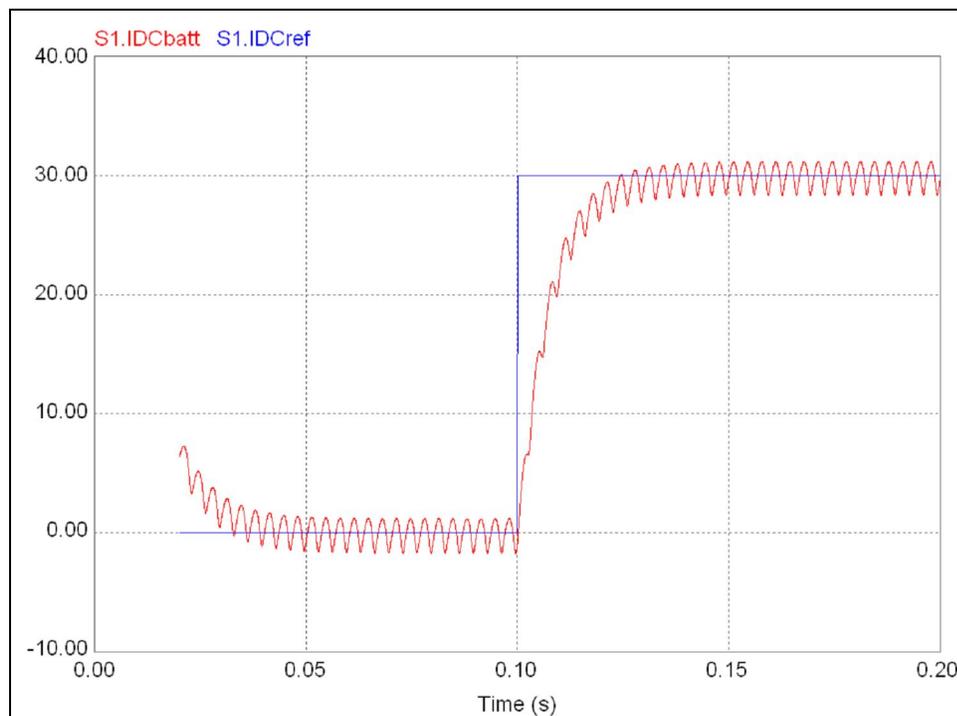


Figura 5.23 Corriente de batería y referencia; $K_p = 0.1$, $K_I = 100$

El comportamiento de la corriente de red es el siguiente:

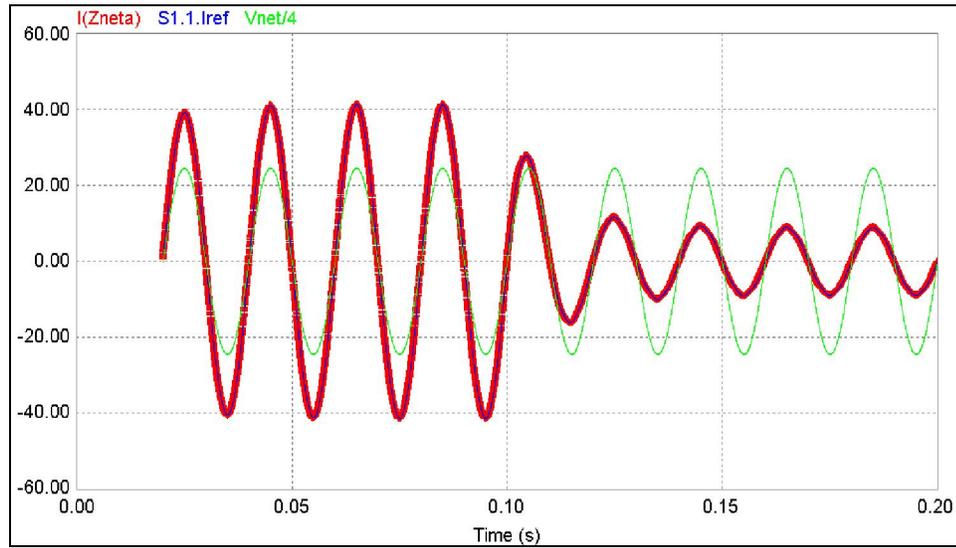


Figura 5.24 Comportamiento con control PI.

Corriente de red (rojo), Referencia (azul) y Voltaje de red (verde)

El contenido armónico de la corriente de red es el siguiente:

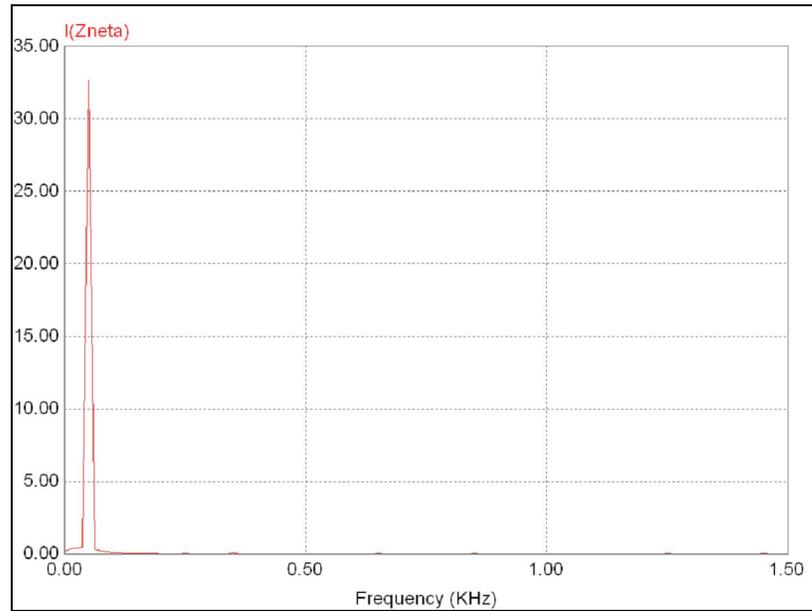


Figura 5.25 Contenido armónico de corriente de red, $I_{DC,REF} = 0 A$

$(0 < t < 0.1 s)$

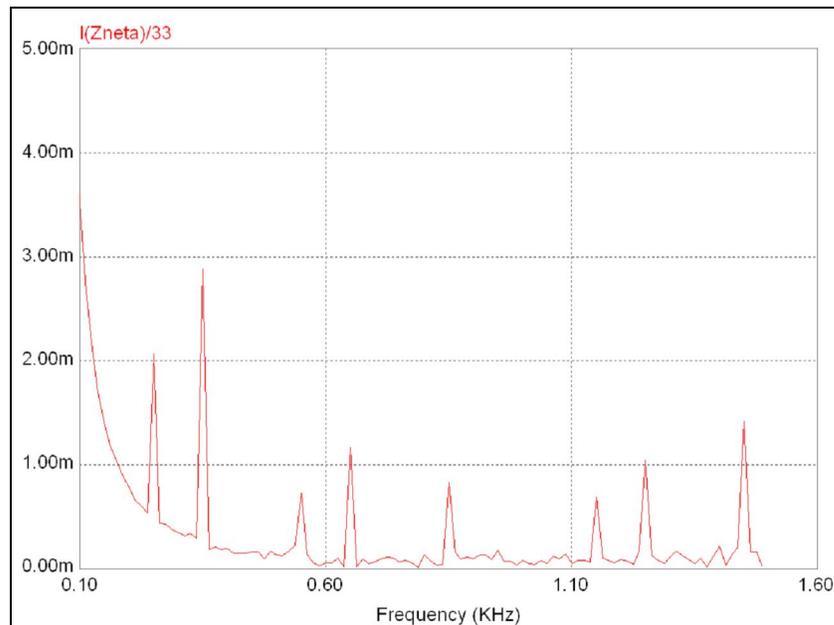


Figura 5.26 Detalle de contenido armónico de corriente de red, $I_{DC,REF} = 0 A$

$(0 < t < 0.1 s)$

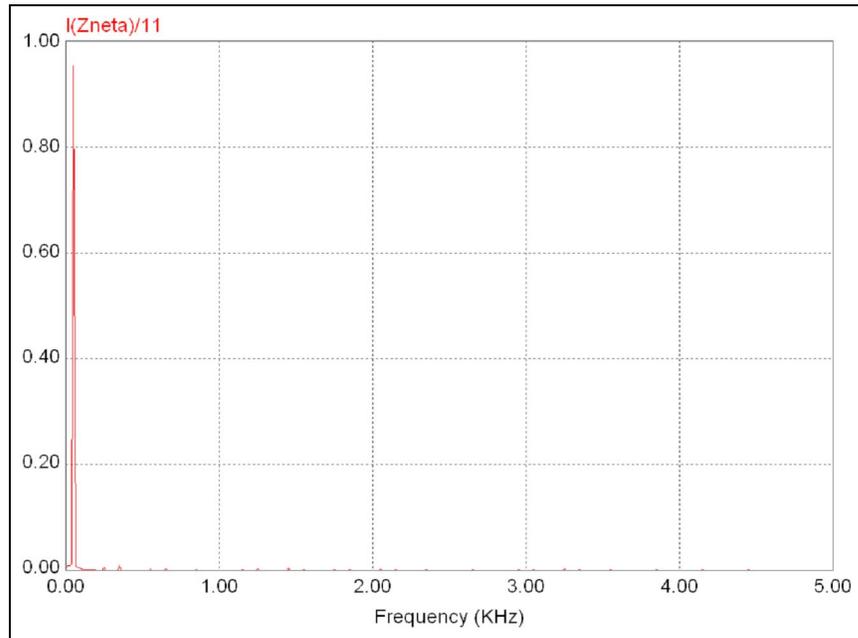


Figura 5.27 Contenido armónico de corriente de red, $I_{DC,REF} = 30 A$

$(0.1 s < t < 0.2 s)$

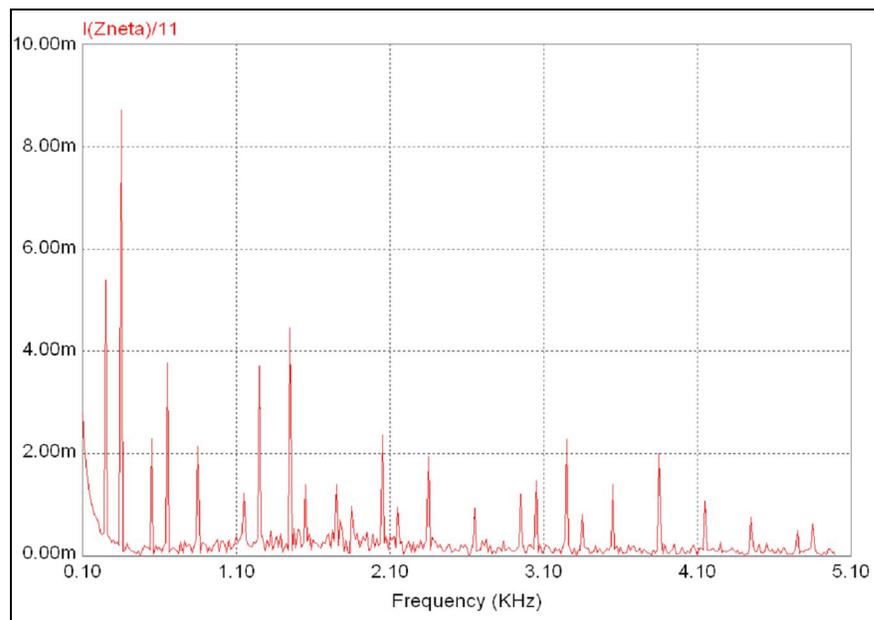


Figura 5.28 Detalle de contenido armónico de corriente de red, $I_{DC,REF} = 30 A$

$(0.1 s < t < 0.2 s)$

El control es bastante rápido y eficiente, al lograr controlar la corriente de batería dentro de un ciclo de corriente de red (50 Hz). Además, a simple vista se aprecia que la corriente de red cumple con tener forma sinusoidal, lo que se verifica con el análisis de Fourier de la señal en sus distintos niveles de amplitud. Se aprecian bajísimos niveles de armónicos, los cuales son más numerosos al inyectar potencia desde el inversor, pero aún así son prácticamente despreciables.

Ahora corresponde verificar el rango de estabilidad en función del factor de potencia, es decir, el rango de valores del factor de potencia para los cuales el sistema es estable. Recordemos la ecuación 5.21, que describe la función de transferencia de la planta:

$$\frac{I_{batt}(s)}{I_{REF}(s)} = \frac{3 \cdot K_{inv} \cdot \cos \phi \cdot V_{net} \cdot (s \cdot KP_{net} + KI_{net})}{s \cdot V_{batt} \cdot (s \cdot L_{inv} + R_{inv})} \quad (5.21)$$

Claramente, un factor de potencia igual a cero no permite control alguno sobre el sistema, por lo que no es posible lograrlo. En la Figura 5.29, se observa que el LGR tiene una zona al lado derecho del eje imaginario; por lo tanto, el sistema es inestable para factor de potencia que implique tener los polos en esa zona del LGR.

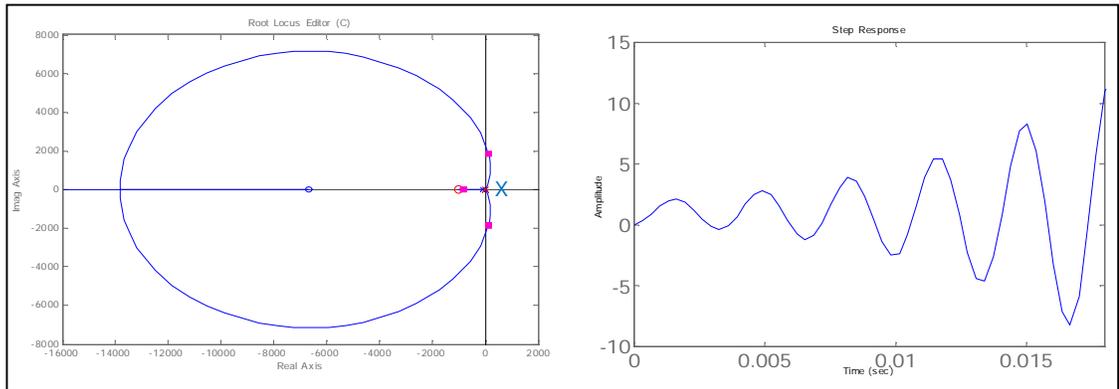


Figura 5.29 LGR y respuesta al escalón, $FP = 0.01$

El sistema es claramente inestable. Los polos cruzan a la zona de estabilidad para $FP = 0.0347$.

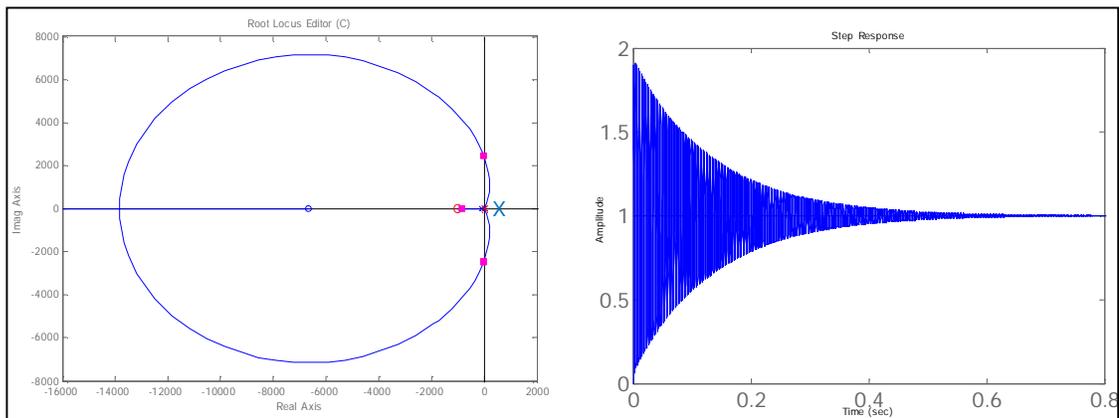


Figura 5.30 LGR y respuesta al escalón, $FP = 0.0347$

El sistema es sub-amortiguado. Por lo tanto, para poder mantener la estabilidad del sistema, es necesario operar con un factor de potencia superior a 0.0347, ya que al trabajar con factor de potencia cero, las baterías suplen las pérdidas de los enrollados, pero se descargarán eventualmente, por lo que tal operación no es aconsejable. Sin embargo, estrictamente las pérdidas son tan pequeñas que la descarga de las baterías no ocurriría hasta después de un largo lapso de tiempo. En la Figura 5.31, se verifica el comportamiento del sistema con factor de potencia de 0.048, el que corresponde al

obtenido en caso de no contar con capacidad de inyección de potencia desde las baterías, y que es superior al mínimo teórico de 0.037.

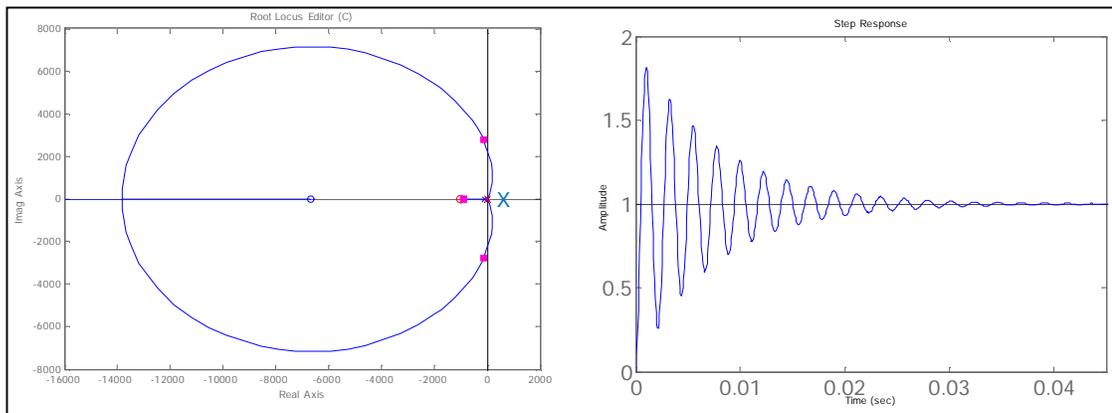


Figura 5.31 LGR y respuesta al escalón, FP = 0.048

Se observa que el sistema se aproxima a error permanente nulo cerca de 0.04 s, es decir, luego de dos ciclos a 50 Hz. La ecuación 5.13 establece que:

$$I_{inv} = \frac{1}{3} \cdot \frac{V_{batt} \cdot I_{batt} - P_L}{V_{inv} \cdot \cos \phi} \quad (5.13)$$

Si $I_{batt} = 0$:

$$I_{inv} = -\frac{1}{3} \cdot \frac{P_L}{V_{inv} \cdot \cos \phi} \longrightarrow \cos \phi = -\frac{1}{3} \cdot \frac{P_L}{V_{inv} \cdot I_{inv}} \quad (5.23)$$

Asumiendo que las pérdidas son del 4.8% para el sistema implementado:

$$\cos \phi = 0.048 \quad (5.24)$$

Dicho valor es el mínimo posible en caso de no contar con energía suficiente en el banco de baterías.

6. SIMULACIONES

Las simulaciones fueron realizadas utilizando el software PSIM 6.0 de Powersim Technologies (2001-2003). Algunos esquemáticos ya han sido presentados anteriormente, pero serán repasados a lo largo de éste capítulo. La Figura 6.1 ilustra el diagrama general del sistema conectado al conjunto red-carga no lineal.

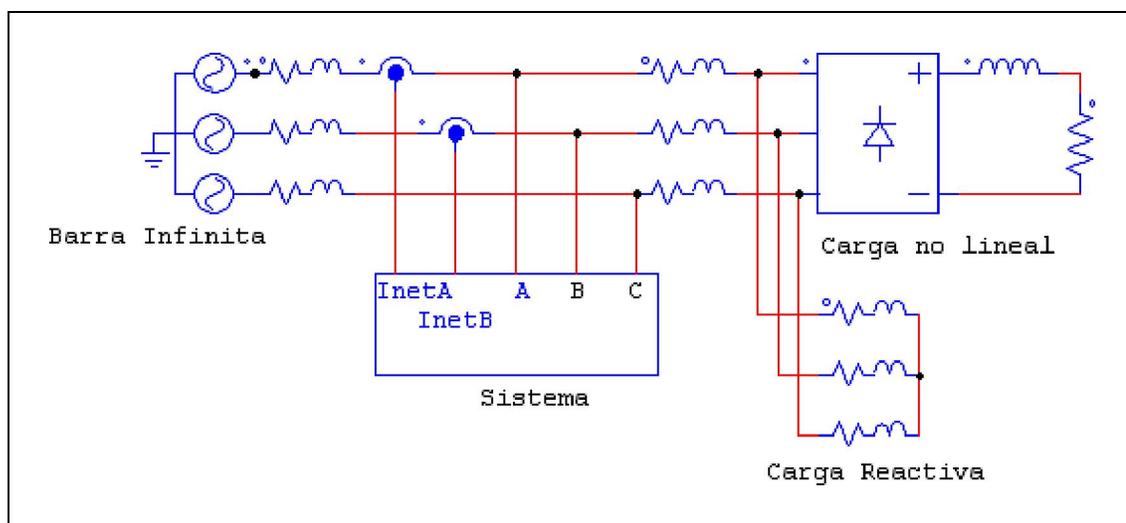


Figura 6.1 Diagrama de conexión del sistema al conjunto red-carga no lineal

El sistema consta de las siguientes partes, de izquierda a derecha: red eléctrica representada por barra infinita, línea de conexión red-sistema, sensores de corriente de red del sistema, sistema inversor-control automático, línea de conexión sistema-cargas contaminantes, carga contaminante no lineal (conjunto rectificador-carga DC), carga contaminante reactiva (carga RL). La Figura 6.2 detalla el bloque sistema:

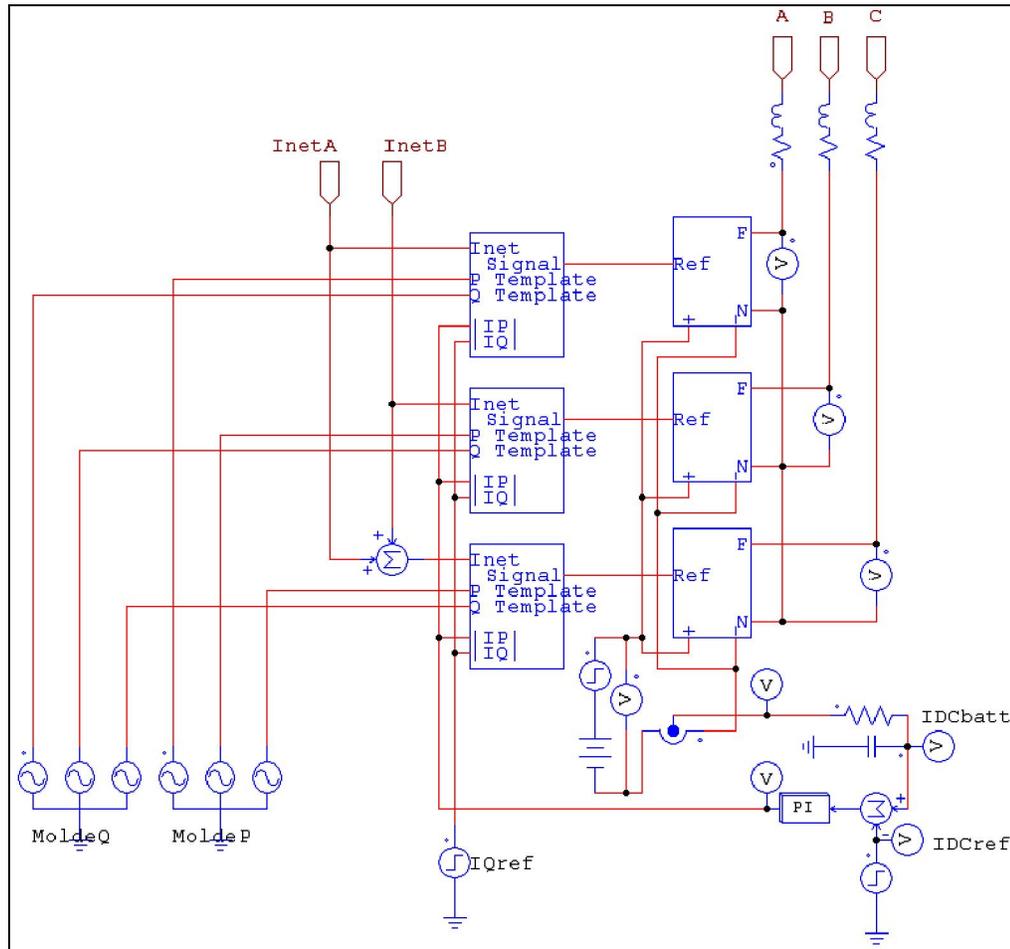


Figura 6.2 Diagrama de conexiones del sistema inversor-control automático

El sistema ya fue explicado en la Figura 5.1; la única diferencia entre dicha figura y la presente es que en ésta no aparece el conjunto arreglo fotovoltaico-MPPT, el cual no es considerado en las simulaciones debido a que no es relevante para ellas, dado que sólo modifica la capacidad de carga de la barra DC (baterías) y no su voltaje. El bloque de control es detallado en la Figura 6.3:

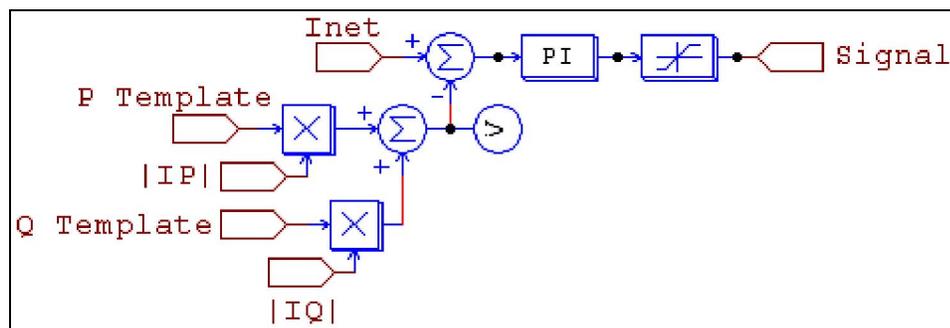


Figura 6.3 Sistema de control automático

El sistema tiene 5 entradas, de las cuales una es la señal de corriente de red (I_{NET}) y las otras cuatro componen la referencia: molde sinusoidal de corriente activa ($P_Template$, en fase con el voltaje de red), referencia de amplitud de corriente activa ($|I_P|$), molde sinusoidal de corriente reactiva ($Q_Template$, en cuadratura y adelanto respecto del voltaje de red) y referencia de amplitud de corriente reactiva ($|I_Q|$). Cada par de referencia es multiplicado entre sí ("molde" x "referencia de amplitud"), para luego sumar los resultados de las multiplicaciones, componiendo así la referencia de corriente. Ésta es restada a la corriente de red (según lo explicado en el punto 5.1 del capítulo de sintonización de bloques de control), para luego ingresar el error resultante al bloque PI, del cual sale la señal de referencia para el inversor ($signal$). Dicha señal es limitada para no sobrepasar los límites de referencia del inversor. Una fase del inversor es detallada en la Figura 6.4, mostrando las 3 etapas que lo componen:

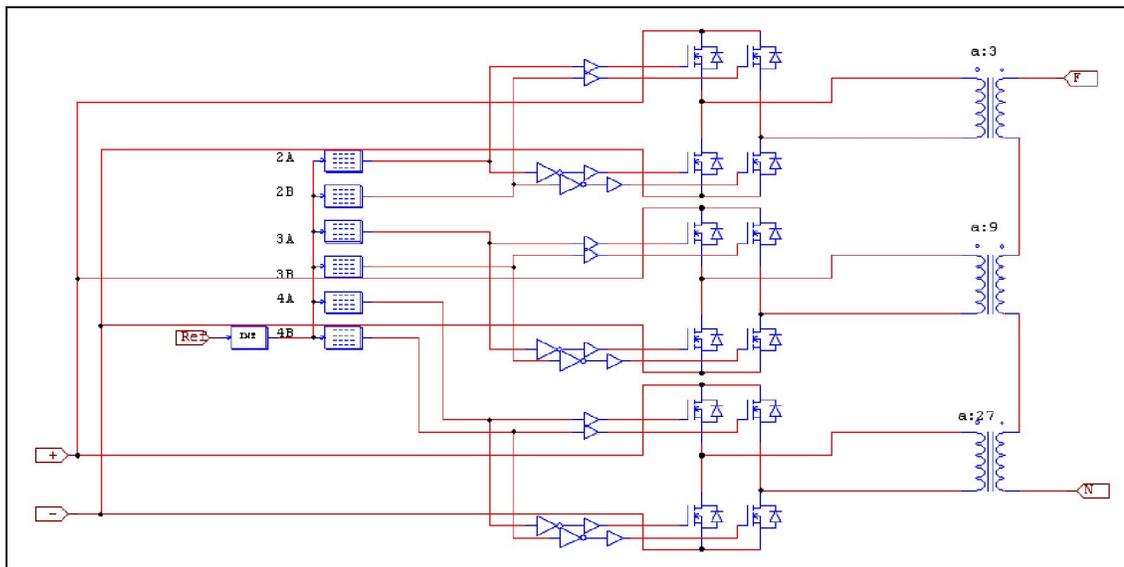


Figura 6.4 Diagrama esquemático del inversor multietapa de 27 niveles

La Figura 6.4 muestra, de izquierda a derecha, conexiones de barra DC (bornes "+" y "-"), señal de referencia (*Ref*), tablas de disparo (*2A*, *2B*, *3A*, *3B*, *4A*, *4B*), compuertas de disparo (siendo las señales complementarias representadas por negadores), puentes H de IGBTs, transformadores escalados en potencias de 3, conexiones de salida (bornes "F" – *fase* y "N" – *neutro*). Las tablas de disparo representan, según el orden presentado, al segundo auxiliar, primer auxiliar, y primario. Se aprecia, además, un bloque denominado *INT*, el cual realiza la acción de discretizar la señal de entrada *Ref*, que corresponde a la salida del control automático.

El esquemático del sistema está en condiciones de ser simulado. En la Figura 6.5, se ilustran distintos cambios en las referencias: cambio en referencia de corriente de batería ($0 A_{DC}$ a $30 A_{DC}$) en el instante $0.1 s$, cambio en referencia de corriente reactiva ($0 A$ a $10 A$) en el instante $0.2 s$, desconexión de una batería del banco, representada por una disminución del voltaje de $110 V_{DC}$ a $100 V_{DC}$ en $0.3 s$, y cambio de inyección desde baterías a carga de baterías desde $30 A_{DC}$ a $-5 A_{DC}$ en $0.4 s$.

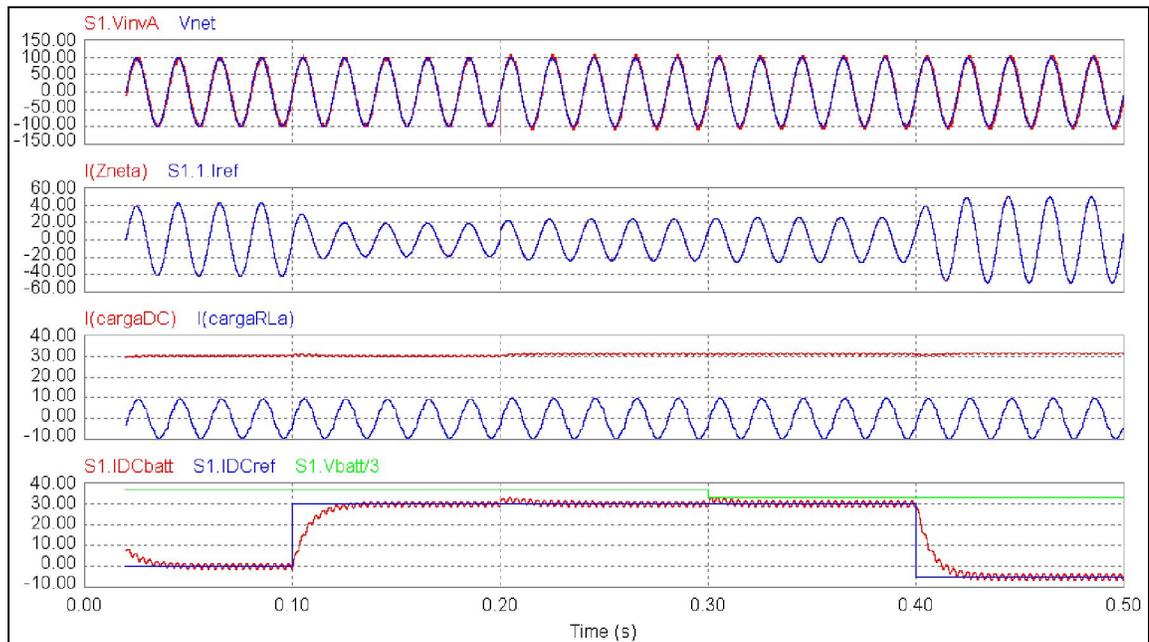


Figura 6.5 Simulación del sistema ante cambio de referencias.

- a) Voltaje de inversor (rojo) y Voltaje de red (azul);
- b) Corriente de red (rojo) y Corriente de referencia de red (azul);
- c) Corriente de carga DC (rojo) y corriente de carga reactiva (azul)
- c) Corriente de batería (rojo), Corriente de Referencia DC (azul) y Voltaje de Batería (verde)

Se observan claros cambios en la corriente de red: antes de 0.1 s, su valor corresponde al aporte necesario para la potencia de la carga DC, pero con una forma de onda libre de armónicos; después de 0.1 s decrece, ante el aporte que recibe desde el banco de baterías; luego de 0.2 s cambia de fase y aumenta su amplitud para compensar la exigencia de reactivos; posterior a 0.3 s aumenta su magnitud para compensar la menor potencia que es capaz de entregar el banco de baterías, dada la disminución de su voltaje; finalmente, posterior a 0.4 s, mantiene su fase pero aumenta su amplitud aún más que en el intervalo previo a 0.1 s, para alimentar tanto a la carga DC como a las baterías. La corriente de batería, en tanto, sufre pequeños transitorios en su amplitud al cambiar la fase de la corriente de red y al fallar una unidad del banco de baterías,

cambios que, sin embargo, son despreciables. Las corrientes de las cargas mantienen su comportamiento a lo largo de la simulación.

Al igual que en el desarrollo del capítulo 5, esta simulación considera una impedancia de transformadores cercana a la ideal, lo cual dista mucho de ser cierto. La Figura 6.6 ilustra el comportamiento del sistema con valores de impedancia de transformadores cercanos a los reales, bajo el mismo conjunto de cambios descrito para la Figura 6.5:

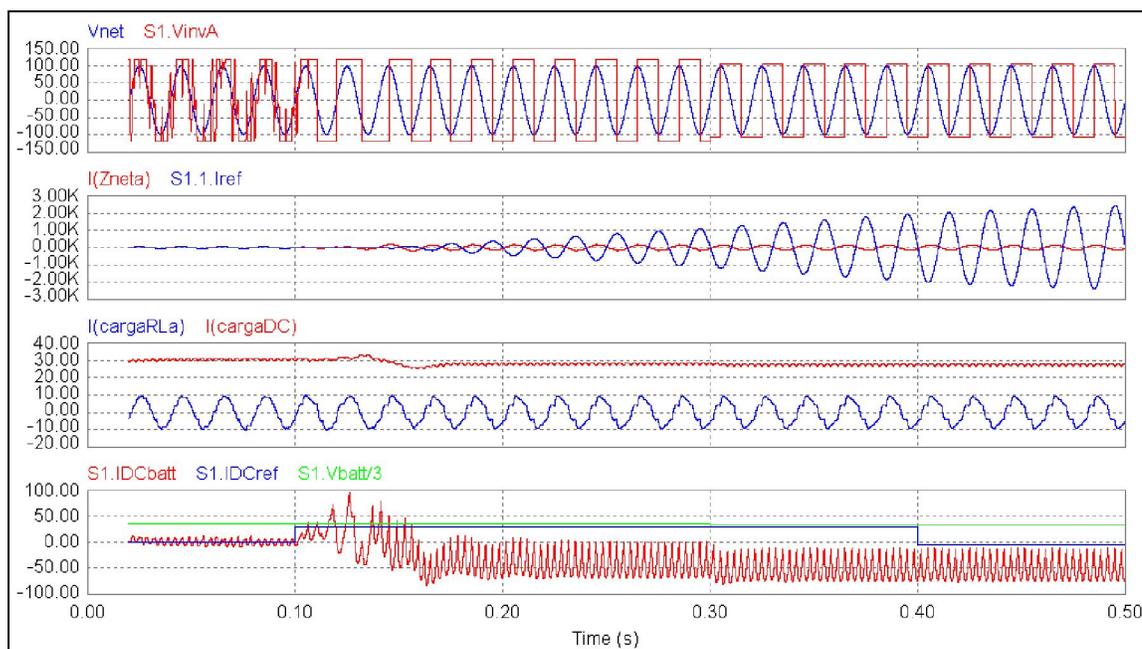


Figura 6.6 Simulación del sistema ante cambios de referencias.

- a) Voltaje de inversor (rojo) y Voltaje de red (azul);
- b) Corriente de red (rojo) y Corriente de referencia de red (azul);
- c) Corriente de carga DC (rojo) y corriente de carga reactiva (azul)
- d) Corriente de batería (rojo), Corriente de Referencia DC (azul) y Voltaje de Batería (verde)

Se observa un comportamiento deficiente del sistema, el cual es capaz de seguir la referencia sólo ante cambios de referencia de corriente de batería; la inestabilidad comienza cuando se pretende inyectar potencia reactiva, aumentando el error de corriente cada vez más conforme pasa el tiempo. Esto se ve bastante reflejado en el voltaje de salida del inversor, el cual es bastante saturado durante la etapa estable de la simulación, y completamente saturado durante la etapa inestable. Las corrientes en las cargas, por su parte, también se ven afectadas.

Lo anterior hace suponer que el voltaje de batería debiese ser mayor de lo que es, para compensar por la obvia caída de voltaje que se está produciendo en los transformadores de salida. Aumentando el voltaje DC de 110 V_{DC} a 160 V_{DC} , y manteniendo el resto de los cambios de referencia de las dos simulaciones anteriores (exceptuando la caída de voltaje de batería, de 160 V_{DC} a 150 V_{DC}), se obtienen los resultados de la Figura 6.7:

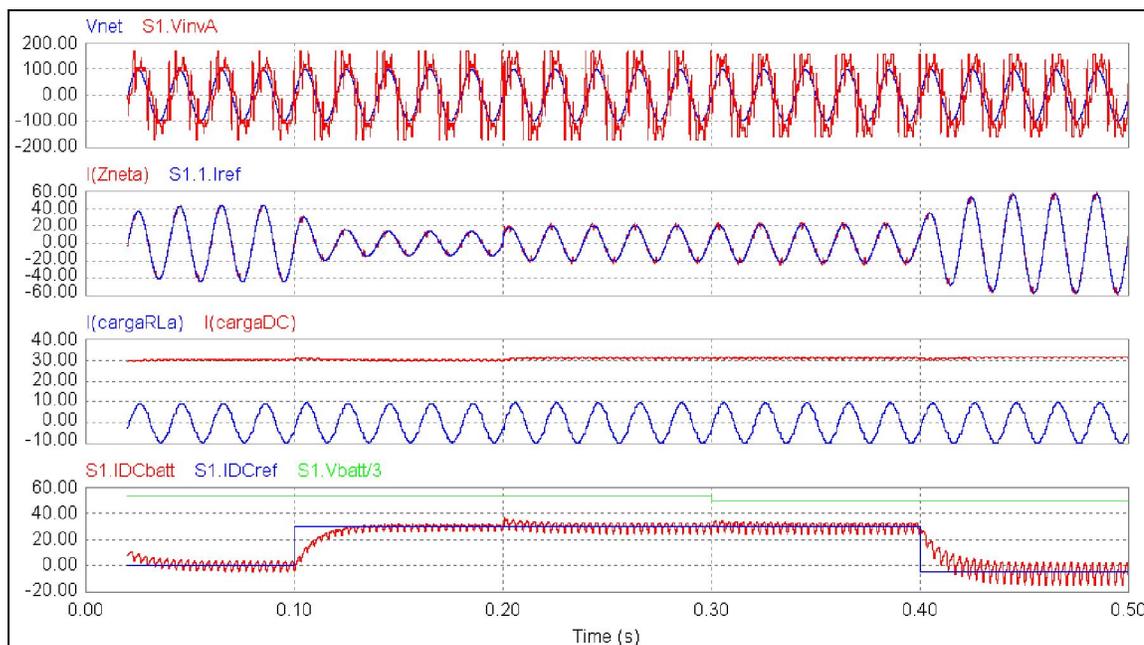


Figura 6.7 Simulación del sistema ante cambios de referencias.

- a) Voltaje de inversor (rojo) y Voltaje de red (azul);
- b) Corriente de red (rojo) y Corriente de referencia de red (azul);
- c) Corriente de carga DC (rojo) y corriente de carga reactiva (azul)
- d) Corriente de batería (rojo), Corriente de Referencia DC (azul) y Voltaje de Batería (verde)

El comportamiento del sistema no sólo mejora notoriamente, sino que es prácticamente el deseado; el voltaje de salida del inversor compensa las caídas de voltaje de sus transformadores, logrando una corriente bastante parecida a la referencia dada. Existen distorsiones en dicha corriente, las que se explican por la presencia de las inductancias que evitan que la corriente de salida del inversor cambie bruscamente, pero que pueden considerarse aceptables. A continuación, se presenta un detalle de las transiciones realizadas en esta simulación:

6.1. Cambio de corriente de batería ($0 A_{DC}$ a $30 A_{DC}$)

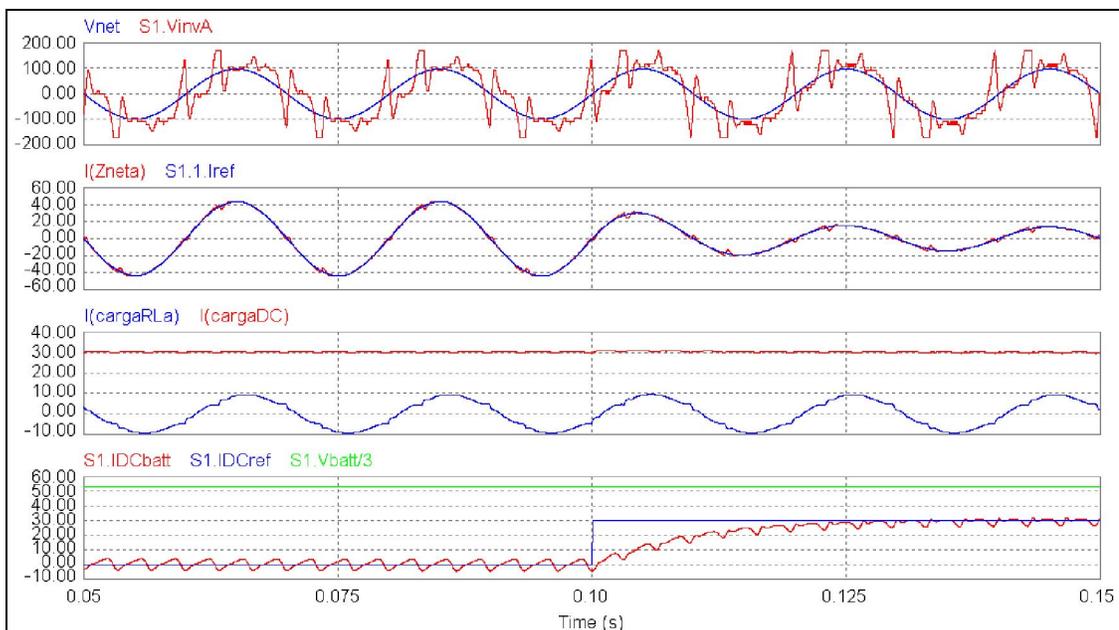


Figura 6.8 Señales relevantes ante aumento de corriente de batería

Se observa un acercamiento de fases del voltaje de inversor al voltaje de red; además, se ve que los picos de amplitud de voltaje aumentan, y que los picos saturados tienen una zona de saturación más extendida. La corriente de red muestra pequeños picos de amplitud que, aparentemente, se mantienen constantes en ambos niveles de corriente de batería. La corriente DC de la carga se mantiene, aunque sufre una pequeña transición al cambiar la corriente de batería. Ésta es capaz de establecerse en el valor de referencia dentro de dos ciclos de frecuencia de red.

6.2. Cambio de corriente reactiva de red (0 A a 10 A)

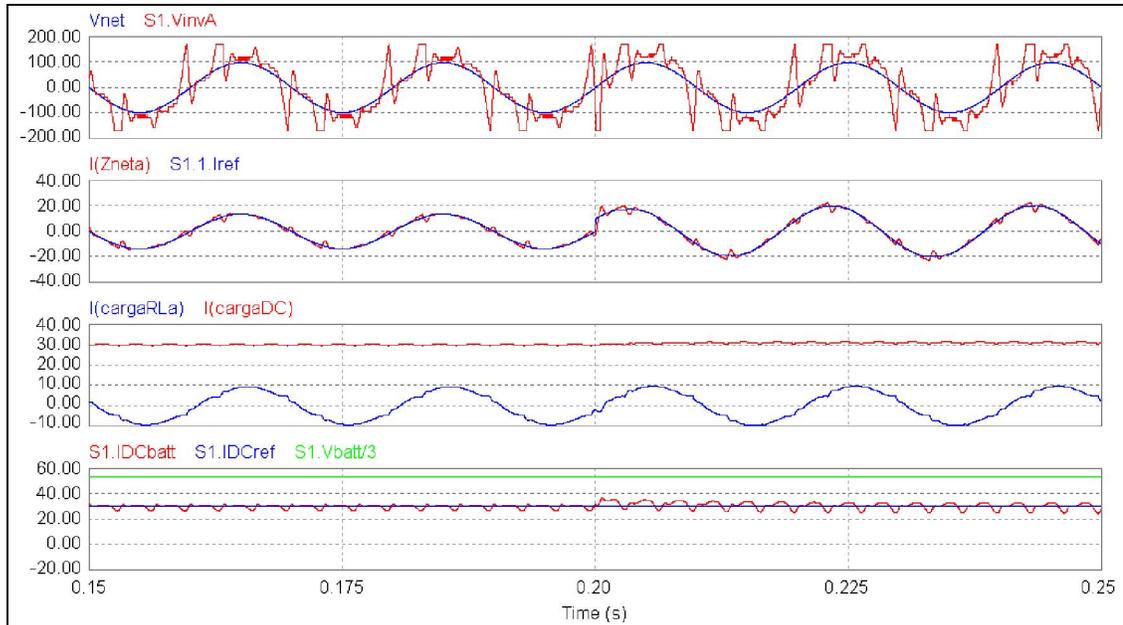


Figura 6.9 Señales relevantes ante aumento de corriente reactiva de red

Se observa un aumento del voltaje de inversor, el cual expande aún más las zonas saturadas del voltaje. La corriente de red mantiene los pequeños picos de amplitud observados anteriormente. La corriente DC de la carga aumenta levemente su valor, lo cual probablemente se debe al aumento del voltaje en el punto de conexión del inversor a la red. La corriente de batería sufre un pequeño transitorio, pero vuelve rápidamente a su valor de referencia.

6.3. Falla en banco de baterías ($160 V_{DC}$ a $150 V_{DC}$)

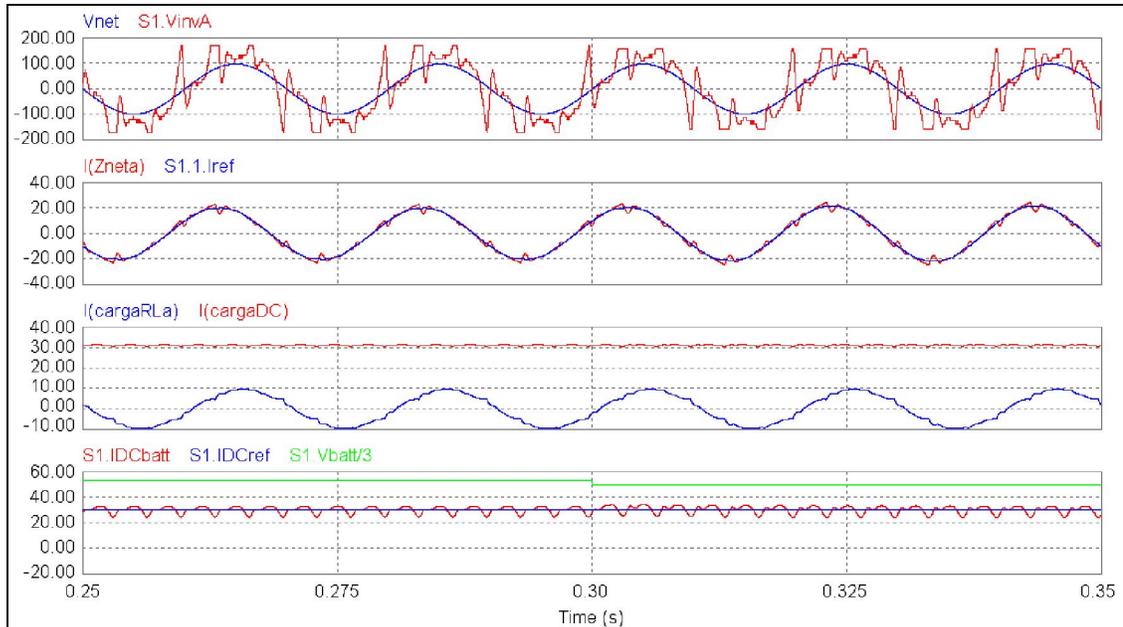


Figura 6.10 Señales relevantes ante disminución de voltaje de banco de baterías

Como es lógico, las zonas saturadas del voltaje de inversor disminuyen su amplitud, cosa que no ocurre con el resto de la señal; en pocas palabras, la señal se ve recortada en, aproximadamente, $10 V$ en cada pico (positivo y negativo). La corriente de red mantiene los pequeños picos de amplitud observados anteriormente. La corriente DC de la carga mantiene su valor. La corriente de batería sufre un pequeño transitorio, pero vuelve rápidamente a su valor de referencia.

6.4. Estado de baterías pasa de inyección a carga ($30 A_{DC}$ a $-5 A_{DC}$)

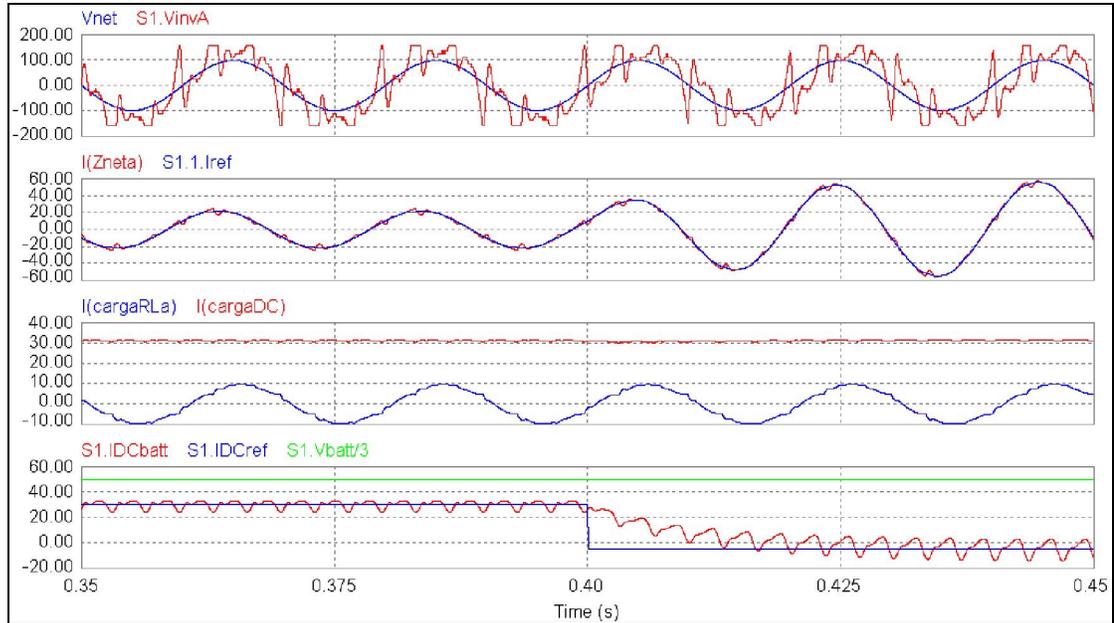


Figura 6.11 Señales relevantes ante cambio de baterías desde inyección a carga

El voltaje de inversor modifica nuevamente su fase para permitir el paso de corriente desde la red hacia las baterías y hacia la carga, a la vez que disminuye levemente su valor. La corriente de red mantiene los pequeños picos de amplitud observados anteriormente. La corriente DC de la carga mantiene su valor. La corriente de batería se establece en el valor de referencia dentro de 2 ciclos de frecuencia de red.

6.5. Análisis de Contenido Armónico

Las Figuras 6.12 a 6.16 muestran el contenido armónico de la corriente de red en las distintas etapas de referencia.

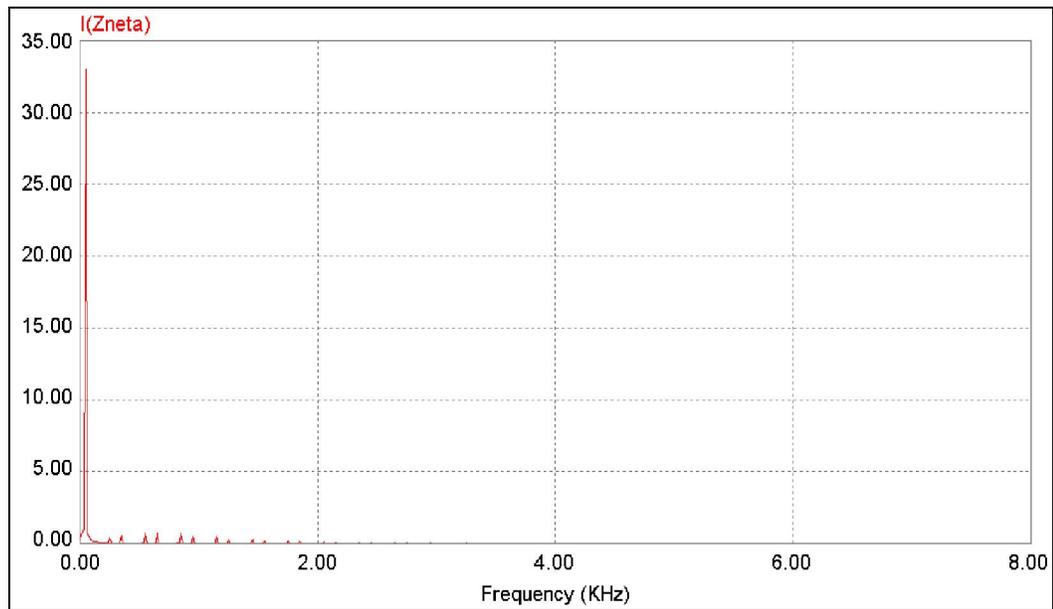


Figura 6.12 Contenido armónico de la corriente de red durante $0\text{ s} < t < 0.1\text{ s}$

$$(I_{BATT} = 0\text{ A}_{DC}, I_{NET,Q} = 0\text{ A}, V_{BATT} = 160\text{ V}_{DC})$$

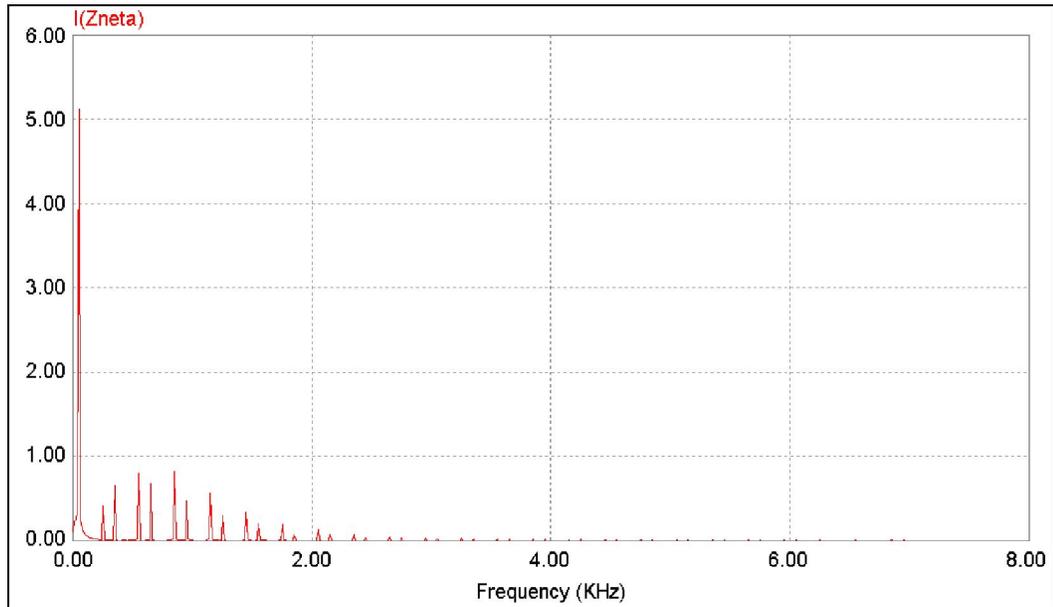


Figura 6.13 Contenido armónico de la corriente de red, $0.1\text{ s} < t < 0.2\text{ s}$

$$(I_{BATT} = 30\text{ A}_{DC}, I_{NET,Q} = 0\text{ A}, V_{BATT} = 160\text{ V}_{DC})$$

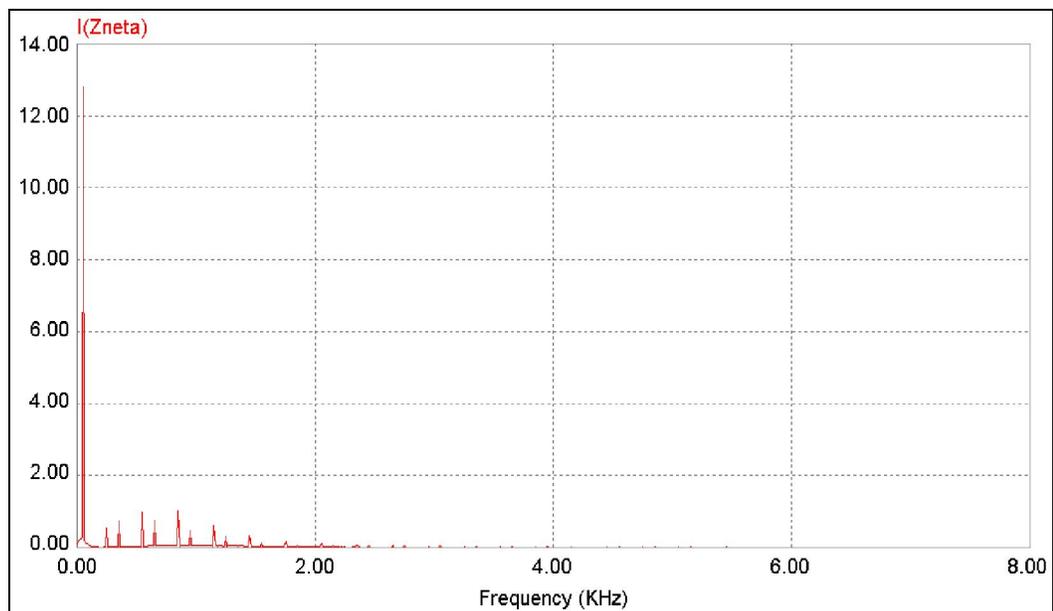


Figura 6.14 Contenido armónico de la corriente de red, $0.2\text{ s} < t < 0.3\text{ s}$

$$(I_{BATT} = 30\text{ A}_{DC}, I_{NET,Q} = 10\text{ A}, V_{BATT} = 160\text{ V}_{DC})$$

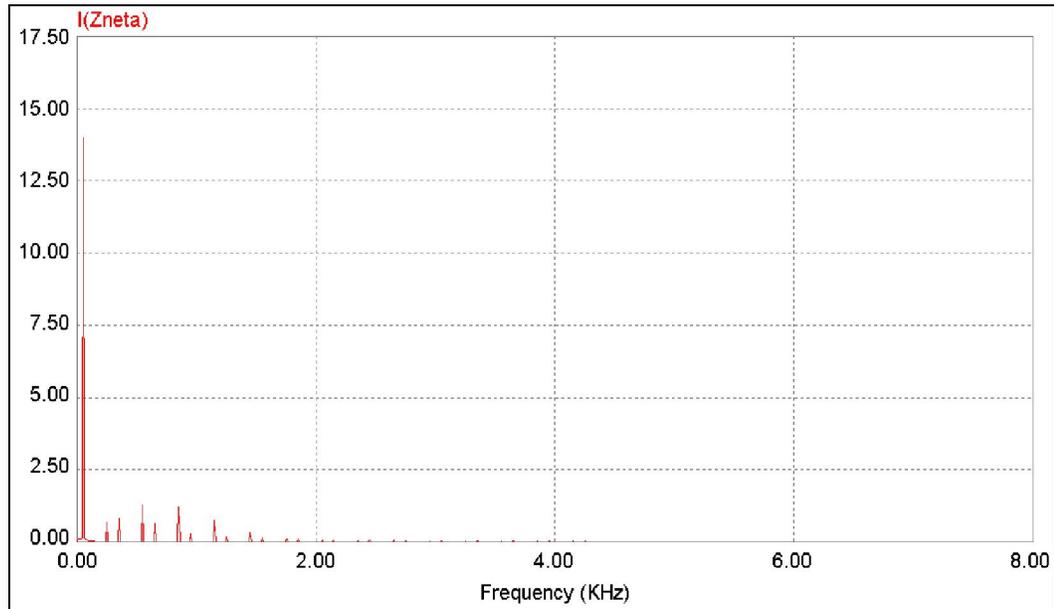


Figura 6.15 Contenido armónico de la corriente de red, $0.3 s < t < 0.4 s$

$$(I_{BATT} = 30 A_{DC}, I_{NET,Q} = 10 A, V_{BATT} = 150 V_{DC})$$

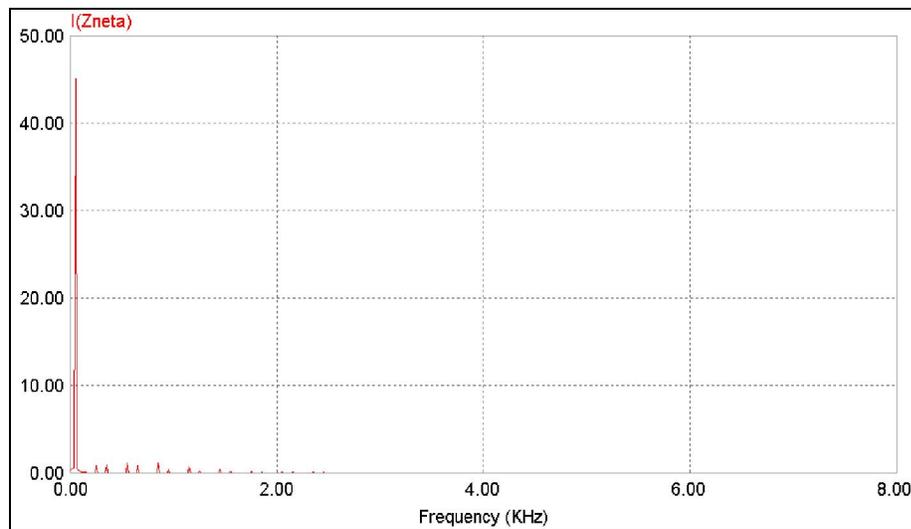


Figura 6.16 Contenido armónico de la corriente de red, $0.4 s < t < 0.5 s$

$$(I_{BATT} = -5 A_{DC}, I_{NET,Q} = 10 A, V_{BATT} = 150 V_{DC})$$

Se aprecia un bajo contenido armónico en casi todo el rango de tiempo, excepto en el intervalo de tiempo en el que la corriente de red es más baja. Sin embargo,

comparativamente los valores de los picos de distorsión son bastante similares en todo el rango de tiempo, lo que hace suponer que la distorsión se mantiene sin importar la amplitud de la fundamental.

7. RESULTADOS EXPERIMENTALES

En este capítulo se presentan resultados experimentales obtenidos para el sistema inversor descrito, los que corresponden al comportamiento del control de corriente de línea.

7.1. Implementación y Configuración del Sistema de Control

El sistema de control fue implementado completamente en un microcontrolador dsPIC 33FJ128GP710 de 100 pines desarrollado por Microchip Technology Inc. (2007), el cual posee la suficiente cantidad de entradas ADC (16 canales) para capturar todas las señales necesarias para la operación del sistema. Dichas señales son:

- Voltaje de sincronización;
- 2 Corrientes de línea (tercera corriente calculada a partir de las 2 capturadas, utilizando neutro común)
- Corriente de batería;
- Referencias de corrientes de batería y reactiva de línea

Además, el sistema posee la suficiente cantidad de salidas digitales para controlar a cada uno de los 48 IGBTs del inversor, recordando que son 4 IGBTs por cada uno de los 4 puentes H que componen cada una de las 3 fases del inversor de 81 niveles, aunque en éste trabajo se utilizan sólo 27 niveles. Las señales capturadas deben estar en el rango de 0 a 3.3 V, por lo que necesitan ser pre-procesadas antes de su ingreso al canal ADC del microcontrolador. Por su parte, el microcontrolador está montado sobre la placa de desarrollo LV 24-33 de MikroElektronika (2007), la cual facilita las conexiones del hardware involucrado en el sistema de señalización y control automático. Aún así, es necesaria la utilización de una placa de redireccionamiento de las señales lógicas de disparo hacia el inversor. En el Anexo A se presentan los circuitos de pre-procesamiento de señales y de placa de interconexión entre la placa de desarrollo y el inversor en

detalle, mientras que en el Anexo B se presentan las hojas de datos referentes al amplificador operacional utilizado para el pre-procesamiento de las señales análogas. El Anexo C presenta el diagrama de flujo de la operación del sistema de control. Finalmente, el Anexo D contiene imágenes del sistema implementado en detalle.

7.2. Resultados Experimentales Obtenidos

Se presentan resultados tanto en régimen permanente, como un resultado transitorio ante cambio de carga contaminante, para un sistema como el ilustrado en el capítulo de simulaciones (considerando solamente al rectificador puente de Graetz como carga, es decir, sin considerar la carga RL).

La Figura 7.1 ilustra el comportamiento de la red ante carga contaminante (rectificador puente de Graetz) en régimen permanente.

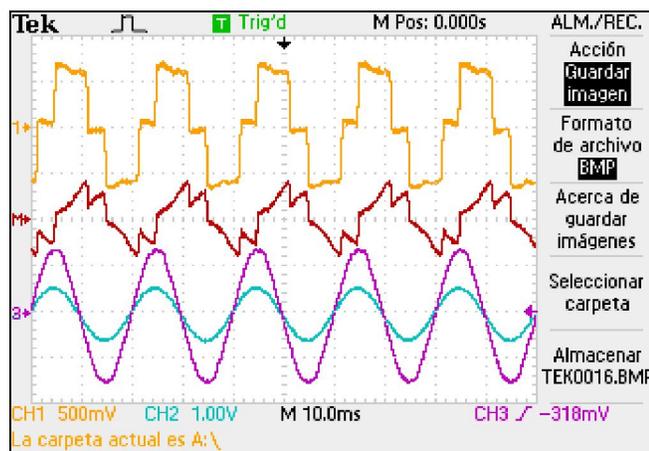


Figura 7.1 Sistema en régimen de carga de baterías.

- a) Corriente hacia rectificador (amarillo);
- b) Corriente desde inversor (rojo);
- c) Corriente de línea de conexión (celeste) y voltaje de red (magenta)

Como se puede observar, la corriente de línea es perfectamente sinusoidal y en fase con el voltaje de red, lo que indica completa compensación de reactivos (carga vista como resistiva desde la red) y eliminación de armónicos que la contaminen; esto no afecta al comportamiento de la carga contaminante, como se puede ver en la forma de onda de su corriente, la cual es completamente apoyada por el inversor, como se ve en su forma de onda correspondiente. Además, la corriente de carga mantiene su desfase respecto al voltaje de la red, reafirmando lo señalado anteriormente respecto a la completa compensación de reactivos por parte del inversor. Se observa una pequeña distorsión en los picos del voltaje de red, mientras que no se observan mayores distorsiones en la corriente.

La Figura 7.2 ilustra el comportamiento transitorio del sistema, ante una conexión de carga en el lado DC del rectificador puente de Graetz.

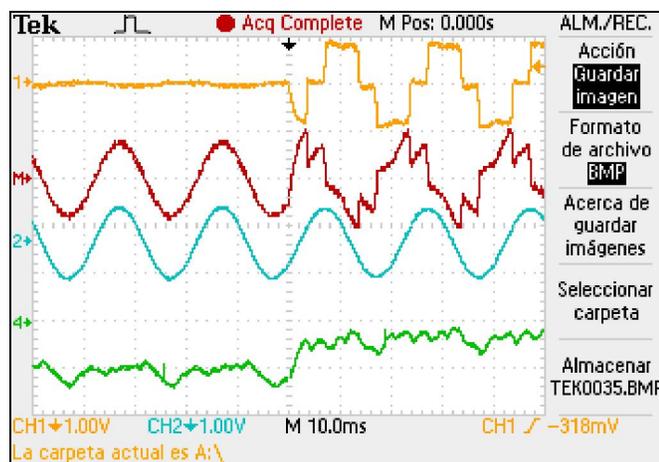


Figura 7.2 Sistema ante cambio en la carga DC.

- a) Corriente hacia rectificador (amarillo);
- b) Corriente desde inversor (rojo);
- c) Corriente de línea de conexión (celeste);
- d) Corriente de batería (verde)

Como se puede ver, la corriente del inversor comienza a compensar al sistema inmediatamente después de ser conectada la carga, manteniendo a la corriente de línea sin cambio alguno. La corriente de batería, por su parte, pasa a recibir aproximadamente un tercio de la corriente que recibía desde la red antes de la conexión de la carga DC; esto indica que la referencia impuesta a la corriente de línea es suficiente para alimentar tanto a la carga DC como a las baterías. En caso de tener una referencia de corriente de línea menor, o de tener una conexión de carga mayor, la corriente de batería podría pasar a ser positiva, vale decir, la batería podría pasar a inyectar corriente hacia el punto de conexión.

Cabe realizar una observación respecto de la forma de onda de la corriente de batería, la cual no es completamente plana, como podría esperarse, sino que posee un rizado de frecuencia fundamental. Esto se debe al hecho de que el sistema posee voltajes desbalanceados, lo cual impide que la potencia trifásica sea plana; dado que el voltaje de la batería es constante, la corriente de la batería no tiene más opción que asumir la forma impuesta por el mencionado desbalance de la red.

La Figura 7.3 ilustra el comportamiento del sistema entregando potencia desde la batería, con carga en el rectificador, y con una resistencia conectada en serie con la batería, como protección ante sobrecorrientes. Las Figuras 7.4 y 7.5 corresponden a gráficas de las señales capturadas separadas y reagrupadas para su mejor apreciación.

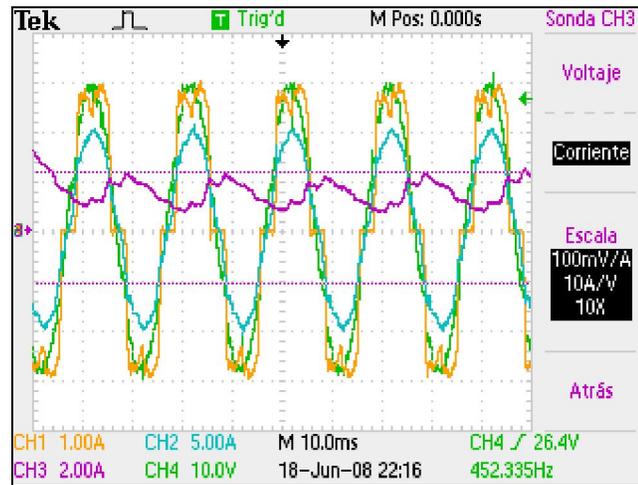


Figura 7.3 Sistema en régimen de inyección desde las baterías.

Corriente de línea (azul), voltaje de red (verde), corriente de carga (amarillo), y corriente de batería (magenta)

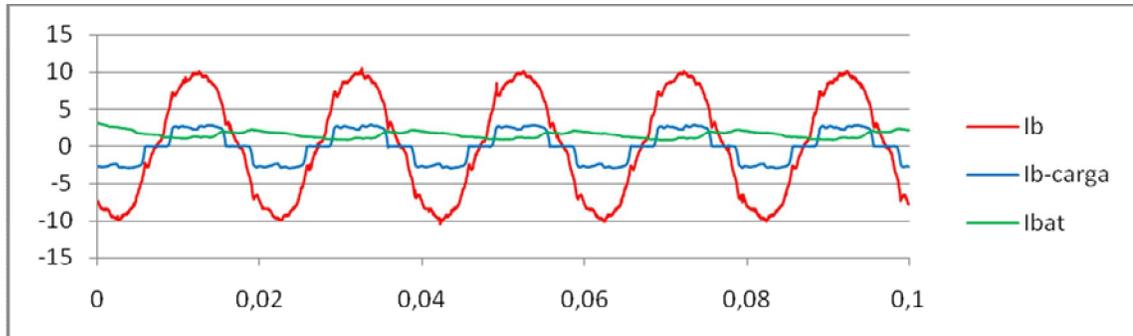


Figura 7.4 Sistema en régimen de inyección desde las baterías.

Corrientes de línea (rojo), carga (azul) y batería (verde)

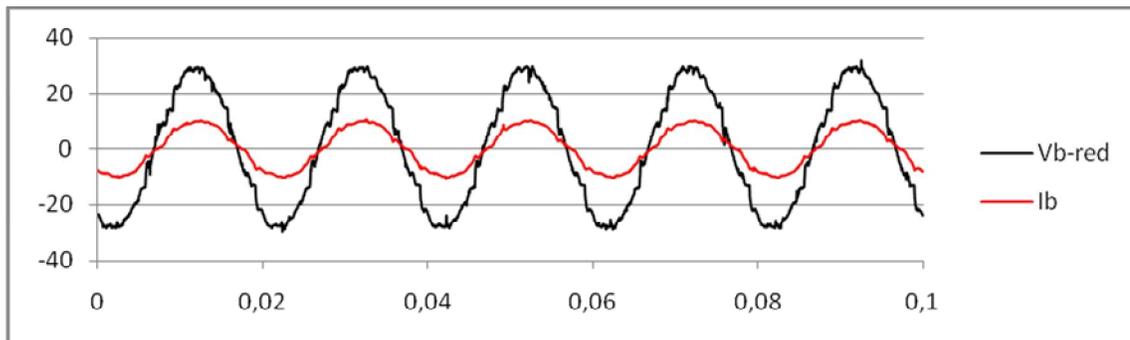


Figura 7.5 Sistema en régimen de inyección desde las baterías.

Voltaje de red (negro) y corriente de línea (rojo)

Se observan mayores distorsiones en la corriente, lo cual se debe a que la corriente de carga del rectificador aumenta su valor, lo que se ve reflejado tanto en el mencionado aumento en la distorsión (que también se observa en el voltaje de red), como en que la corriente de batería pase de ser negativa a positiva, es decir, la referencia de corriente de línea es menor a la que se necesitaría para alimentar al rectificador completamente desde la red, por lo cual el inversor debe aportar con potencia. Se observa, sin embargo, que el factor de potencia se mantiene unitario, ya que la corriente de línea está en fase con el voltaje. La corriente de la batería mantiene su rizado, debido al mencionado desbalance de la red trifásica.

8. CONCLUSIONES

La principal conclusión de este trabajo es que, según lo observado en los resultados experimentales, la topología propuesta es capaz de entregar los resultados esperados, con lo que la hipótesis inicial es corroborada: el inversor multietapa de 27 niveles es capaz de operar, además de como filtro activo y compensador estático de reactivos, como fuente de potencia activa, e incluso puede actuar como carga activa, absorbiendo energía para cargar las baterías.

El principal problema enfrentado durante el desarrollo del presente trabajo es el de implementar un control de tipo PI para manipular la corriente de línea. Un control de tipo PI, implementado en un microcontrolador digital, está limitado por la propia velocidad de cálculo del microcontrolador, la cual, de ser muy baja, puede llegar a inestabilizar el desempeño del sistema, al no ser capaz de reaccionar a los cambios de la corriente dentro de un intervalo de tiempo mínimo, más allá del cual los cambios de error instantáneo pueden ser muy bruscos.

Una solución al problema anterior sería la de utilizar microcontroladores de mayores frecuencias de operación; sin embargo, esto no asegura que el sistema sea lo suficientemente estable, ante el eventual caso de tener una corriente de carga lo suficientemente sucia. Como se observa tanto en las simulaciones como en los resultados experimentales, una corriente como la del rectificador puente de Graetz puede lograr distorsionar levemente la corriente de línea, reduciendo la efectividad del control; aún así, el comportamiento del sistema es bastante bueno.

Una segunda solución orientada a optimizar el comportamiento del sistema sería el implementar un sistema de control inteligente de tipo adaptivo y/o predictivo. Por ejemplo, si el sistema fuera capaz de reconocer la forma de onda distorsionada de la corriente, podría aplicar un tipo de control programado por ciclo adelantándose a las

situaciones de cambio brusco de la corriente contaminante, como la del rectificador puente de Graetz. La Figura 8.1 muestra las corrientes real y de referencia obtenidas en uno de los experimentos, junto con la corriente de carga del mismo caso, mientras que la Figura 8.2 muestra a la corriente de carga junto al error de corriente de línea.

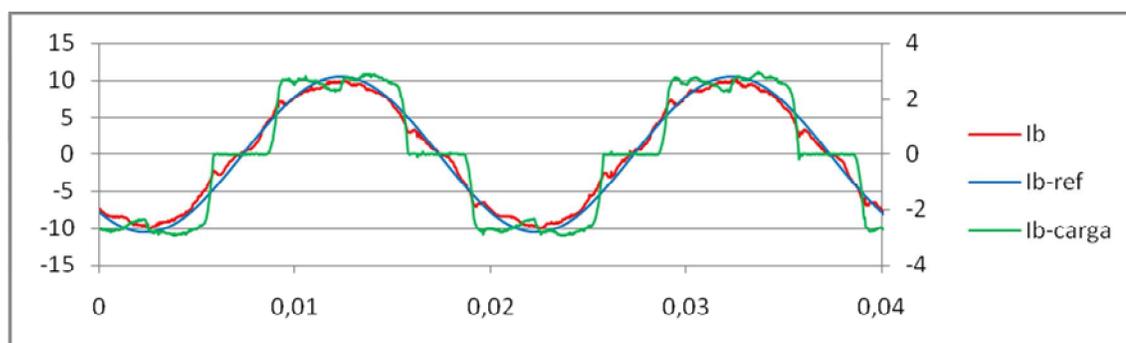


Figura 8.1 Detalle de error de corriente instantánea.

Corrientes de línea (rojo), de referencia (azul) y de carga (verde, en eje secundario)

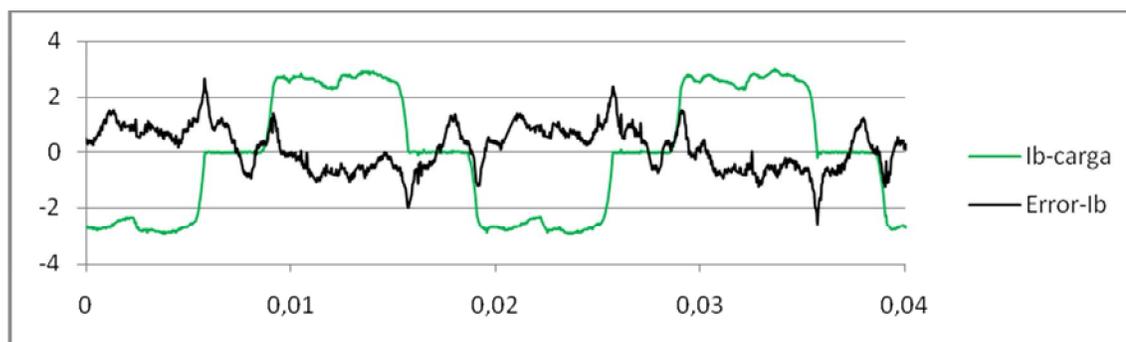


Figura 8.2 Corriente de carga (verde) y error de corriente de línea (negro)

Se observa claramente que, cuando la corriente de carga tiene cambios ascendentes bruscos, la corriente de línea tiene un valor superior al de su referencia, mientras que cuando la corriente de carga tiene cambios descendentes bruscos, la corriente de línea tiene un valor inferior al de su referencia, lo que se ve reflejado en los correspondientes picos del error de corriente: positivos al aumentar la corriente de carga,

y negativos al disminuir. Dicho tipo de error instantáneo repercute en un error cuadrático medio mayor al que se podría obtener si el error instantáneo fuese oscilatorio ante los cambios de corriente de carga, adelantándose a dichos cambios. Es aquí donde un control de tipo predictivo podría ser útil, reduciendo el error cuadrático medio. Sin embargo, se desconoce si el costo de implementar dicho tipo de control sea aceptable respecto del beneficio que reportaría, dado que las corrientes son lo suficientemente poco distorsionadas.

Finalmente, corresponde indicar que el presente trabajo fue resumido y presentado en formato paper al IEEE Transactions on Industrial Electronics, siendo aceptado para su publicación el día 19 de mayo de 2008. El paper será incluido en un futuro volumen de la mencionada publicación.

BIBLIOGRAFÍA

Akagi, H. (1998). The State-of-the-art Power Electronics in Japan. *IEEE Transactions on Power Electronics*, 13(2), 345-356.

Bose, B. (1993). Power Electronics and Motion Control. Technology status and recent trends. *IEEE Transactions on Industry Applications*, 29(5), 902-909.

Bretón, A. (2003). *Diseño y Construcción de un Inversor Trifásico Multinivel de cuatro etapas para compensación armónica y de reactivos*. Memoria de Título, Pontificia Universidad Católica de Chile, Santiago de Chile.

Brusa Elektronik AG (2003), *Maximum Power Tracking model MPT-N15*, recuperado de http://www.brusa.li/products/g_mpt_n15207.htm.

Chen, A. y He, X (2006). Research on Hybrid-Clamped Multilevel-Inverter Topologies. *IEEE Transactions on Industrial Electronics*, 53(6), 1898-1907.

Dixon, J. y Morán, L. (2005). A Clean Four-Quadrant Sinusoidal Power Rectifier, Using Multistage Converters for Subway Applications. *IEEE Transactions on Industrial Electronics*, 52(5), 653-661.

Dixon, J. y Morán, L. (2006). High-Level Multistep Inverter Optimization Using a Minimum Number of Power Transistors. *IEEE Transactions on Power Electronics*, 21(2), 330-337.

Draou, A., Benghanen, M. y Tahri, A. (2001). Multilevel Converters and VAR Compensation, en Muhamad H. Rashid (Ed.), *Power Electronics Handbook*, (1a.ed., pp. 615-622). San Diego, EE.UU.: Academic Press.

Flores, P., Dixon, J., Morán, L., Ortúzar, M., Carmi, R. y Barriuso, P. (2008). Static Var Compensator and Active Power Filter with Power Injection Capability, Using 27-Level

Inverter and Photovoltaic Cells. Paper por publicar en *IEEE Transactions on Industrial Electronics*.

Gupta, A.K. y Khambadkone, A.M. (2006). A space vector PWM scheme for multilevel inverters based on two level space vector PWM. *IEEE Transactions on Industrial Electronics*, 53(5), 1631-1639.

Kang, F.S., Park, S.J., Cho, S.E., Kim, C.U. y Ise, T. (2005). Multilevel PWM Inverters Suitable for the Use of Stand-Alone Photovoltaic Power Systems. *IEEE Transactions on Energy Conversion*, 20(4), 906-915.

Kang, F.S, Park, S.J., Lee, M.H. y Kim, C.U. (2005). An efficient multilevel-synthesis approach and its application to a 27-level inverter. *IEEE Transactions on Industrial Electronics*, 52(6), 1600- 1606.

Kouro, S., Rebolledo, J. y Rodríguez, J. (2007). Reduced Switching-Frequency-Modulation Algorithm for High-Power Multilevel Inverters. *IEEE Transactions on Industrial Electronics*, 54(5), 2894-2901.

Manjrekar, M.D., Steimer, P.K. y Lipo, T.A. (2000). Hybrid multilevel power conversion system: a competitive solution for high power applications. *IEEE Transactions on Industry Applications*, IA-36(3), 834-841.

Mathworks (2004), MATLAB versión 7.0.1 [Programa de Computador]. Natick, Massachusetts, EE.UU.

Microchip Technology Inc. (2007). *dsPIC33FJXXXGPX06/X08/X10 Data Sheet, for "High-Performance, 16-Bit Digital Signal Controllers"*. Recuperado de http://www.microchip.com/stellent/idcplg?IdcService=SS_GET_PAGE&nodeId=2057&ty=&dt=Data+Sheets§ion=Data+Sheets&ssUserText=dsPIC33FJ128GP710.

MikroElektronika (2007). *LV 24-33 User's Manual, for "LV 24-33 development system for Microchip PIC 24 and dsPIC33 microcontrollers"*. Recuperado de http://www.mikroe.com/pdf/lv_24_33_manual_high_quality.pdf.

Mohan, N. y Kamath, G.R. (1995). A Novel, Per-Phase Interface of Power Electronic Apparatus for Power System Applications. En *Proceedings of the NAPS*, (pp. 457–461).

Ortúzar, M., Carmi, R., Dixon, J. y Morán, L. (2006). Voltage-Source Active Power Filter, Based on Multi-Level Converter and Ultracapacitor DC Link. *IEEE Transactions on Industrial Electronics*, 53(2), 614-623.

Peng, F.Z., Lai, J.S., McKeever, J. y Van Coevering, J. (1995). A multilevel voltage source inverter with separate dc sources for static Var generation. En *Conference Record of the IEEE-IAS Annual Meeting* (pp. 2541-2548). Orlando, Florida, EE.UU.

Powersim Technologies (2001-2003). PSIM versión 6.1 [Programa de Computador]. Vancouver, Canadá.

Rech, C. y Pinheiro, J.R. (2007). Hybrid Multilevel Converters: Unified Analysis and Design Considerations. *IEEE Transactions on Industrial Electronics*, 54(2), 1092 -1104.

Rodríguez, J., Lai, J.S. y Zheng Peng, F. (2002). Multilevel Inverters: A Survey of Topologies, Controls, and Applications. *IEEE Transactions on Power Electronics*, 49(4), 724-737.

Rodríguez, J., Wu, B., Bernet, S., Pontt, J. y Kouro, S. (2007). Multilevel Voltage Source Converter Topologies for Industrial Medium Voltage Drives. *IEEE Transactions on Industrial Electronics, Special Section on High Power Drives*, 54(6), 2930–2945.

Román, E., Alonso, R., Ibáñez, P., Elorduizapatarietxe, S. y Goitia, D. (2006). Intelligent PV Module for Grid-Connected PV Systems. *IEEE Transactions on Industrial Electronics*, 53(4), 1066-1073.

Rotella, M. y Dixon, J. (2006). Simplified 27-Level Traction Drive System with Low Part Count and Single Battery Pack. *22th Electric Vehicle Symposium, EVS-22* (CD-ROM). Yokohama, Japón.

Zheng Peng, F. (2001). A Generalized Multilevel Inverter Topology with Self Voltage Balancing. *IEEE Transactions on Industry Applications*, 37(2), 611-618.

ANEXOS

Anexo A: Circuitos involucrados en el Sistema de Control

A.1. Circuito pre-procesador de Datos para canal ADC

Como fue mencionado en el capítulo 7, el microcontrolador utilizado posee canales ADC que aceptan entradas de voltaje de entre 0 y 3.3 V, por lo que es necesario modificar las señales análogas capturadas para su utilización. La Figura A.1 ilustra el diagrama esquemático de la captura y pre-procesamiento de las cuatro señales necesarias (voltaje de red, dos corrientes de línea, y corriente de batería).

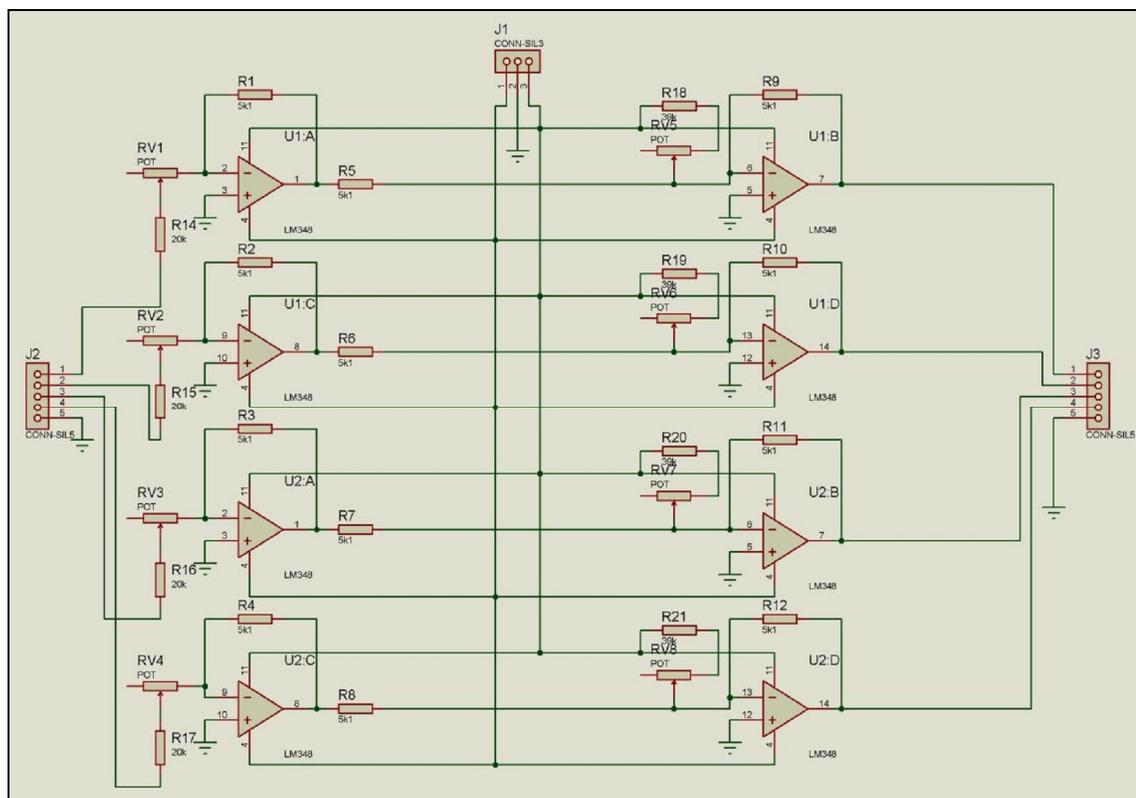


Figura A.1 Circuito de pre-procesamiento de señales análogas

El sistema posee 3 conectores, dos de los cuales son de 5 pines (J2 y J3), mientras que el tercero es de 3 pines (J1). El conector J1 corresponde a la entrada de

alimentación de la placa ($-15 V_{DC}$, tierra y $15 V_{DC}$). El conector J2 corresponde a las entradas de las cuatro señales más referencia común, y el conector J3 corresponde a las salidas de las cuatro señales ya pre-procesadas. Se observan ocho amplificadores operacionales, dos para cada señal. La función de los cuatro del lado izquierdo es la de amplificar (o reducir) la señal de entrada al rango de $\pm 1.65 V$, quedando ésta invertida respecto de la entrada. La función de los cuatro amplificadores operacionales del lado derecho, por su parte, es la de volver a invertir la señal y sumarle un voltaje de $1.65 V_{DC}$, dejando así la señal final en el rango 0 a 3.3 V. Cada amplificador operacional tiene asociado un conjunto de resistencias y potenciómetros, siendo éstos últimos los encargados del ajuste fino de la amplitud y del offset, según corresponda. Cabe señalar que la tarjeta está construida con integrados LM348, los cuales poseen cuatro amplificadores operacionales cada uno, simplificando el diseño del layout. Dicho diseño es presentado en la Figura A.2.

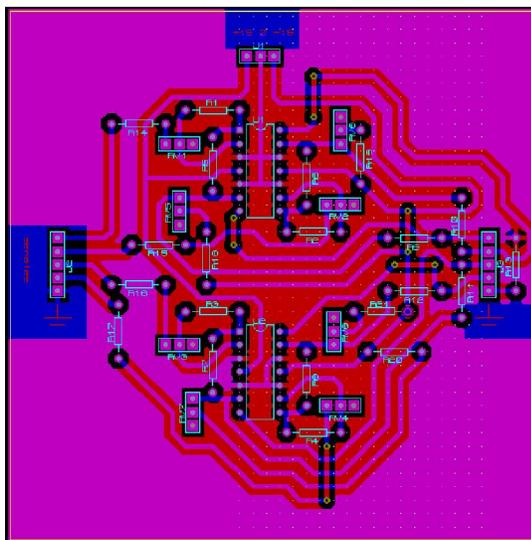


Figura A.2 Layout de circuito de pre-procesamiento de señales análogas

La señal de voltaje de red proviene de un transformador, mientras que las señales de corriente provienen de dispositivos LEM.

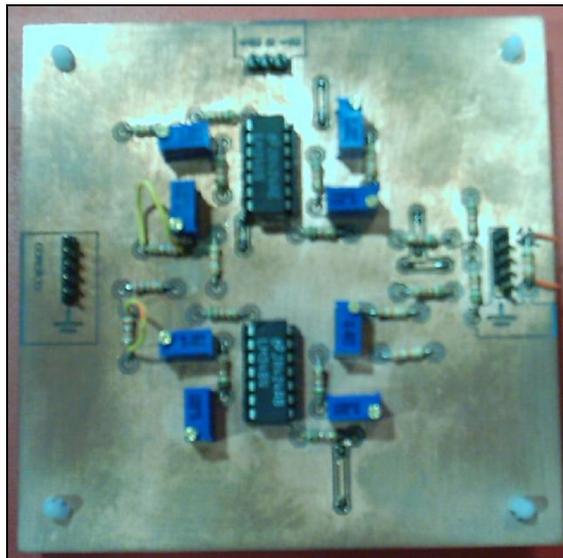


Figura A.3 Circuito de pre-procesamiento de señales análogas

A.2. Circuito de Interconexión entre Tarjeta de dsPIC e Inversor

Como se menciona en la memoria de Alberto Bretón (2003), el inversor recibe las señales de disparo para cada una de sus fases a través de cables planos de 40 conductores, con la disposición ilustrada en la Figura A.4 y en la Tabla A.1. La Figura A.5 define el nombre de cada IGBT indicando la simbología de la Tabla A.1.

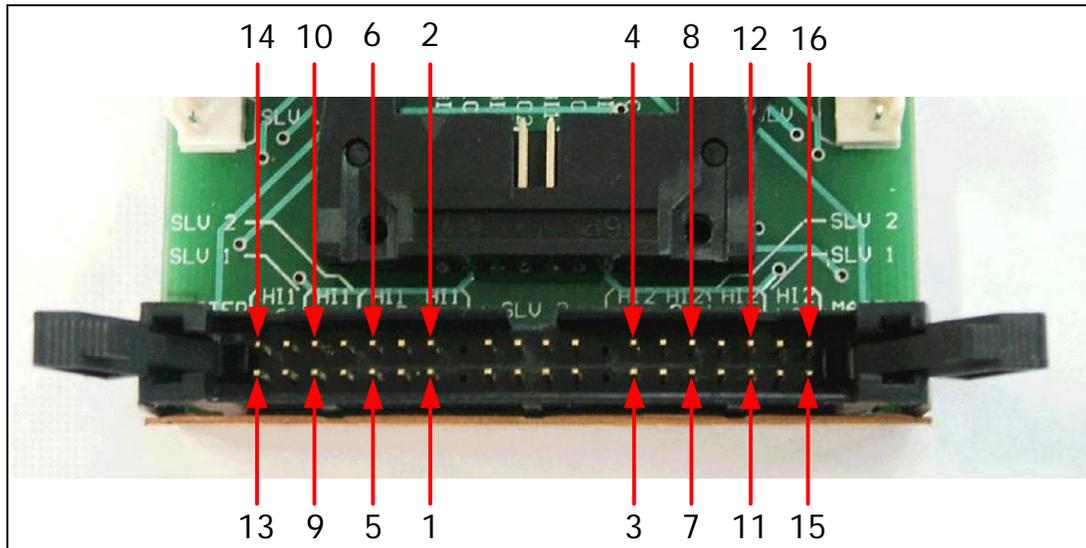


Figura A.4 Disposición de señales en conector de entrada a inversor

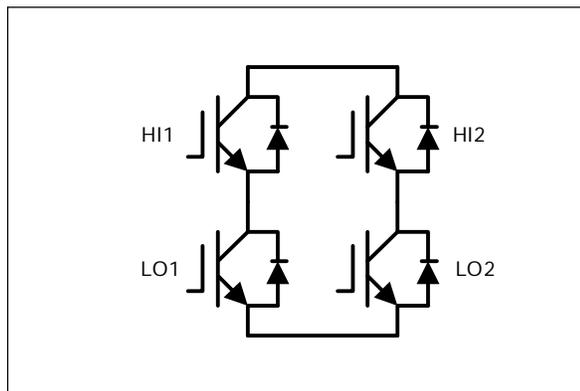


Figura A.5 Identificación de cada IGBT dentro del puente H

Tabla A.1 Descripción de terminales de la Figura A.4

	LO1	HI1	LO2	HI2
3^{er} Auxiliar	1	2	3	4
2^{er} Auxiliar	5	6	7	8
1^{er} Auxiliar	9	10	11	12
Principal	13	14	15	16

La disposición de los pines de salida de la tarjeta LV 24-33 es similar a la de los pines de entrada del inversor; sin embargo, el orden de sus puertos no permite lograr de forma natural una disposición idéntica a la del inversor. Es por ello que se diseña el circuito de interconexión ilustrado en el esquemático de la Figura A.6.

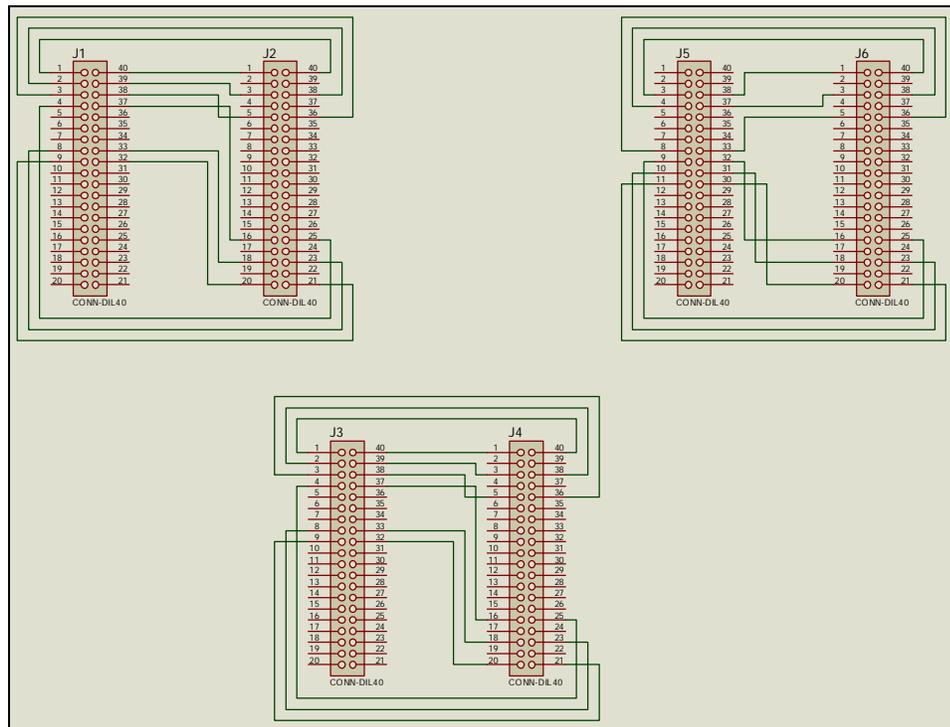


Figura A.6 Esquemático de circuito de interconexión dsPIC – inversor

Los arreglos superiores corresponden a las fases A y C (de izquierda a derecha), mientras que el inferior corresponde a la fase B. La Figura A.7 ilustra el layout del circuito de interconexión.

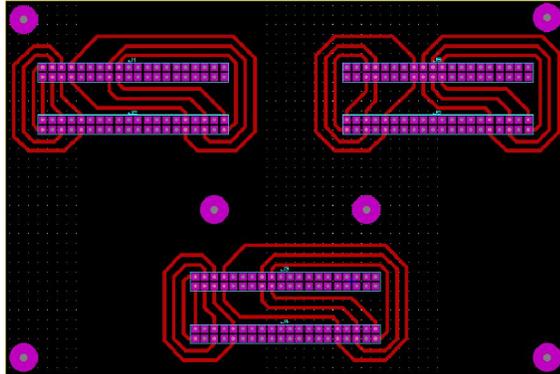


Figura A.7 Layout de circuito de interconexión dsPIC – inversor

La disposición de fases en el layout es idéntica a la mencionada para el correspondiente esquemático.



Figura A.8 Circuito de interconexión dsPIC – inversor

Anexo B: Hojas de Datos Técnicos

En este anexo, se presentan la hoja de datos técnicos del circuito integrado utilizado para la placa de pre-procesamiento de señales análogas del el presente trabajo.

LM348 (Amplificador Operacional Cuádruple)



November 2003

LM148/LM248/LM348 Quad 741 Op Amps

General Description

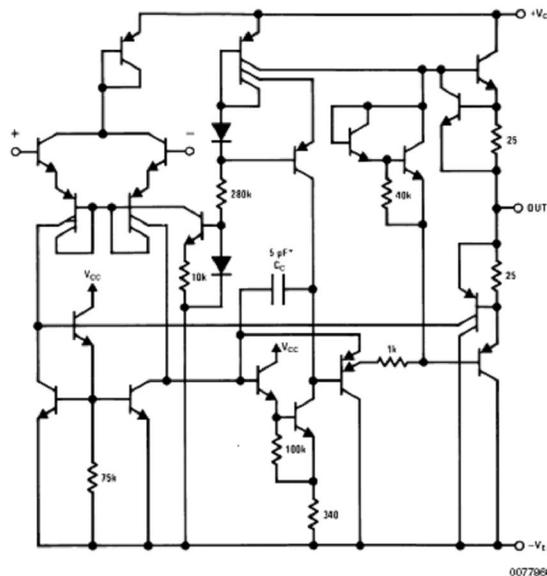
The LM148 series is a true quad 741. It consists of four independent, high gain, internally compensated, low power operational amplifiers which have been designed to provide functional characteristics identical to those of the familiar 741 operational amplifier. In addition the total supply current for all four amplifiers is comparable to the supply current of a single 741 type op amp. Other features include input offset currents and input bias current which are much less than those of a standard 741. Also, excellent isolation between amplifiers has been achieved by independently biasing each amplifier and using layout techniques which minimize thermal coupling.

The LM148 can be used anywhere multiple 741 or 1558 type amplifiers are being used and in applications where amplifier matching or high packing density is required. For lower power refer to LF444.

Features

- 741 op amp operating characteristics
- Class AB output stage—no crossover distortion
- Pin compatible with the LM124
- Overload protection for inputs and outputs
- Low supply current drain: 0.6 mA/Amplifier
- Low input offset voltage: 1 mV
- Low input offset current: 4 nA
- Low input bias current: 30 nA
- High degree of isolation between amplifiers: 120 dB
- Gain bandwidth product
- LM148 (unity gain): 1.0 MHz

Schematic Diagram



* 1 pF in the LM149

LM148/LM248/LM348 Series Quad 741 Op Amp

Absolute Maximum Ratings (Note 4)

Distributors for availability and specifications.

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/

	LM148	LM248	LM348
Supply Voltage	±22V	±18V	±18V
Differential Input Voltage	±44V	±36V	±36V
Output Short Circuit Duration (Note 1)	Continuous	Continuous	Continuous
Power Dissipation (P_d at 25°C) and Thermal Resistance (θ_{JA}), (Note 2)			
Molded DIP (N) P_d	—	—	750 mW
θ_{JA}	—	—	100°C/W
Cavity DIP (J) P_d	1100 mW	800 mW	700 mW
θ_{JA}	110°C/W	110°C/W	110°C/W
Maximum Junction Temperature (T_{JMAX})	150°C	110°C	100°C
Operating Temperature Range	-55°C ≤ T_A ≤ +125°C	-25°C ≤ T_A ≤ +85°C	0°C ≤ T_A ≤ +70°C
Storage Temperature Range	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C
Lead Temperature (Soldering, 10 sec.) Ceramic	300°C	300°C	300°C
Lead Temperature (Soldering, 10 sec.) Plastic			260°C
Soldering Information			
Dual-In-Line Package			
Soldering (10 seconds)	260°C	260°C	260°C
Small Outline Package			
Vapor Phase (60 seconds)	215°C	215°C	215°C
Infrared (15 seconds)	220°C	220°C	220°C
See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.			
ESD tolerance (Note 5)	500V	500V	500V

Electrical Characteristics

(Note 3)

Parameter	Conditions	LM148			LM248			LM348			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	$T_A = 25^\circ\text{C}$, $R_S \leq 10\text{ k}\Omega$		1.0	5.0		1.0	6.0		1.0	6.0	mV
Input Offset Current	$T_A = 25^\circ\text{C}$		4	25		4	50		4	50	nA
Input Bias Current	$T_A = 25^\circ\text{C}$		30	100		30	200		30	200	nA
Input Resistance	$T_A = 25^\circ\text{C}$	0.8	2.5		0.8	2.5		0.8	2.5		MΩ
Supply Current All Amplifiers	$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$		2.4	3.6		2.4	4.5		2.4	4.5	mA
Large Signal Voltage Gain	$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$ $V_{OUT} = \pm 10\text{V}$, $R_L \geq 2\text{ k}\Omega$	50	160		25	160		25	160		V/mV
Amplifier to Amplifier Coupling	$T_A = 25^\circ\text{C}$, $f = 1\text{ Hz to } 20\text{ kHz}$ (Input Referred) See Crosstalk Test Circuit		-120			-120			-120		dB
Small Signal Bandwidth	$T_A = 25^\circ\text{C}$, LM148 Series		1.0			1.0			1.0		MHz
Phase Margin	$T_A = 25^\circ\text{C}$, LM148 Series ($A_V = 1$)		60			60			60		degrees
Slew Rate	$T_A = 25^\circ\text{C}$, LM148 Series ($A_V = 1$)		0.5			0.5			0.5		V/μs
Output Short Circuit Current	$T_A = 25^\circ\text{C}$		25			25			25		mA
Input Offset Voltage	$R_S \leq 10\text{ k}\Omega$			6.0			7.5			7.5	mV
Input Offset Current				75			125			100	nA

Electrical Characteristics (Continued)
(Note 3)

Parameter	Conditions	LM148			LM248			LM348			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Bias Current				325			500			400	nA
Large Signal Voltage Gain	$V_S = \pm 15V$, $V_{OUT} = \pm 10V$, $R_L > 2 k\Omega$	25			15			15			V/mV
Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10 k\Omega$ $R_L = 2 k\Omega$	± 12	± 13		± 12	± 13		± 12	± 13		V
		± 10	± 12		± 10	± 12		± 10	± 12		V
Input Voltage Range	$V_S = \pm 15V$	± 12			± 12			± 12			V
Common-Mode Rejection Ratio	$R_S \leq 10 k\Omega$	70	90		70	90		70	90		dB
Supply Voltage Rejection	$R_S \leq 10 k\Omega$, $\pm 5V \leq V_S \leq \pm 15V$	77	96		77	96		77	96		dB

Note 1: Any of the amplifier outputs can be shorted to ground indefinitely; however, more than one should not be simultaneously shorted as the maximum junction temperature will be exceeded.

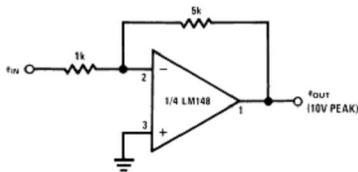
Note 2: The maximum power dissipation for these devices must be derated at elevated temperatures and is dictated by T_{JMAX} , θ_{JA} , and the ambient temperature, T_A . The maximum available power dissipation at any temperature is $P_d = (T_{JMAX} - T_A)/\theta_{JA}$ or the $25^\circ C$ P_{DMAX} , whichever is less.

Note 3: These specifications apply for $V_S = \pm 15V$ and over the absolute maximum operating temperature range ($T_L \leq T_A \leq T_H$) unless otherwise noted.

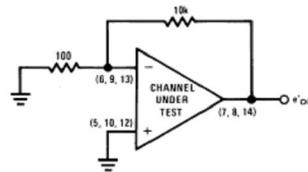
Note 4: Refer to RETS 148X for LM148 military specifications.

Note 5: Human body model, 1.5 k Ω in series with 100 pF.

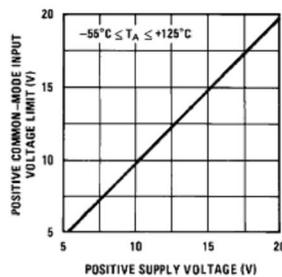
Cross Talk Test Circuit $V_S = \pm 15V$



00778606

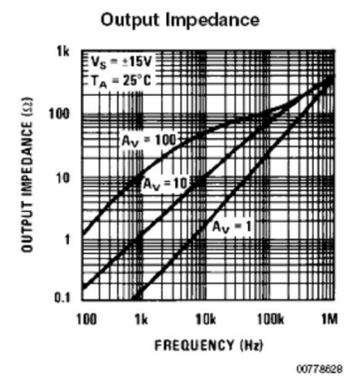
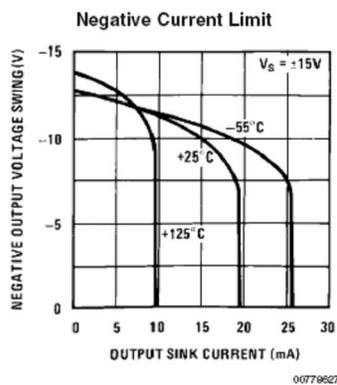
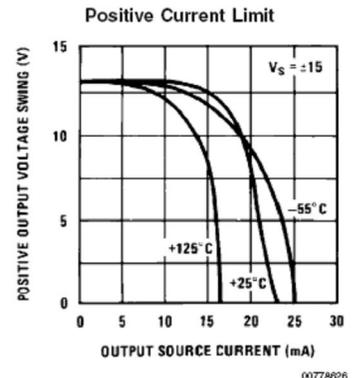
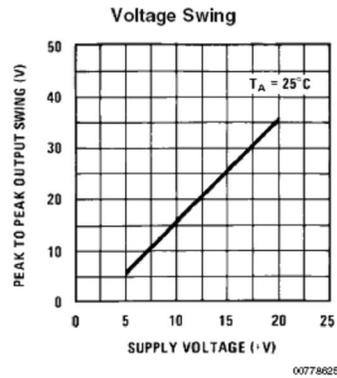
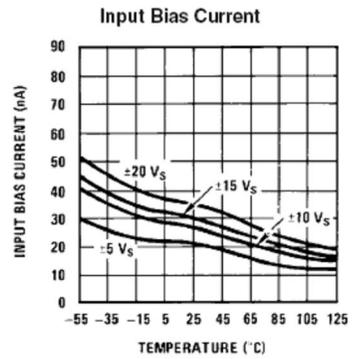
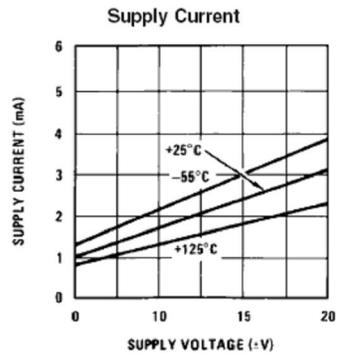


00778607

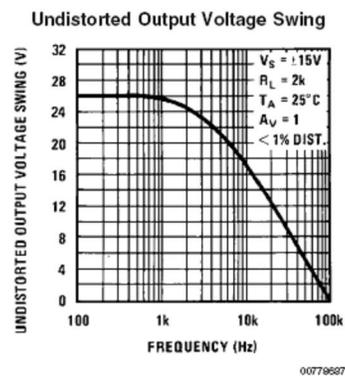
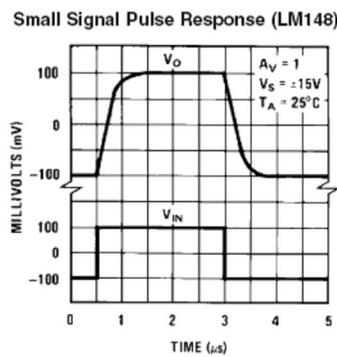
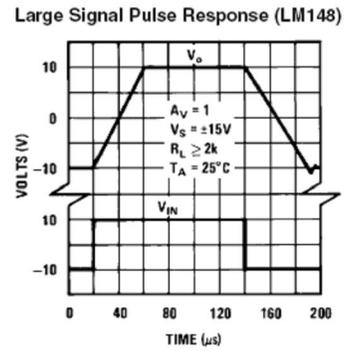
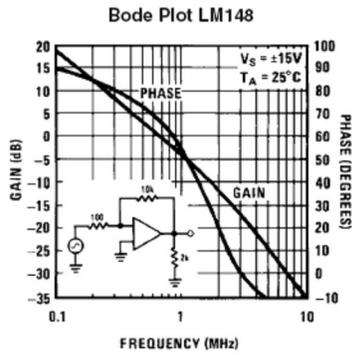
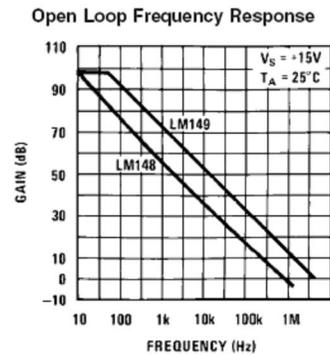
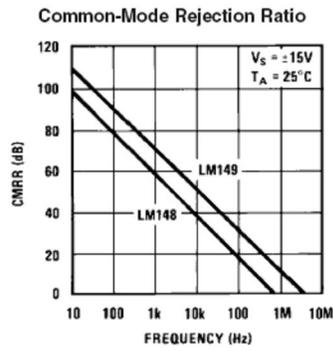


00778643

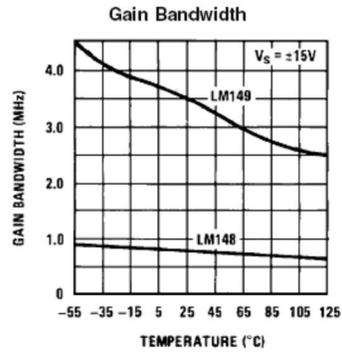
Typical Performance Characteristics



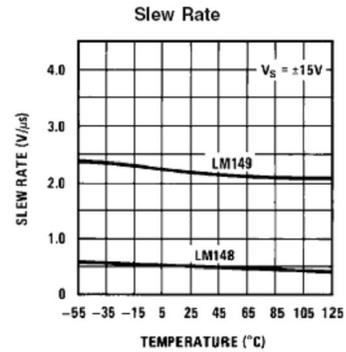
Typical Performance Characteristics (Continued)



Typical Performance Characteristics (Continued)

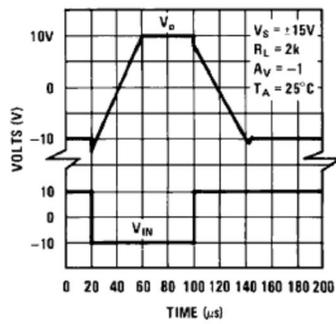


00778698



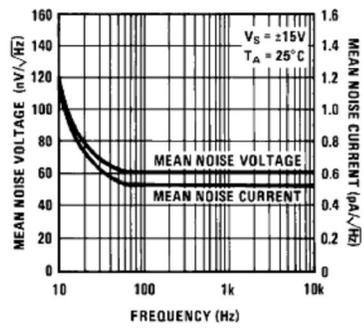
00778639

Inverting Large Signal Pulse Response (LM148)



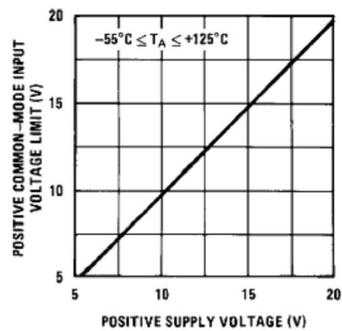
00778641

Input Noise Voltage and Noise Current



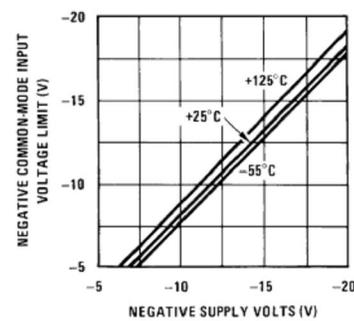
00778642

Positive Common-Mode Input Voltage Limit



00778643

Negative Common-Mode Input Voltage Limit



00778605

Application Hints

The LM148 series are quad low power 741 op amps. In the proliferation of quad op amps, these are the first to offer the convenience of familiar, easy to use operating characteristics of the 741 op amp. In those applications where 741 op amps have been employed, the LM148 series op amps can be employed directly with no change in circuit performance.

The package pin-outs are such that the inverting input of each amplifier is adjacent to its output. In addition, the amplifier outputs are located in the corners of the package which simplifies PC board layout and minimizes package related capacitive coupling between amplifiers.

The input characteristics of these amplifiers allow differential input voltages which can exceed the supply voltages. In addition, if either of the input voltages is within the operating common-mode range, the phase of the output remains correct. If the negative limit of the operating common-mode range is exceeded at both inputs, the output voltage will be positive. For input voltages which greatly exceed the maximum supply voltages, either differentially or common-mode, resistors should be placed in series with the inputs to limit the current.

Like the LM741, these amplifiers can easily drive a 100 pF capacitive load throughout the entire dynamic output voltage and current range. However, if very large capacitive loads must be driven by a non-inverting unity gain amplifier, a resistor should be placed between the output (and feedback connection) and the capacitance to reduce the phase shift resulting from the capacitive loading.

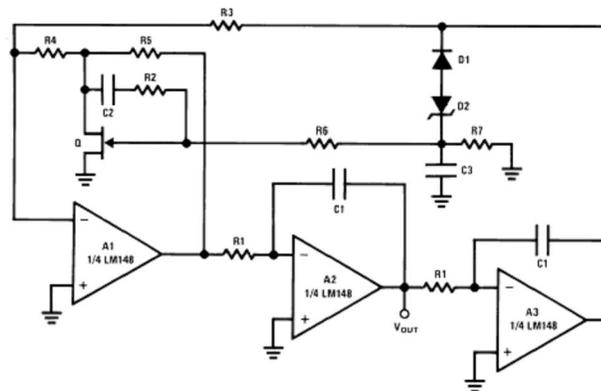
The output current of each amplifier in the package is limited. Short circuits from an output to either ground or the power supplies will not destroy the unit. However, if multiple output shorts occur simultaneously, the time duration should be short to prevent the unit from being destroyed as a result of excessive power dissipation in the IC chip.

As with most amplifiers, care should be taken lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pickup" and maximize the frequency of the feedback pole which capacitance from the input to ground creates.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately six times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Typical Applications—LM148

One Decade Low Distortion Sinewave Generator



00779609

$$f = \frac{1}{2\pi R1 C1} \times \sqrt{K}, K = \frac{R4 R5}{R3} \left(\frac{1}{r_{DS}} + \frac{1}{R4} + \frac{1}{R5} \right), r_{DS} \approx \frac{R_{ON}}{\left(1 - \frac{V_{GS}}{V_P} \right)^{1/2}}$$

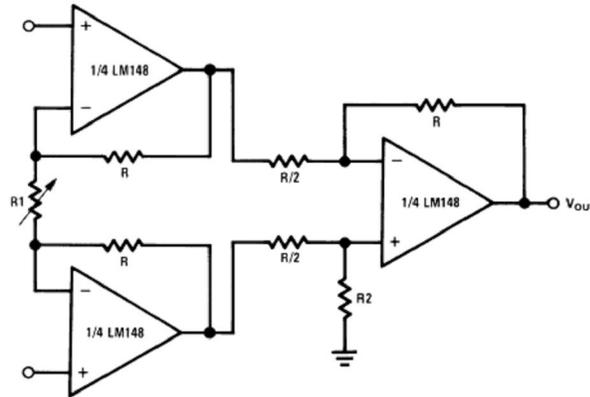
f_{MAX} = 5 kHz, THD ≤ 0.03%

R1 = 100k pot, C1 = 0.0047 μF, C2 = 0.01 μF, C3 = 0.1 μF, R2 = R6 = R7 = 1M, R3 = 5.1k, R4 = 12Ω, R5 = 240Ω, Q = NS5102, D1 = 1N914, D2 = 3.6V avalanche diode (ex. LM103), V_S = ±15V

A simpler version with some distortion degradation at high frequencies can be made by using A1 as a simple inverting amplifier, and by putting back to back zeners in the feedback loop of A3.

Typical Applications—LM148 (Continued)

Low Cost Instrumentation Amplifier



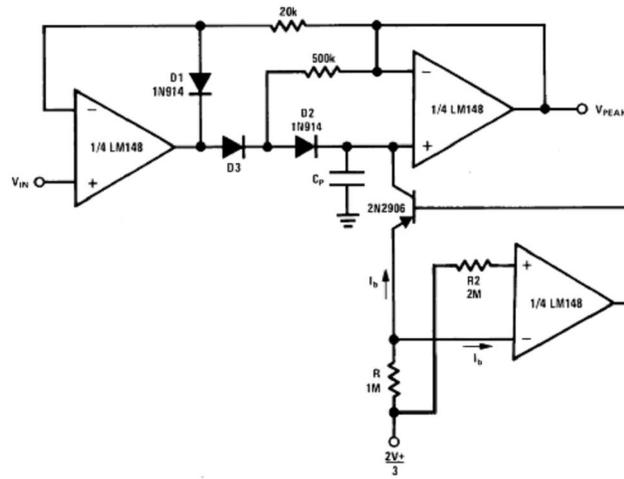
00779809

$$V_{OUT} = 2 \left(\frac{2R}{R1} + 1 \right) \cdot V_S - 3V < V_{INCM} < V_S^+ - 3V.$$

$V_S = \pm 15V$

$R = R2$, trim $R2$ to boost CMRR

Low Drift Peak Detector with Bias Current Compensation

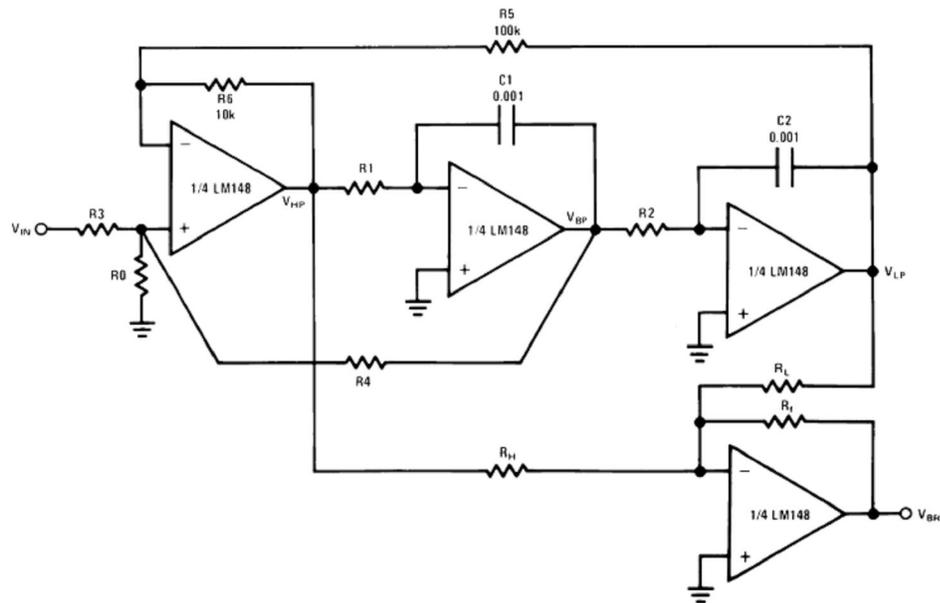


00778610

Adjust R for minimum drift
 D3 low leakage diode
 D1 added to improve speed
 $V_S = \pm 15V$

Typical Applications—LM148 (Continued)

Universal State-Variable Filter



Tune Q through R0,
 For predictable results: $f_0 Q \leq 4 \times 10^4$
 Use Band Pass output to tune for Q

00779611

$$\frac{V(s)}{V_{IN}(s)} = \frac{N(s)}{D(s)}, D(s) = s^2 + \frac{S\omega_0}{Q} + \omega_0^2$$

$$N_{HP}(s) = S^2 H_{OHP}, N_{BP}(s) = \frac{-s\omega_0 H_{OBP}}{Q}, N_{LP} = \omega_0^2 H_{OLP}$$

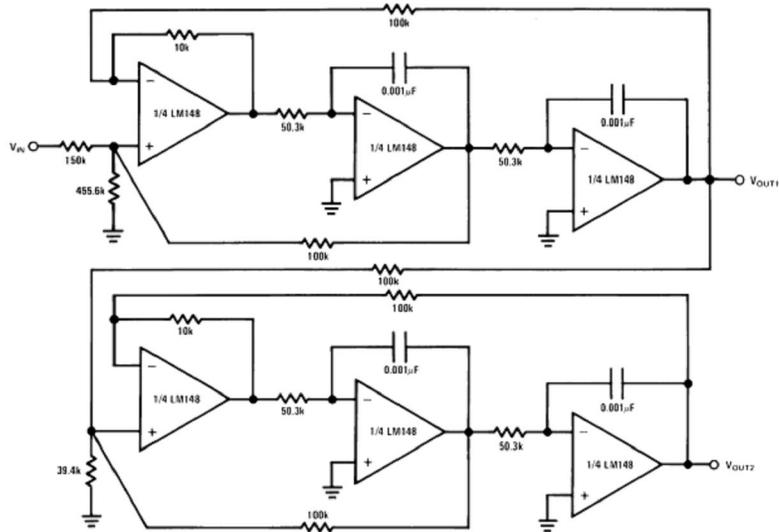
$$f_0 = \frac{1}{2\pi} \sqrt{\frac{R6}{R5} \frac{1}{t_1 t_2}}, t_1 = R_1 C_1, Q = \left(\frac{1 + R_4/R_3 + R_4/R_0}{1 + R_6/R_5} \right) \left(\frac{R_6 t_1}{R_5 t_2} \right)^{1/2}$$

$$f_{NOTCH} = \frac{1}{2\pi} \left(\frac{R_H}{R_L t_1 t_2} \right)^{1/2}, H_{OHP} = \frac{1 + R_6/R_5}{1 + R_3/R_0 + R_3/R_4}, H_{OBP} = \frac{1 + R_4/R_3 + R_4/R_0}{1 + R_3/R_0 + R_3/R_4}$$

$$H_{OLP} = \frac{1 + R_5/R_6}{1 + R_3/R_0 + R_3/R_4}$$

Typical Applications—LM148 (Continued)

A 1 kHz 4 Pole Butterworth



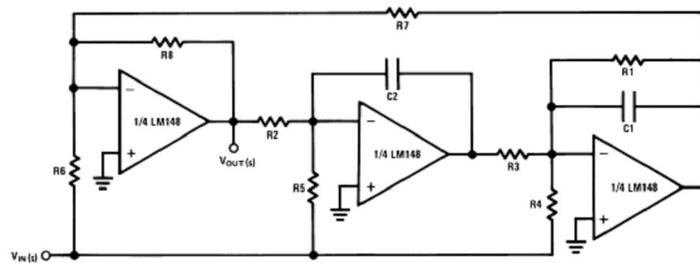
00778612

Use general equations, and tune each section separately

$Q_{1stSECTION} = 0.541$, $Q_{2ndSECTION} = 1.306$

The response should have 0 dB peaking

A 3 Amplifier Bi-Quad Notch Filter



00778618

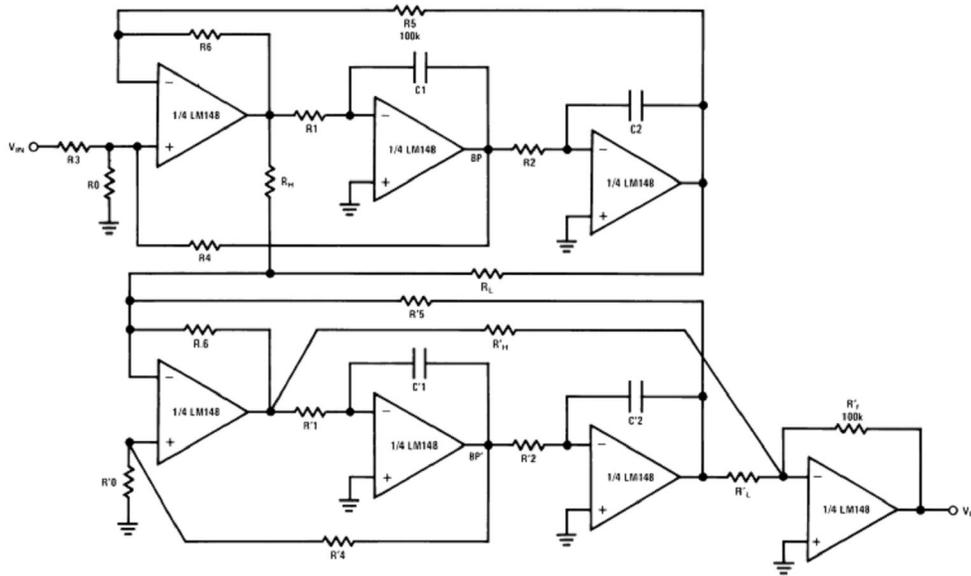
$$Q = \sqrt{\frac{R8}{R7}} \times \frac{R1C1}{R3C2R2C1}, \quad f_0 = \frac{1}{2\pi} \sqrt{\frac{R8}{R7}} \times \frac{1}{R2R3C1C2}, \quad f_{NOTCH} = \frac{1}{2\pi} \sqrt{\frac{R6}{R3R5R7C1C2}}$$

$$\text{Necessary condition for notch: } \frac{1}{R6} = \frac{R1}{R4R7}$$

Ex: $f_{NOTCH} = 3 \text{ kHz}$, $Q = 5$, $R1 = 270k$, $R2 = R3 = 20k$, $R4 = 27k$, $R5 = 20k$, $R6 = R8 = 10k$, $R7 = 100k$, $C1 = C2 = 0.001 \mu\text{F}$
 Better noise performance than the state-space approach.

Typical Applications—LM148 (Continued)

A 4th Order 1 kHz Elliptic Filter (4 Poles, 4 Zeros)



00778614

$R1C1 = R2C2 = t$

$R'1C'1 = R'2C'2 = t'$

$f_c = 1 \text{ kHz}, f_s = 2 \text{ kHz}, f_p = 0.543, f_z = 2.14, Q = 0.841, f_p = 0.987, f'_z = 4.92, Q' = 4.403$, normalized to ripple BW

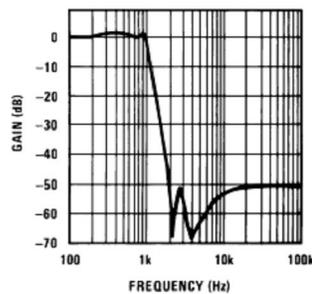
$$f = \frac{1}{2\pi R1C1} \times \sqrt{K}, K = \frac{R4R5}{R3} \left(\frac{1}{r_{DS}} + \frac{1}{R4} + \frac{1}{R5} \right), r_{DS} \approx \frac{R_{ON}}{\left(1 - \frac{V_{GS}}{V_P}\right)^{1/2}}$$

Use the BP outputs to tune Q, Q', tune the 2 sections separately

$R1 = R2 = 92.6k, R3 = R4 = R5 = 100k, R6 = 10k, R0 = 107.8k, R_L = 100k, R_H = 155.1k,$

$R'1 = R'2 = 50.9k, R'4 = R'5 = 100k, R'6 = 10k, R'0 = 5.78k, R'_L = 100k, R'_H = 248.12k, R'_f = 100k$. All capacitors are 0.001 μF .

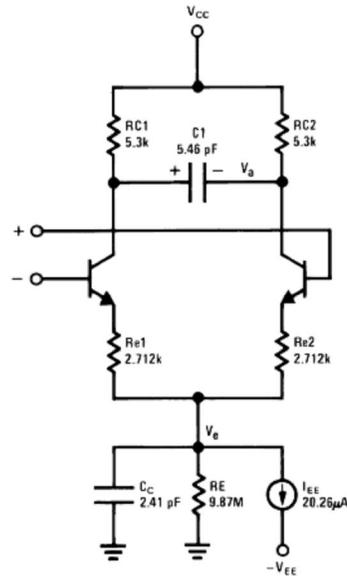
Lowpass Response



00778615

Typical Simulation

LM148, LM741 Macromodel for Computer Simulation

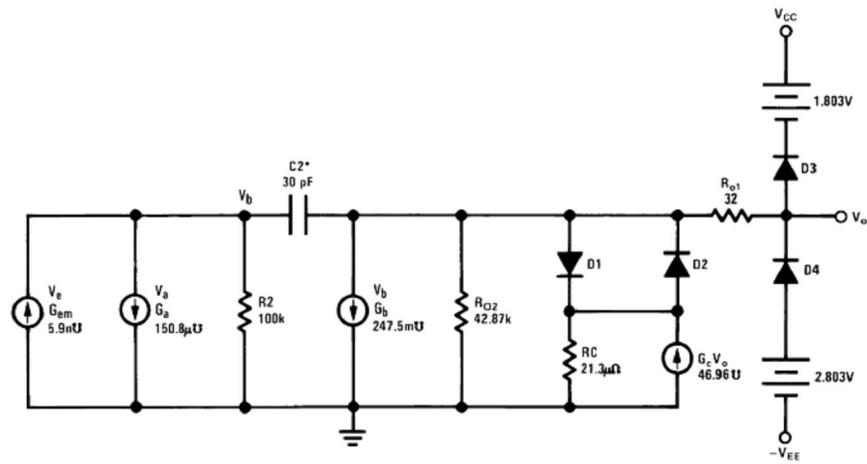


00778621

For more details, see IEEE Journal of Solid-State Circuits, Vol. SC-9, No. 6, December 1974

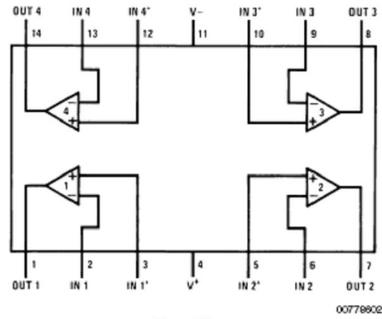
Note 6: $\omega_1 = 112\text{s} = 8 \times 10^{-16}$

Note 7: $\omega_2 = 144 \cdot C2 = 6 \text{ pF}$ for LM149



00778622

Connection Diagram

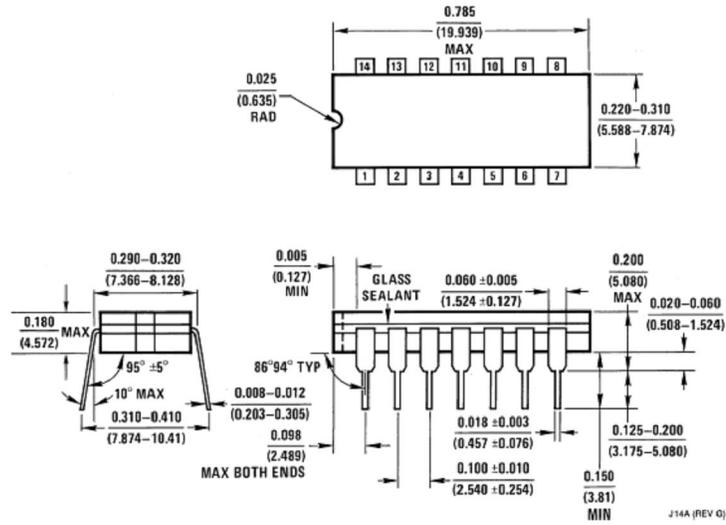


Top View

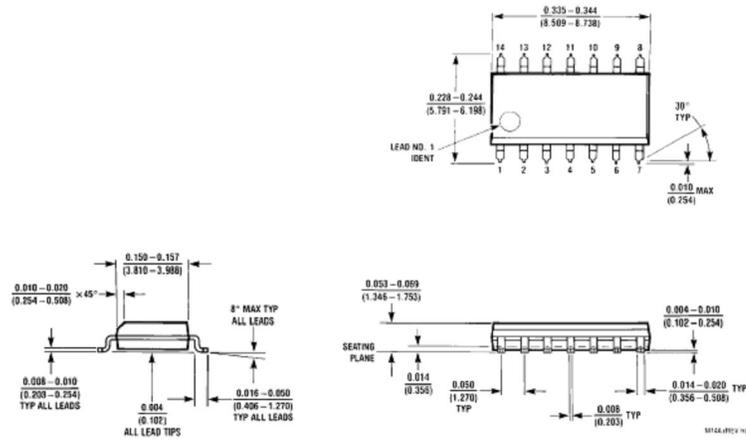
Order Number LM148J, LM148J/883, LM248J, LM348M, or LM348N
 See NS Package Number J14A, M14A or N14A
 LM148J is available per JM38510/11001

LM148/LM248/LM348

Physical Dimensions inches (millimeters)
unless otherwise noted

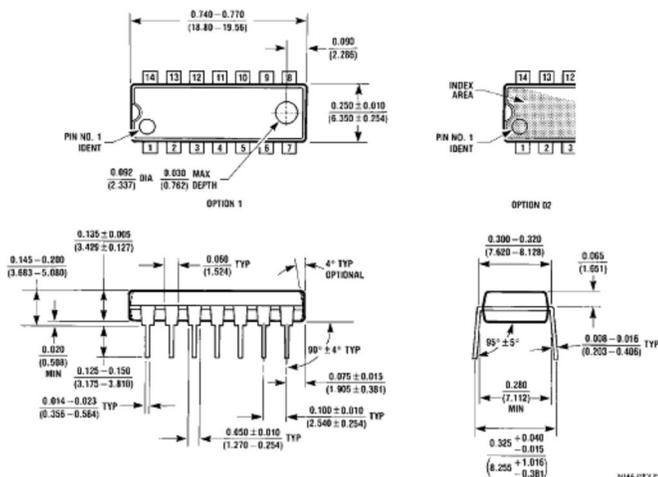


Ceramic Dual-In-Line Package (J)
Order Number LM148J, LM148J/883, LM248J
NS Package Number J14A



S.O. Package (M)
Order Number LM348M or LM348MX
NS Package Number M14A

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Dual-In-Line Package (N)
Order Number LM348N
NS Package Number N14A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

BANNED SUBSTANCE COMPLIANCE

National Semiconductor certifies that the products and packing materials meet the provisions of the Customer Products Stewardship Specification (CSP-9-111C2) and the Banned Substances and Materials of Interest Specification (CSP-9-111S2) and contain no "Banned Substances" as defined in CSP-9-111S2.

 <p>National Semiconductor Americas Customer Support Center Email: nsw.feedback@nsc.com Tel: 1-800-272-9959 www.national.com</p>	<p>National Semiconductor Europe Customer Support Center Fax: +49 (0) 180-530 85 86 Email: europe.support@nsc.com Deutsch Tel: +49 (0) 69 9508 6208 English Tel: +44 (0) 870 24 0 2171 Français Tel: +33 (0) 1 41 91 8790</p>	<p>National Semiconductor Asia Pacific Customer Support Center Email: ap.support@nsc.com</p>	<p>National Semiconductor Japan Customer Support Center Fax: 81-3-5639-7507 Email: jpn.feedback@nsc.com Tel: 81-3-5639-7560</p>
---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	----------------------------------------------------------------------------------------------------------------------------------------------	-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

Anexo C: Diagrama de Flujo del Sistema de Señalización y Control Automático

La Figura C.1 ilustra el diagrama de flujo del programa de control automático del sistema. El programa está hecho en base a una tabla de 1000 muestras para operar con 1000 pasos por ciclo de red a 50 *Hz*, siendo este número de pasos ajustado para ajustarse a la frecuencia instantánea de red, ejecutando más pasos a menor frecuencia, y menos pasos a mayor frecuencia. Por lo mismo, las muestras utilizadas dependerán del número de pasos por ciclo que se ejecuten, ajustando el índice según sea el número de pasos, como se explica en el diagrama de flujo. Cabe señalar que el bloque tiempo muerto produce el tiempo necesario para el apagado de un IGBT, durante el cual no se debe encender el otro IGBT de la misma pierna, a fin de evitar un cortocircuito franco en la batería. Según lo indicado en la Figura A.5, esto evitaría tener encendidos al mismo tiempo los IGBTs HI1 y LO1, o los IGBTs HI2 y LO2.

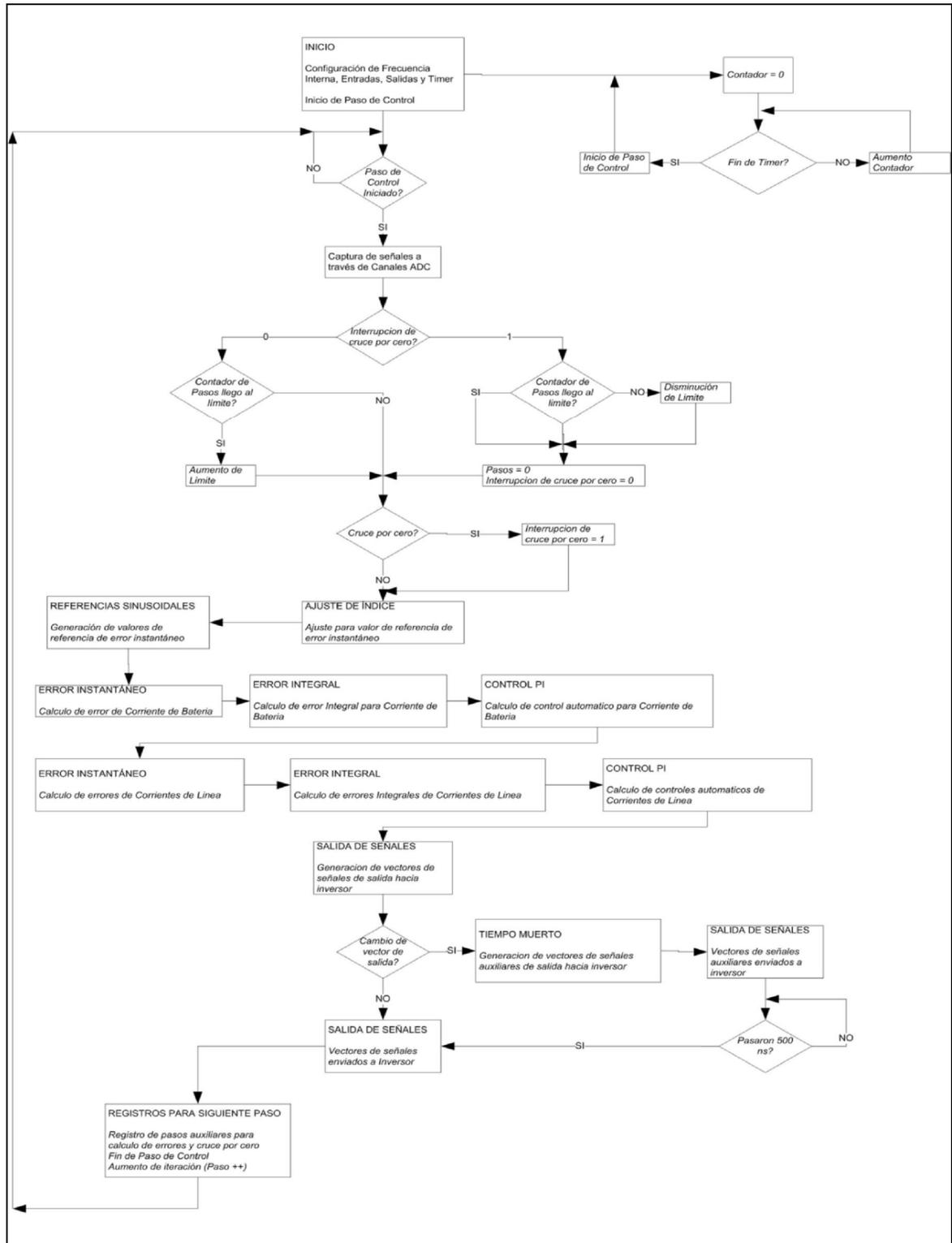


Figura C.1 Diagrama de Flujo del Sistema de Señalización y Control Automático

Anexo D: Imágenes del Sistema

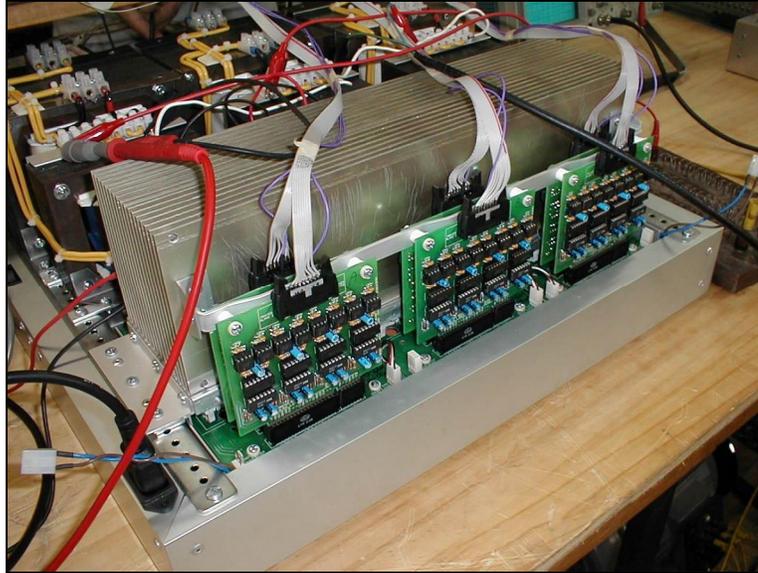


Figura D.1 Prototipo de Inversor multietapa de 81 Niveles

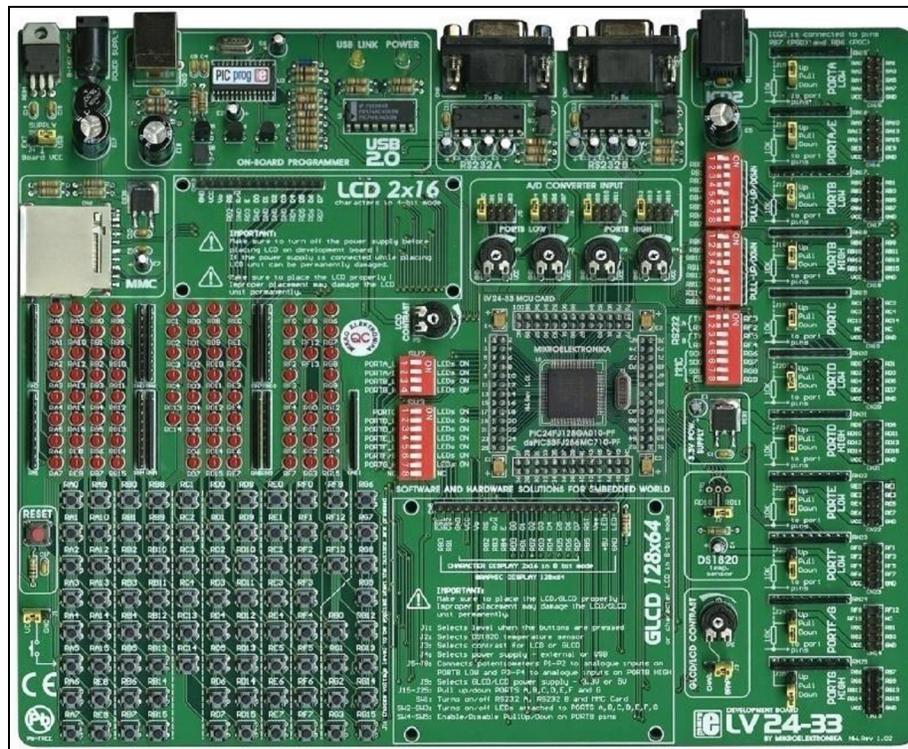


Figura D.2 Placa de desarrollo para microcontrolador dsPIC

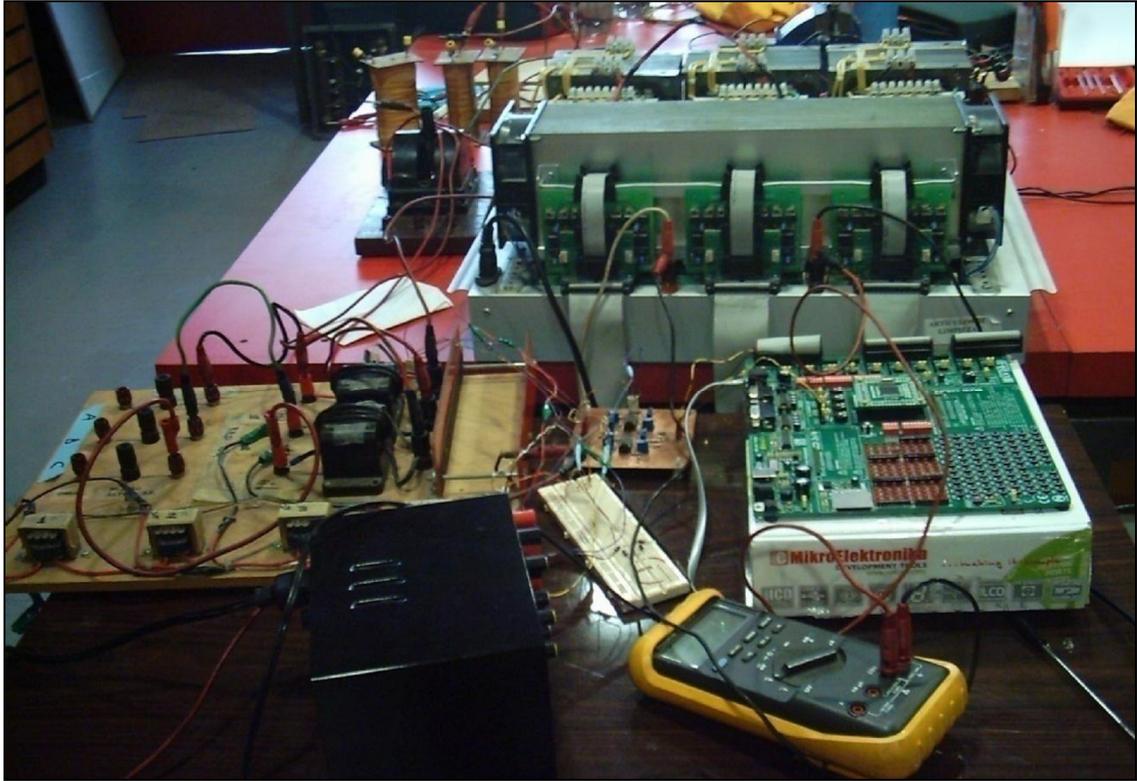


Figura D.3 Disposición General del Sistema